



# DÉVELOPPEMENT, INTÉGRATION ET MODÉLISATION DE COMPOSANTS PASSIFS INTÉGRÉS EN COUCHES MINCES DANS UNE FILIÈRE CMOS

Siamak Salimy

## ► To cite this version:

Siamak Salimy. DÉVELOPPEMENT, INTÉGRATION ET MODÉLISATION DE COMPOSANTS PASSIFS INTÉGRÉS EN COUCHES MINCES DANS UNE FILIÈRE CMOS . Electronique. UNIVERSITE DE NANTES, 2010. Français. NNT : ED503-084 . tel-01108673

**HAL Id: tel-01108673**

**<https://hal.science/tel-01108673>**

Submitted on 23 Jan 2015

**HAL** is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

Public Domain

UNIVERSITE DE NANTES

ÉCOLE DOCTORALE

« SCIENCES ET TECHNOLOGIES DE L'INFORMATION  
ET DE MATHEMATIQUES »

Année 2010

Thèse de Doctorat

Spécialité Electronique

présentée et soutenue publiquement par

**SIAMAK SALIMY**

*le 9 mars 2010*

*à l'Ecole polytechnique de l'université de Nantes*

**DÉVELOPPEMENT, INTÉGRATION ET MODÉLISATION  
DE COMPOSANTS PASSIFS INTÉGRÉS EN COUCHES MINCES  
DANS UNE FILIÈRE CMOS**

Jury

<i>Président</i>	<b>Robert PLANA</b> , Professeur des universités, LAAS, Toulouse
<i>Rapporteur</i>	<b>Eric KERHERVE</b> , Professeur des universités, IMS, Université de Bordeaux
<i>Rapporteur</i>	<b>Christophe VALLEE</b> , Maître de Conférences/HDR, LTM, Polytech'Grenoble
<i>Examineurs</i>	<b>Jean-Michel FOURNIER</b> , Professeur des universités, IMEP-LAH Grenoble
	<b>Ahmed RHALLABI</b> , Professeur, IMN, Université de Nantes
	<b>Antoine GOULLET</b> , Professeur des universités, IMN, Polytech'Nantes
	<b>Serge TOUTAIN</b> , Professeur des universités, IREENA, Polytech'Nantes
	<b>Patrice GAMAND</b> , Directeur de Recherche/HDR, NXP, Caen
<i>Invité</i>	<b>Jean-Claude SAUBAT</b> , Ingénieur MHS, Nantes

Directeur de thèse/Encadrement :

**Serge TOUTAIN**, Professeur, Polytech'Nantes/IREENA

**Ahmed RHALLABI**, Professeur, Université de Nantes/IMN

**Antoine GOULLET**, Professeur, Polytech'Nantes/IMN

*Institut de Recherche en Electrotechnique et Electronique de Nantes Atlantique (IREENA EA 1770)*

Ecole polytechnique de l'université de Nantes, La Chantrerie, Rue C. Pauc, BP 50609, 44306 NANTES CEDEX 3

*Institut des Matériaux Jean Rouxel (IMN UMR 6502)*

2 rue de la Houssinière, BP 32229, 44322 NANTES CEDEX 3



# *Remerciements*

En premier lieu, j'exprime ma sincère reconnaissance à mon co-directeur de thèse, Monsieur Serge TOUTAIN, Professeur des universités à l'école polytechnique de l'université de Nantes. Je le remercie de m'avoir suivi et toujours soutenu depuis mon master jusqu'à aujourd'hui et de m'avoir transmis, sans jamais perdre patience, une partie de ses grandes connaissances.

Je remercie également mon co-directeur de thèse M. Antoine GOULLET, Professeur des universités à l'école polytechnique de l'université de Nantes, avec qui ce fut un réel plaisir de travailler durant cette thèse. Son enthousiasme, sa bonne humeur mais aussi ses remarques pertinentes m'ont poussé à faire en sorte que mon travail soit à la hauteur.

Je tiens également à remercier mon co-directeur de thèse M. Ahmed RHALLABI, Professeur à l'université de Nantes, pour ses précieux conseils et pour m'avoir fait bénéficier de ses nombreuses idées pour développer une démarche scientifique originale.

Un grand merci à mon encadrant au sein de l'entreprise, M. Jean-Claude SAUBAT, Expert technique chez MHS Electronics, pour son soutien durant ces trois années de thèse. Dans un contexte parfois difficile, ses qualités humaines, son aide, ses conseils, et ses compétences techniques m'ont énormément apporté.

J'adresse de vifs remerciements à M. Eric KHERERVE, Professeur à l'université de Bordeaux, et, M. Christophe VALLEE, Maître de conférences/HDR à Polytech' Grenoble pour avoir accepté d'examiner ce travail de thèse en tant que rapporteur.

Mes remerciements vont aussi aux autres membres du jury qui ont accepté d'examiner ce travail. M. Robert PLANA, Professeur à l'université de Toulouse et directeur scientifique au ministère de l'enseignement supérieur et de la recherche pour avoir accepté de présider le jury de thèse.

Je remercie également M. Patrice GAMAND, directeur de recherche/HDR à NXP Caen et M. Jean-Michel FOURNIER, Professeur à l'université Joseph Fourier d'avoir examiné mon travail.

Merci à ma collègue et amie Fatiha CHALLALI qui a effectué une thèse complémentaire à mon travail durant ces trois années. Je la remercie pour son aide et ses efforts constants pour faire avancer rapidement le développement des couches minces afin que je puisse les exploiter. Malgré toutes les difficultés rencontrées, ce travail n'aurait pu aboutir sans sa précieuse contribution, sa rigueur scientifique, et son esprit d'équipe.

Je remercie vivement M. Dominique AVERTY, Maître de Conférences à l'université de Nantes, son aide et sa disponibilité dans la réalisation de dispositifs de tests qui ont permis à ce travail de voir le jour.

Je tiens également à remercier très sincèrement Mme Marie-Paule BESLAND, chercheur CNRS/HDR à l'IMN pour son soutien durant toutes les phases du projet, et pour sa contribution dans les développements effectués.

Merci aussi à M. Jean-Pierre LANDESMAN, Professeur à l'école polytechnique de Nantes, qui a été un véritable moteur dans la mise en place du projet et dans son avancement.

Merci à l'ensemble des personnes qui ont contribué à l'avancement de mes travaux au sein du laboratoire IREENA, et plus particulièrement le Professeur Joseph SAILLARD, directeur de l'IREENA pour ses conseils, ainsi que pour m'avoir fait partager sa bibliothèque personnelle riche de précieux ouvrages. A Marc BRUNET, ingénieur à l'IREENA et Sandrine CHARLIER, secrétaire de l'IREENA, qui m'ont apporté une aide précieuse pour les besoins matériels et administratifs.

Je tiens à remercier l'ensemble des membres de l'IMN pour leurs contributions et leur soutien, et en particulier M. Christophe CARDINEAU, maître de conférence/HDR à l'université de Nantes et Mme Michèle CARETTE, maître de conférences à l'école polytechnique de l'université de Nantes pour l'intérêt qu'ils ont porté à mon travail.

M. Yann MAHE, Maître de conférences à l'école polytechnique, M. Hartmut GUNDEL, Professeur à l'université de Nantes, et M. Reynald SEVENO, Maître de conférences à l'université de Nantes, pour les conseils qu'ils ont pu m'apporter durant ces travaux.

Je souhaite également remercier les membres de l'entreprise MHS Electronics qui m'ont accueilli pour effectuer ce doctorat. En particulier, M. Alain CHARPENTIER, expert technique, dont la contribution aura été majeure dans les orientations de ce travail. Son expérience, sa rigueur et ses grandes compétences techniques m'auront beaucoup apporté durant ces années de thèse. M. Gérard GADOT, directeur du département R&D de MHS Electronics pour m'avoir accueilli dans son équipe. Tous les membres de l'entreprise pour leur accueil, leur disponibilité, leur support technique, en particulier M. Thierry THEBAULT, M. Frédéric LAINAT, M. Sun ONG MOK, Mme Sophie D'ALBERTO, M. Pascal KROPFELD et tous les autres...

Merci à Mme Maryline GUILLOUX-VIRY, Professeur à l'université de Rennes et Mme Stéphanie DEPUTIER, Maître de conférences à l'université de Rennes pour leurs contributions et leur soutien durant ces travaux.

Je remercie tous mes collègues et amis du laboratoire, en particulier mon grand ami Hongyang HE, qui m'a toujours été d'extrêmement bon conseils. Biyun, Julien, Atef, Ahmad, Haitao, Janic, Gildas, Nicolas, Yuehua... Entre humour, conseils et soutien, les moments passés à vos côtés me manqueront...

A ma famille, mes parents, ma sœur sans qui je n'aurais jamais pu réussir. Je les remercie pour tous les sacrifices qu'ils ont fait, et pour le soutien sans bornes qu'ils m'ont apporté durant mes études et pas seulement. Que vous soyez fiers de moi à toujours été un moteur dans ma vie, merci à vous trois.

Je remercie également ma belle famille et en particulier Julie, qui dès qu'elle le peut, n'hésite pas à faire mon éloge et ma promotion autour d'elle : si j'ai un jour besoin d'un agent, je t'engage !

Enfin, j'adresse ma profonde gratitude à mon Angélique, pour ses conseils, ses contributions, son soutien dans tous mes projets, et cela, avec tous les sacrifices qu'ils impliquent. Grace à toi, ces années auront vraiment été belles et heureuses.





# Table des Matières

<b>REMERCEMENTS .....</b>	<b>2</b>
<b>GLOSSAIRE .....</b>	<b>10</b>
<b>INTRODUCTION GENERALE.....</b>	<b>12</b>
<b>CHAPITRE 1. LES COMPOSANTS PASSIFS INTEGRES DANS LES APPLICATIONS RADIOFREQUENCES .....</b>	<b>18</b>
<b>1. Introduction .....</b>	<b>18</b>
<b>2. Généralités sur les composants passifs .....</b>	<b>18</b>
2.1 Eléments R, L, C idéaux.....	18
2.2 Composants passifs réels intégrés .....	19
2.2.1 Résistances .....	19
2.2.2 Condensateurs.....	22
2.2.3 Inductances.....	25
<b>3. Problématiques des composants passifs dans les circuits radiofréquences .....</b>	<b>27</b>
3.1 Identification des fonctions radiofréquences du front end d'un terminal de réception (LNA+Filtre, VCO, MIXER...).....	27
3.2 Influence du facteur de qualité.....	28
3.3 Stabilité en tension et température.....	31
3.4 Densité.....	34
<b>4. Modélisation des composants passifs.....</b>	<b>35</b>
4.1 Modèles reproductifs (extraction de paramètres).....	36
4.1.1 Modèles en $\pi$ – Application au cas d'une inductance spirale et d'un condensateur MIM .....	36
4.1.2 Modèle en T – Application au cas des condensateurs MIM .....	38
4.2 Modèles prédictifs .....	39
4.2.1 Modélisation de résistances intégrées.....	39
4.2.2 Modélisation de condensateurs MIM.....	41
4.2.3 Modélisation d'inductances spirales intégrées .....	42
<b>5. Conclusion.....</b>	<b>44</b>
<b>CHAPITRE 2. TECHNOLOGIES ET INTEGRATION DE COMPOSANTS PASSIFS.....</b>	<b>46</b>
<b>1. Introduction .....</b>	<b>46</b>
<b>2. Technologies de composants Passifs .....</b>	<b>47</b>
2.1 Les technologies SiP (System in Package) .....	47



2.1.1	<i>MCM-Laminate</i> .....	47
2.1.2	<i>Composants passifs en technologie MCM-L</i> .....	48
2.1.3	<i>MCM-Ceramic</i> .....	49
2.1.4	<i>Composants passifs en technologie MCM-C</i> .....	50
2.1.5	<i>MCM-D</i> .....	51
2.1.6	<i>Composants passifs en technologie MCM-D</i> .....	51
<b>3.</b>	<b>La technologie SoC (System on Chip) .....</b>	<b>53</b>
<b>4.</b>	<b>La Filière technologique CMOS .....</b>	<b>54</b>
4.1	Préparation du wafer .....	54
4.2	Formation des couches diélectriques.....	56
4.3	Photolithographie .....	56
4.4	Techniques de dépôts .....	57
4.5	Gravure.....	58
4.6	Test et suivi technologique.....	59
<b>5.</b>	<b>Les composants passifs intégrés en CMOS.....</b>	<b>59</b>
5.1	Résistances .....	59
5.1.1	<i>Résistances diffuses</i> .....	59
5.1.2	<i>Résistances Polysilicium</i> .....	60
5.1.3	<i>Lignes de métal</i> .....	60
5.1.4	<i>Récapitulatif des performances des résistances intégrées</i> .....	60
5.2	Condensateurs .....	60
	<i>Condensateurs MOS</i> .....	61
	<i>Condensateurs Poly-Poly</i> .....	61
	<i>Récapitulatif des performances des condensateurs en technologie CMOS</i> .....	61
5.3	Inductances.....	62
<b>6.</b>	<b>Le Back End Of Line (BEOL) de la filière technologique CMOS 0.5µm .....</b>	<b>64</b>
<b>7.</b>	<b>Conclusion et identification des contraintes d'intégration des passifs dans le BEOL de la filière CMOS.....</b>	<b>67</b>

### **CHAPITRE 3. CARACTERISATION ELECTRIQUE DE COUCHES DIELECTRIQUES D'OXYDE DE TITANE ET DE TANTALE A PARTIR DE CAPACITES MOS POUR LA REALISATION DE CAPACITES MIM DE FORTE DENSITE .....**

<b>1.</b>	<b>Introduction .....</b>	<b>70</b>
<b>2.</b>	<b>Etat de l'art des performances des condensateurs MIM intégrés et des diélectriques associés.....</b>	<b>71</b>
2.1	Les diélectriques couramment utilisés dans les filières CMOS .....	72
2.2	Les autres matériaux High-κ .....	73
2.3	Combinaison de matériaux diélectriques .....	76
2.4	Empilement de matériaux diélectriques .....	78

<b>3. Caractérisation et étude des propriétés électriques de condensateurs MOS (Métal Oxyde Semi-conducteur) à base d'oxyde de titane et de tantale.....</b>	<b>82</b>
3.1 Capacité MOS idéale : .....	83
3.2 Capacité MOS réelle .....	84
3.3 Méthode de Terman .....	87
<b>4. Réalisation des capacités MOS à base d'oxyde de titane et de tantale.....</b>	<b>87</b>
4.1 Caractérisation Capacité-Tension ( $C-V$ ) .....	88
4.1.1 Extraction de la permittivité.....	89
4.1.2 Influence de l'épaisseur sur les charges piégées .....	90
4.2 Caractérisation Courant-Tension ( $I-V$ ) et étude du mécanisme de conduction dans les films d'oxyde de titane et de tantale .....	93
<b>5. Conclusion.....</b>	<b>100</b>

## **CHAPITRE 4. INTEGRATION DE COUCHES MINCES RESISTIVES D'OXYNITRURE DE TITANE EN TECHNOLOGIE CMOS.....104**

<b>1. Introduction .....</b>	<b>104</b>
<b>2. Etat de l'art des propriétés des résistances intégrées d'oxynitrure de titane en couches minces.....</b>	<b>105</b>
2.1 Résistivité .....	105
2.2 Stabilité.....	107
<b>3. Caractéristiques des couches minces d'oxynitrure de titane réalisées par PVD....</b>	<b>108</b>
<b>4. Développement du schéma d'intégration de couches minces résistives dans le BEOL de la filière CMOS.....</b>	<b>110</b>
<b>5. Intégration des couches minces résistives dans le BEOL de la filière CMOS. ....</b>	<b>111</b>
5.1 Caractérisation électrique des résistances intégrées.....	111
5.2 Influence de la composition des films intégrés sur les performances électriques des résistances.....	113
5.3 Influence de la passivation .....	115
5.4 Influence des coefficients de linéarité en fonction de la densité des résistances ..	116
5.5 Tests des règles de conception des résistances intégrées .....	117
5.5.1. Influence du nombre de contacts.....	118
5.5.2. Influence de la taille des carrés .....	119
5.5.3. Influence du nombre de carrés de la résistance.....	120
<b>6. Conclusion.....</b>	<b>122</b>

## **CHAPITRE 5. MODELISATION D'INDUCTANCES SPIRALES INTEGREES EN CMOS ..126**

<b>1. Introduction .....</b>	<b>126</b>
<b>2. Développement du modèle d'échelle physique et analytique .....</b>	<b>129</b>

2.1	Modélisation des paramètres de l'admittance $Y_s$ .....	130
2.1.1	<i>Calcul des inductances séries</i> .....	130
2.1.2	<i>Calcul des résistances séries</i> .....	132
2.2	Modélisation des paramètres des admittances $Y_{e1}$ et $Y_{e2}$ .....	132
2.2.1	<i>Calcul de la capacité d'oxyde</i> .....	132
2.2.2	<i>Calcul de la capacité parallèle du substrat</i> .....	133
2.2.3	<i>Calcul de la résistance parallèle du substrat</i> .....	134
2.3	Modélisation des paramètres de l'admittance $Y_{sub}$ .....	136
2.3.1	<i>Calcul de la capacité de couplage du substrat</i> .....	136
2.3.2	<i>Calcul de la résistance de couplage du substrat</i> .....	136
<b>3.</b>	<b>Validation du modèle</b> .....	<b>137</b>
3.1	Validation à partir de mesures d'inductances spirales en technologie CMOS .....	137
3.2	Validation du modèle par rapport à l'influence des tolérances du processus de fabrication sur un circuit RF générique.....	142
<b>4.</b>	<b>Conclusion</b> .....	<b>145</b>
	<b>CONCLUSION GENERALE</b> .....	<b>148</b>
	<b>ANNEXE 1 : METHODE D'EXTRACTION DE PARAMETRES DE COMPOSANTS PASSIFS A PARTIR D'UN MODELE DE LIGNE DE TRANSMISSION</b> .....	<b>154</b>
	<b>ANNEXE 2 : COMPARAISON ENTRE MESURES <math>I-V</math> DE RESISTANCES INTEGRES EN <math>TiN_xO_y</math> EFFECTUEE A PARTIR DE STRUCTURES CLASSIQUES ET KELVINS</b> .....	<b>158</b>
	<b>ANNEXE 3 : DEVELOPPEMENT DU SCHEMA D'INTEGRATION DE COUCHES MINCES RESISTIVES DANS LE BEOL DE LA FILIERE CMOS</b> .....	<b>160</b>
	<b>ANNEXE 4 : PRESENTATION DU VEHICULE DE TEST DES RESISTANCES INTEGREES CONÇU EN TECHNOLOGIE CMOS 0.5<math>\mu</math>M</b> .....	<b>165</b>
	<b>ANNEXE 5 : CALCUL DE LA CAPACITE D'UNE LIGNE COPLANAIRE SUR SUBSTRAT D'EPaisseur FINIE PAR TRANSFORMATION CONFORME</b> .....	<b>171</b>
	<b>REFERENCES BIBLIOGRAPHIQUES</b> .....	<b>176</b>

# Glossaire

<b>AMD</b>	<i>Arithmetic Mean Distance</i>	<b>MOM</b>	<i>Method Of Moment</i>
<b>BAW</b>	<i>Bulk Accoustic Wave</i>	<b>MOS</b>	<i>Métal Oxyde Semiconducteur</i>
<b>BEOL</b>	<i>Back End Of Line</i>	<b>PCB</b>	<i>Printed Circuit Board</i>
<b>BPSG</b>	<i>BoroPhosphoSilicate glass</i>	<b>PEEC</b>	<i>Partial Element Equivalent Circuit</i>
<b>CAN</b>	<i>Convertisseurs Numériques Analogiques</i>	<b>PVD</b>	<i>Physical Vapor Deposition</i>
<b>CET</b>	<i>Capacitance Equivalent Thickness</i>	<b>R<sub>□</sub></b>	<i>Résistance par carré</i>
<b>CMOS</b>	<i>Complementary Metal Oxyde Semiconductor</i>	<b>RF</b>	<i>RadioFréquence</i>
<b>CVD</b>	<i>Chemical Vapor Deposition</i>	<b>RFIC</b>	<i>Radio Frequency Intergrated Circuit</i>
<b>EDS</b>	<i>Energy Dispersive Spectroscopy</i>	<b>SAW</b>	<i>Surface Accoustic Wave</i>
<b>FEOL</b>	<i>Front End Of Line</i>	<b>SCLC</b>	<i>Space Charge Limited Current</i>
<b>GMD</b>	<i>Geometric Mean Distance</i>	<b>SIP</b>	<i>System In Package</i>
<b>ILD</b>	<i>Inter Layer Dielectric</i>	<b>SOC</b>	<i>System On Chip</i>
<b>IMD</b>	<i>Inter Metal Dielectric</i>	<b>TCC</b>	<i>Temperacture Coefficient of Capacitors</i>
<b>ITRS</b>	<i>InTernational Roadmap of Semiconductor</i>	<b>TCI</b>	<i>Temperacture Coefficient of Inductors</i>
<b>LNA</b>	<i>Low Noise Amplifier</i>	<b>TCR</b>	<i>Temperacture Coefficient of Resistors</i>
<b>LTCC</b>	<i>Low Temperature Co-fired Ceramic</i>	<b>TEM</b>	<i>Microscopie Electronique à Transmission</i>
<b>MCM-C</b>	<i>Multi-Chip Module Ceramic</i>	<b>TFL</b>	<i>Trap Filled Limit</i>
<b>MCM-D</b>	<i>Multi-Chip Module Deposited</i>	<b>VCC</b>	<i>Voltage Coefficient of Capacitors</i>
<b>MCM-L</b>	<i>Multi-Chip Module Laminate</i>	<b>VCO</b>	<i>Voltage Controlled Oscilator</i>
<b>MEB</b>	<i>Microscope Electronique à Balayage</i>	<b>VCR</b>	<i>Voltage Coefficient of Resistors</i>
<b>MIM</b>	<i>Métal Isolant Métal</i>	<b>PUL</b>	<i>Par Unité de Longueur</i>



# Introduction Générale

Depuis l'invention des transistors, les nombreux travaux sur le développement des technologies microélectroniques ont continuellement augmenté les performances d'intégration et les fonctionnalités des systèmes électroniques. Des efforts considérables ont été entrepris pour réduire l'espace occupé sur les puces par les circuits actifs afin de réaliser des systèmes complexes tels que les microprocesseurs ou autres circuits numériques (ASIC, DSP, microcontrôleurs...). Cependant, la réduction d'échelle associée aux composants passifs est bien inférieure à celle des composants actifs et l'utilisation de composants passifs ajoute aujourd'hui au minimum une surface de 0,5mm<sup>2</sup> par composant sur la puce, ce qui est considérable en comparaison aux dimensions des transistors (rarement supérieures à quelques dizaines de microns). Un microprocesseur classique (ou un circuit numérique équivalent) est entouré en moyenne d'environ 350 composants analogiques passifs (résistances, condensateurs et inductances) utilisés pour des circuits de polarisation, de découplage de BUS, ou encore d'initialisation. Ces mêmes composants passifs sont le cœur des premiers étages des dispositifs de réception des systèmes de télécommunications. L'EPCIA (*European Passive Components Industry Association*) [1] estime que 70% des composants utilisés dans l'industrie sont passifs. A titre illustratif, les circuits qui composent un téléphone portable sont à 95% passifs, occupant 80% de la carte mère et couvrant 70% des coûts d'assemblage.

Aujourd'hui la croissance du marché des composants passifs est un facteur commun des industries NTIC, automobile, biomédicale, et aérospatiale avec une augmentation de la demande d'environ 5% par an pour un marché mondial de 30 milliards de dollars dont un tiers en Europe [1]. Cette croissance est directement liée aux innovations techniques, à l'amélioration des performances et des fonctionnalités des systèmes électroniques, stimulant l'intérêt porté par les industriels pour ces composants.

## Enjeux techniques à l'intégration de composants passifs hautes performances

De manière générale, les systèmes numériques ont un comportement beaucoup plus stable et moins sensible aux phénomènes environnants (température, couplage, humidité...) que les systèmes analogiques. Dans les systèmes électroniques mixtes (analogiques/numériques), les circuits passifs sont placés en surface ou intégrés dans la carte mère (PCB, ou H/LTCC) du système, à proximité des circuits actifs. Ils peuvent aussi être placés sur une puce indépendante, elle-même encapsulée dans un boîtier commun avec d'autres circuits (approche System In Package). Le placement des composants passifs sur des substrats différents des circuits actifs numériques peut poser par exemple des problèmes relatifs aux augmentations des temps de propagation des signaux d'horloges des microprocesseurs à cause de la distance qui les sépare et ils en deviennent même les paramètres limitatifs.

De plus, lorsque les circuits sont « strictement » analogiques, les problèmes d'interconnexions et une mauvaise maîtrise des phénomènes associés peuvent rendre le comportement du système instable car ultrasensible à son environnement (couplage, température, humidité...), ce qui se vérifie davantage encore lorsque la fréquence des signaux augmente.

Un des verrous à l'intégration de circuits analogiques dans des processus de fabrication dédiés aux circuits numériques provient de critères d'optimisation de performances distincts. De façon générale, les critères de performances à optimiser lors de la fabrication de circuits logiques sont la rapidité et la consommation. Les circuits analogiques, eux doivent bénéficier d'une optimisation en termes de linéarité, gain, bruit, reproductibilité des caractéristiques, consommation et stabilité. Dans le cas où ils résultent d'un processus de fabrication commun, le gain en performances sur chacun des critères cités auparavant ne doit pas dégrader ceux des systèmes numériques.

L'intégration de composants passifs dans des filières technologiques dédiées au développement aussi bien de circuits numériques qu'analogiques est un enjeu majeur pour le développement de systèmes sur puce (SoC) mixtes. Cet enjeu doit se traduire par une augmentation de la densité d'intégration, et par l'augmentation des performances et des fonctionnalités.

En intégrant les composants passifs dans le même processus de fabrication que les circuits numériques, des coûts supplémentaires dans le processus sont introduits (ajout d'étapes et création de masques supplémentaires). Cependant ces derniers coûts peuvent être compensés par la réduction des frais liés à l'assemblage, induits par la mise en commun de différentes puces dans un même boîtier. Dans tous les cas, les gains en termes d'intégration et de performances sont importants car les distances de connexion entre circuits sont réduites, diminuant dans le même temps les phénomènes parasites associés. Le gain en terme d'intégration, par le placement des circuits passifs dans la même puce que les circuits actifs, peut ainsi éviter le recours à un saut technologique, c'est-à-dire le passage à une technologie qui présente une dimension minimale de grille des transistors qui soit inférieure.

### **Contexte du travail de thèse**

Le premier objectif de cette thèse est de démontrer la faisabilité d'intégrer des composants passifs avec de fortes contraintes en performances dans une filière technologique CMOS 0,5 $\mu$ m à trois niveaux de métallisation (Al/Cu). La filière CMOS disponible est celle de l'ancienne fonderie nantaise d'ATMEL, aujourd'hui propriété de la société MHS Electronics. La technologie CMOS considérée a été initialement développée et optimisée pour la réalisation de circuits numériques. Aussi, l'intégration de composants passifs performants peut permettre, d'une part, d'augmenter les fonctionnalités des dispositifs analogiques réalisés, et d'autre part, d'augmenter la densité d'intégration et la qualité des circuits.

Ce travail de thèse s'inscrit dans le cadre d'une équipe de recherche technologique (ERT) « *Matériaux avancés et composants passifs performants intégrables dans une technologie CMOS* », composée de membres de l'IREENA, de l'IMN et de l'équipe de Recherche et Développement de la société MHS Electronics. Ce travail est de plus complémentaire aux travaux de thèse de Fatiha CHALLALI qui se déroulent en parallèle au sein de l'ERT. Son travail a pour objectif de développer par la technique de dépôt physique en phase vapeur (PVD) des matériaux résistifs et diélectriques en couches minces à intégrer dans le processus de fabrication de la filière CMOS pour la réalisation de résistances et condensateurs de fortes valeurs.

**Attentes industrielles en termes de performances sur les composants passifs intégrés**

De façon plus précise, les performances visées sur les composants passifs à développer sont résumées dans le tableau ci-dessous :

	Condensateurs MIM	Résistances intégrées
Densité	$>10\text{fF}/\mu\text{m}^2$	$>10\text{-}20\text{k}\Omega/\square$
Stabilité en tension	$\leq 100\text{ppm}/\text{V}^2$	$100\text{ppm}/\text{V}$
Stabilité en température	$\leq 100\text{ppm}/^\circ\text{C}$	$100\text{ppm}/^\circ\text{C}$
Courants de fuites	$\leq 10^{-6}\text{ A}/\text{cm}^2$ à $10\text{V}$	-
Tension de claquage	$\geq 15\text{V}$	-
Inductances spirales		
- Faisabilité d'intégration		
- Evaluation des performances sur la technologie standard		

**Tab.1 – Cahier des charges des composants passifs à développer**

La définition de ces spécifications a pour objectif de viser des caractéristiques électriques permettant de concurrencer d'autres technologies de passifs intégrés actuellement présentes sur le marché. Le but est de réaliser des composants passifs performants à partir d'une technologie standard et à faible coût. Les caractéristiques électriques ciblées sont bien supérieures à celles communément atteintes par les composants passifs dans la filière CMOS considérée. Notons que le gain en performances à atteindre pour les résistances et capacités correspond à une augmentation d'un facteur 10 de la densité, tout en conservant des paramètres de linéarité globalement du même ordre que ceux obtenus actuellement avec les composants classiques. Pour les inductances spirales, celles-ci n'étant pas disponibles actuellement dans la technologie standard, la première étape consiste à évaluer leurs performances sans induire aucune modification du processus de fabrication, avant d'entreprendre d'autres développements plus coûteux.

Le second objectif de cette étude consiste à valider la démarche adoptée, en identifiant les phases clés pour le développement de la technologie. La démarche proposée consiste à effectuer un report des contraintes en performances sur les propriétés des matériaux utilisés en couches minces. Le choix de cette dernière approche sera justifié par la suite dans le manuscrit.

**Organisation du manuscrit**

Le manuscrit de ce travail de thèse est orienté de façon à se placer sur chacun des niveaux d'analyse identifiés comme incontournables pour le développement de la technologie de composants passifs intégrés. Il est nécessaire dans un premier temps de considérer la filière technologique CMOS dans son ensemble et d'identifier les contraintes technologiques à l'intégration de couches minces dans le processus de fabrication des circuits.

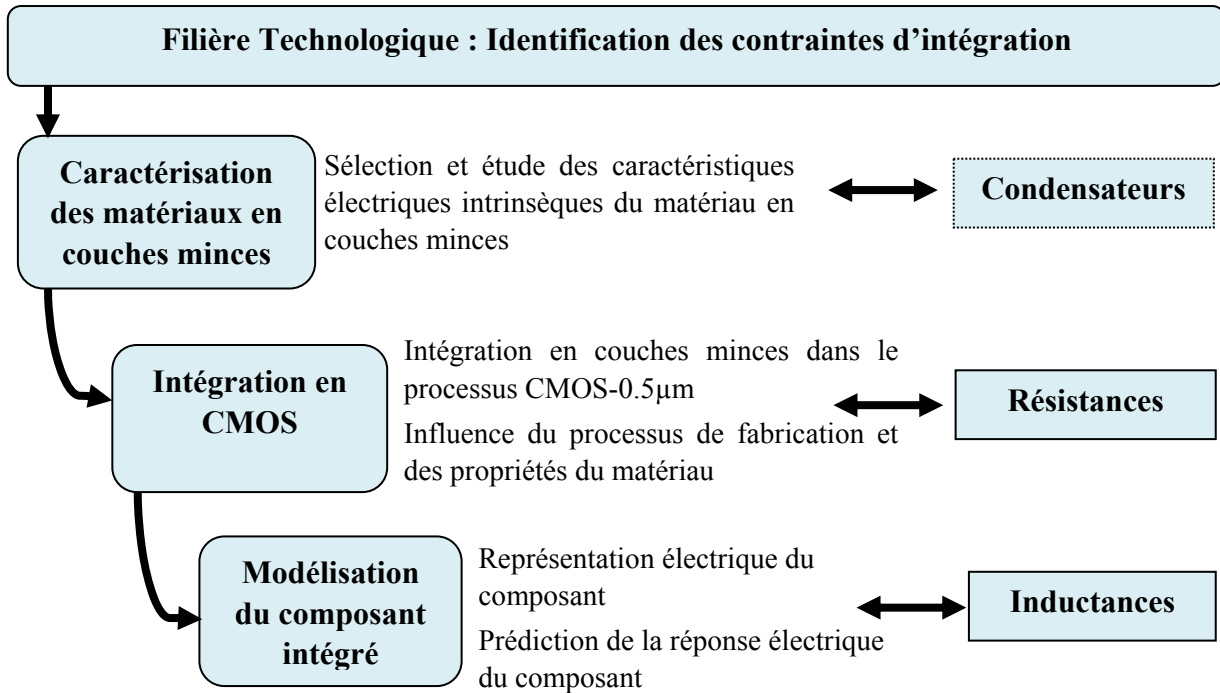
En outre, l'approche que nous adoptons vise à effectuer un report des contraintes en performances sur les propriétés de matériaux. De ce fait, le premier niveau d'étude consiste à effectuer une analyse des propriétés électriques du matériau dans le but de valider, avant intégration, ses performances par rapport aux objectifs visés.

Une fois le matériau sélectionné, développé et ses propriétés électriques validées, il est alors nécessaire de l'intégrer dans le processus de fabrication. Cette étape constitue le second niveau d'analyse, à l'interface entre les propriétés du matériau et celles du composant.



Enfin, la dernière étape du développement de la technologie consiste à mettre à disposition des concepteurs de circuits, des modèles électriques des composants où cette fois, la définition de modèles est effectuée en se plaçant au niveau du composant intégré.

Chacun de ces niveaux d'études est défini sur la Fig. 1-1. Chaque étape de ce développement sera illustrée sur l'étude et le développement d'un type de composant passif : condensateurs, résistances, et enfin inductances.



**Fig. 1-1 -. Méthodologie proposée pour le développement de la technologie de composants passifs intégrés**

De manière à distinguer chacun des niveaux d'analyses définis ci-dessus, le manuscrit est organisé en cinq chapitres de la façon suivante :

- Le premier chapitre définit dans un premier temps les paramètres physiques et géométriques caractéristiques des composants passifs et identifie par simulation l'impact de ces paramètres sur les réponses de dispositifs radiofréquences. Cette analyse justifie le besoin de maîtriser de façon stricte les caractéristiques électriques au niveau du dispositif élémentaire afin d'optimiser les performances globales des systèmes. La seconde partie de ce chapitre présente un état de l'art des modèles électriques fréquentiels localisés des résistances, condensateurs et inductances. Les principaux modèles physiques et analytiques de composants et les méthodes d'extraction de paramètres associées seront alors présentés.
- Le second chapitre est orienté sur les aspects technologiques des composants passifs intégrés. La première partie est consacrée aux différentes approches technologiques d'intégration (System In Package vs. System On Chip) des passifs, et nous y dressons un état des performances électriques actuellement atteintes pour les composants disponibles sur le marché. La seconde partie de ce chapitre est consacrée à la filière CMOS-0.5μm, dont les principales étapes de fabrication sont présentées, ainsi que les architectures et

caractéristiques électriques des passifs actuellement disponibles dans la technologie. L'aboutissement de ce chapitre permet de définir et justifier la démarche adoptée, à travers le report des contraintes en performances sur le matériau, et de définir aussi le positionnement des passifs dans le processus de fabrication pour enfin identifier les contraintes technologiques à l'intégration.

- Dans le troisième chapitre, notre analyse se place au niveau du matériau. Cette analyse est appliquée au cas de diélectriques utilisés pour la réalisation de condensateurs MIM (Métal Isolant Métal). Dans une première partie, nous dressons un état de l'art des diélectriques utilisés pour la réalisation de capacités MIM de forte densité et grande stabilité en tension et température. Ensuite, nous focalisons l'étude au cas de l'oxyde de titane et de tantale (TiTaO), matériau prometteur que nous avons développé par procédé PVD afin d'analyser, dans quelle mesure, ses performances électriques sont suffisantes par rapport aux objectifs visés. Pour cela, nous présentons la démarche adoptée pour caractériser électriquement le diélectrique à travers des capacités MOS (Métal Oxyde Silicium). Ceci constitue un outil de test, simple à réaliser, pour évaluer les performances du matériau diélectrique avant son intégration dans la filière CMOS.
- Le quatrième chapitre porte sur l'intégration d'un matériau en couches minces dans la filière CMOS, cette étape consiste à se placer à un niveau intermédiaire entre les propriétés du matériau et du celles du composant. Ce chapitre est focalisé sur l'intégration de couches minces résistives d'oxyde nitrure de titane (TiON) pour la réalisation des résistances intégrées de fortes valeurs. Après une présentation des performances électriques reportées sur ce matériau et les résultats obtenus sur les couches minces développées, nous proposons un schéma d'intégration des résistances qui permet de s'affranchir des problématiques de compatibilité des procédés entre les différentes étapes de la filière. Enfin, les résultats obtenus sur les résistances intégrées sont présentés, ainsi que l'influence de règles de dessins des résistances sur leurs caractéristiques électriques.
- Dans le dernier chapitre de cette thèse nous nous plaçons au niveau du composant. L'étape finale du développement de la technologie consiste à définir des modèles électriques de composants. Cette dernière étape est appliquée au cas des inductances spirales, où un modèle d'échelle physique et analytique est présenté. Le modèle localisé est défini à partir d'un quadripôle en  $\pi$ , et la valeur de chacun des paramètres du modèle se déduit d'équations analytiques linéaires obtenues sous approximations quasi-statique. Les paramètres du modèle sont calculés à partir de la géométrie de l'inductance et des caractéristiques de la technologie CMOS-0.5 $\mu$ m. Le modèle d'échelle est enfin validé expérimentalement dans la bande 1-10GHz.

Enfin, dans une dernière partie une conclusion générale des travaux est présentée et des perspectives au travail suggérées.



# Chapitre 1. Les Composants Passifs Intégrés dans les Applications Radiofréquences

## 1. Introduction

Ce chapitre a pour objectif d'introduire les paramètres caractéristiques des composants passifs intégrés et d'identifier l'influence que ces mêmes paramètres peuvent avoir sur les performances globales d'un système de réception radio.

Dans un premier temps, les composants passifs idéaux et réels sont définis. En effet, de façon pratique, les passifs ne peuvent être réduits aux communes capacités (Farads), résistances (Ohms) et inductances (Henry) idéales. Selon le contexte d'application, c'est-à-dire le niveau de tension aux bornes du composant, la température environnante ou encore la fréquence des signaux appliqués, etc., des dérives de la réponse électrique du composant et des limites d'utilisation sont observées. L'objectif général d'amélioration des performances des composants passifs intégrés consiste à la fois à augmenter leurs valeurs tout en diminuant l'espace occupé, et également de réduire les dérives associées à leur contexte d'utilisation.

Dans un contexte radiofréquence, les dérives de la réponse électrique des composants passifs ont une influence qui peut être non négligeable sur la sensibilité d'un système de réception. Nous illustrons ainsi par simulation l'influence de la réponse électrique des passifs sur les performances de quelques dispositifs génériques d'un récepteur à transposition de fréquence (hétérodyne), et les limites actuelles en termes d'intégration qu'ils induisent.

Enfin, pour terminer ce premier chapitre, nous nous intéresserons à la représentation électrique des composants passifs intégrés. Un état de l'art sur leur modélisation fréquentielle à partir de circuits localisés est présenté. Les modèles considérés sont ceux définis en distinguant les différents phénomènes électriques ou électromagnétiques propres au composant, à sa géométrie et sa technologie. Les valeurs des éléments du modèle sont évaluées de façon analytique soit en étant déduites de la mesure, soit prédites à partir de la géométrie du composant et des caractéristiques des matériaux de la technologie considérée.

## 2. Généralités sur les composants passifs

### 2.1 Eléments R, L, C idéaux

Tout dispositif passif peut être décomposé par une association de condensateurs  $C$ , inductances  $L$  et résistances  $R$  connectés en parallèle ou en série. Ces dispositifs élémentaires ou composants passifs idéaux sont représentés sur la Fig. 1-1 et définis à partir des relations mathématiques associées aux tensions  $V(t)$  et courants  $I(t)$  appliqués à leurs bornes:

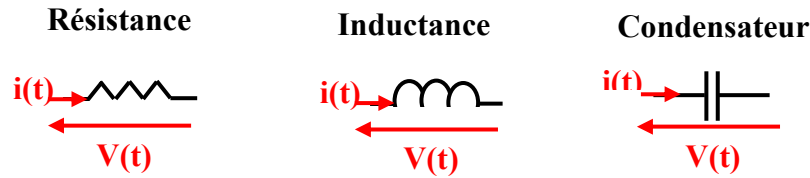


Fig. 1-1- Composants RLC idéaux

Un composant aux dimensions inférieures à la longueur d'onde des signaux introduisant des pertes peut être considéré comme une résistance linéaire si le courant  $I$  et la tension  $V$  à ses bornes sont en phases, et liés par la loi d'Ohms :

$$V = RI \quad (1-1)$$

La puissance dissipée dans une résistance  $P$  s'exprime :

$$P = V.I = R.I^2 = \frac{V^2}{R} \quad (1-2)$$

Dans un condensateur de capacité  $C$ , l'énergie  $W_e$  stockée ou fournie est électrique et purement réactive, il n'y a donc à ses bornes aucune puissance active dissipée. Le courant  $i(t)$  et la tension  $v(t)$  qui traverse un condensateur sont liés entre eux par les relations suivantes :

$$i(t) = C \frac{dV}{dt} \quad \text{ou encore} \quad v(t) = \frac{1}{C} \int i(t) dt \quad (1-3)$$

L'énergie stockée s'écrit :

$$W_e = \int i(t)v(t) dt = \frac{1}{2} CV^2 \quad (1-4)$$

Une inductance idéale  $L$ , stocke ou fournit de l'énergie magnétique  $W_m$ , mais pas d'énergie électrique. Comme le condensateur, ce composant est purement réactif et ne dissipe donc pas de puissance active. Les équations liant la tension  $v(t)$  et le courant  $i(t)$  sont les suivantes :

$$v(t) = L \frac{di(t)}{dt} \quad \text{ou encore} \quad i(t) = \frac{1}{L} \int v(t) dt \quad (1-5)$$

L'énergie stockée s'écrit :

$$W_m = \int i(t)v(t) dt \quad (1-6)$$

En réalité, pour chacun de ces composants, des phénomènes parasites mettant en jeu des pertes joules ou des échanges d'énergie réactive se produisent et transforment une simple résistance en une association de circuit RL ou RC, en série ou parallèle. De la même manière, un condensateur ou une inductance est en pratique équivalent à une association de résonateurs RLC en série et parallèle.

## 2.2 Composants passifs réels intégrés

### 2.2.1 Résistances

Les résistances intégrées sont réalisées par le dépôt d'une fine couche de matériau résistif sur un substrat diélectrique. Des électrodes sont ensuite réalisées aux extrémités pour permettre la connexion avec d'autres circuits. La Fig. 1-2 est une vue en coupe d'une résistance en polysilicium intégrée en technologie CMOS.

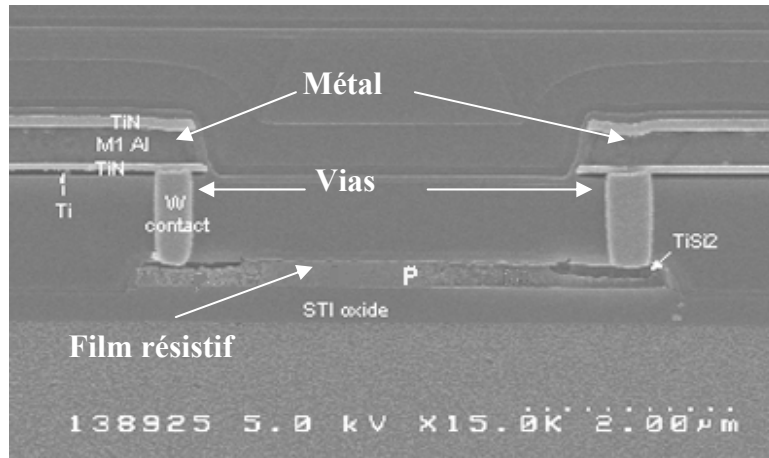


Fig. 1-2 – Résistance Polysilicium intégrée

Les paramètres caractéristiques présentés par la suite permettent de juger de critères de fonctionnement de la résistance.

### Densité : Résistance carrée

Une couche mince de matériau résistif est caractérisée par sa résistance carrée, définie comme la résistance équivalente d'un carré de matériau de résistivité  $\rho$  ayant une épaisseur  $h$  :

$$R_{sq} = \frac{\rho}{h}, (\Omega / sq) \quad (1-7)$$

De façon plus générale, la résistance associée à tout type de géométrie parallélépipédique de longueur  $L$ , de largeur  $W$  et d'épaisseur  $h$  s'écrit :

$$R = \frac{\rho \cdot L}{h \cdot W} = R_{sq} \cdot \frac{L}{W} (\Omega) \quad (1-8)$$

### Stabilité

La stabilité d'une résistance est jugée par le degré ou pourcentage de variation de sa valeur lorsqu'elle est soumise à des variations dans son environnement (température, humidité, tension appliquée. . .). Les variations de valeurs des résistances peuvent provenir de différents phénomènes physiques ou chimiques résultant eux même d'un effet environnemental sur les matériaux qui les composent. L'influence de l'humidité et les variations en température peuvent entraîner une oxydation des interfaces conducteurs-résistances. Ceci peut avoir pour effet d'augmenter la valeur des résistances et d'ajouter des capacités parasites d'interconnexion. D'autres phénomènes peuvent également se produire et sont critiques pour la stabilité d'une résistance. L'application de tensions élevées à ses bornes peut induire une modification de la morphologie du matériau résistif, des altérations chimiques ou encore un stress du film déposé et une dégradation de l'adhérence du matériau.

Deux paramètres caractéristiques permettent de juger des dérives de la valeur de la résistance, en fonction de la température et de la tension. Ce sont les coefficients de linéarité en température (TCR : Temperature Coefficient of Resistance) et en tension (VCR : Voltage Coefficient of Resistance). Le TCR et le VCR sont respectivement définis dans une gamme de températures ( $T_1$  à  $T_2$ ) et de tensions ( $V_1$  à  $V_2$ ) et s'expriment de la façon suivante :

$$TCR = \frac{1}{R} \frac{\partial R}{\partial T} = \frac{1}{R_{T1}} \frac{R_{T2} - R_{T1}}{T_2 - T_1} \quad (1-9)$$

$$VCR = \frac{1}{R} \frac{\partial R}{\partial V} = \frac{1}{R_{V1}} \frac{R_{V2} - R_{V1}}{V_2 - V_1} \quad (1-10)$$

### Tolérance

La tolérance d'une résistance est un paramètre qui peut prendre en compte deux phénomènes distincts. Le premier est la variation maximale de la valeur d'une résistance lors d'une utilisation dans un domaine fréquentiel, une gamme de tensions ou de températures définies par le fabricant. C'est donc le pourcentage de variation maximale qu'il est possible d'observer autour de la valeur nominale de la résistance lors de son utilisation dans un environnement donné.

Le second aspect que prend en compte la tolérance est plus lié à la fabrication du composant qu'à son utilisation. La valeur nominale de la résistance annoncée par le fabricant est ainsi au maximum dispersée de la variation des valeurs observée entre différents jeux du même composant. Ceci résulte directement du processus de fabrication pouvant introduire un écart entre deux résistances ayant été produites simultanément. La tolérance est, dans ce cas, un paramètre qui se déduit de la reproductibilité du composant dans le processus de fabrication, la limite de cet écart à la valeur nominale est fixée par le fabricant et le concepteur de circuits doit en tenir compte en fonction de l'application visée.

### Puissance maximale

Le passage d'un courant électrique dans une résistance induit un transfert d'énergie entre les charges électroniques et la microstructure du matériau. Ce transfert d'énergie induit une dissipation thermique de l'énergie par effet joule, décrite par l'équation (1-2). L'effet joule induit une augmentation de la température au sein de la résistance à mesure que le courant augmente. La géométrie des résistances et les matériaux environnants sont des paramètres essentiels à la dissipation de l'énergie thermique au sein du film résistif. En effet, plus la résistance est large et longue plus elle supportera de courant et donc de puissance. De même, une résistance entourée de matériaux qui sont de bons conducteurs thermiques dissipera plus facilement la puissance à ses bornes car la propagation de la température y sera plus aisée. La puissance maximale supportée par la résistance définit le seuil de puissance au-delà duquel des problèmes de stabilité peuvent affecter la valeur du composant.

### Courant Maximal

Les matériaux conducteurs ont une limite physique de transport de courant. Le mécanisme limitatif principal est le phénomène d'électromigration relatif à la quantité de courant continu pouvant traverser un conducteur. La diffusion des particules électroniques dans les métaux est généralement considérée comme aléatoire. Cependant lorsqu'un courant continu y est appliqué, les charges électroniques se propagent dans un sens particulier [2]. Toutes les imperfections présentes dans la structure du matériau empêchent donc le courant de circuler normalement, pouvant, à terme, détruire la couche mince résistive.

La quantité de courant limite supportée dans une résistance ou un conducteur dépend du type de matériau. Par exemple, une ligne en aluminium d'un micromètre d'épaisseur peut faire circuler au maximum 1mA de courant continu par micromètre de largeur. La composante alternative du courant peut être plus grande, typiquement d'un facteur quatre [2].

### Fréquence maximale

La limite en fréquence d'une résistance peut provenir des dimensions du circuit vis à vis de la longueur d'onde du signal qui la traverse. En effet, en augmentant la fréquence, la longueur d'onde des signaux diminue, et lorsqu'elle s'approche des dimensions de la résistance, des phénomènes physiques, négligeables auparavant, vont se produire. D'abord des réflexions aux interfaces résistances-électrodes entraînant des pertes supplémentaires à celles qui devraient être produites, ensuite le composant ne sera plus purement résistif mais introduira un déphasage non négligeable donc un ajout de phénomènes réactifs parasites. De plus, au delà d'une certaine fréquence, l'effet de peau n'est plus négligeable et vient aussi modifier la valeur de la résistance.

### Bruit associé aux résistances

Un bruit thermique (ou de Johnson) est généré dans toutes les résistances, et a son origine dans le phénomène d'agitation thermique des électrons du matériau résistif. Ce bruit est indépendant de la fréquence, et de la tension appliquée, mais dépend de la largeur des bandes de fréquences dans laquelle il est mesuré. Il est fonction de la température et se définit à partir de la relation de Nyquist :

$$V_n = \sqrt{4kT\Delta f} \quad (1-11)$$

Où  $V_n$  représente l'écart type de la tension aux bornes de la résistance, avec  $k$  la constante de Boltzmann ( $1.38 \times 10^{-23}$  J/K),  $T$  la température et  $\Delta f$  la bande de fréquence normalisée (bande de Nyquist) dans laquelle il est mesuré.

### 2.2.2 Condensateurs

Un condensateur est formé par un diélectrique placé entre deux électrodes conductrices. Lorsqu'une différence de potentiel est appliquée aux électrodes, les propriétés physiques du diélectrique n'autorisent pas la conduction des charges électriques. Aussi le courant de conduction est transformé en courant de déplacement, courant qui correspond en basse fréquence au courant de charge du condensateur. Un phénomène de stockage de charges se produit aux interfaces des électrodes, une des électrodes contient alors des charges positives, l'autre des charges négatives.

La capacité  $C$  mesure le potentiel du condensateur à stocker des charges électriques. Elle est définie comme le rapport de la quantité de charges ( $Q$ ) aux interfaces et de la tension appliquée.

$$C = \frac{Q}{V} = \frac{qS}{V} = \frac{\epsilon_0 \epsilon_r ES}{d} = \epsilon_0 \epsilon_r \frac{V}{d} \frac{S}{V} = \epsilon_0 \epsilon_r \frac{S}{d} \quad (F) \quad (1-12)$$

avec  $\epsilon_r$  la permittivité du diélectrique,  $\epsilon_0$  la permittivité du vide et  $S$  la surface des électrodes en regard.

### Densité - Capacité surfacique

La capacité surfacique est très souvent utilisée pour caractériser les condensateurs MIM. Celle-ci est généralement exprimée en  $\text{fF}/\mu\text{m}^2$ , soit par le ratio de la permittivité ( $\epsilon_r \epsilon_0$ ) sur l'épaisseur de diélectrique déposée ( $d$ ) :

$$C = \frac{\epsilon_0 \epsilon_r}{d} \quad (F / m^2) \quad (1-13)$$



### Stabilité

Les variations de cette capacité sont exprimées en fonction de la tension appliquée au condensateur ou de la température à laquelle il est soumis.

Les variations en tension s'expriment selon des coefficients  $\alpha$  et  $\beta$  par l'expression suivante :

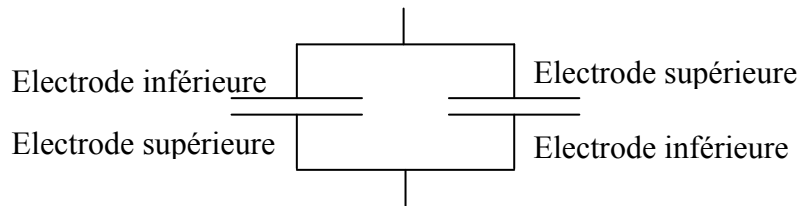
$$C(V) = C_0(1 + \beta.V + \alpha.V^2) \quad (1-14)$$

Ou de façon pratique par

$$\Delta C(V) = \frac{C(V) - C_0}{C_0} = \beta.V + \alpha.V^2 \quad (1-15)$$

Avec  $\alpha$  en ppm/V<sup>2</sup> et  $\beta$  en ppm/V.

Le paramètre  $\beta$  peut aisément être annulé en réalisant une structure différentielle. En effet, ce coefficient est lié aux dissymétries de la structure MIM. Cette annulation est obtenue en effectuant les connections suivantes [3]:



**Fig. 1-3 – Compensation du coefficient de non linéarité en tension**

La stabilité en température est généralement exprimée à partir d'un coefficient appelé TCC (Temperature Coefficient of Capacitance) qui s'écrit :

$$TCC = \frac{1}{C} \cdot \frac{\partial C}{\partial T} = \frac{1}{C_{T1}} \cdot \frac{C_{T2} - C_{T1}}{T_2 - T_1} \quad (1-16)$$

Chacun des paramètres de stabilité est étroitement lié aux courants de fuites dans le diélectrique qui varient en fonction de la température et de la tension. Ces mêmes courants sont liés à la morphologie du matériau et à la quantité de pièges de charges y existant.

### Tolérance

Comme pour les résistances, la tolérance des condensateurs, dépend soit des contraintes appliquées au composant (courants, tensions), soit de facteurs liés au processus de fabrication, tels que des imperfections liées aux interfaces entre les différents matériaux. Globalement, les tolérances des composants discrets vont de 2 à 20%, avec une tendance majoritaire vers 20%, pour une utilisation dans des applications DC. Les condensateurs en technologie monolithique ont en revanche des tolérances de l'ordre de 10% à 30% [4].

### Facteur de Qualité

Le paramètre fondamental pour caractériser les performances fréquentielles d'un condensateur est le facteur de qualité. Celui-ci est défini comme le ratio des parties imaginaires et réelles de l'impédance équivalente du composant. Plus il est élevé et constant, moins les pertes du circuit sont importantes. Dans un condensateur, les résistances séries résultant des métallisations et des interconnexions contribuent à dégrader le facteur de qualité [5], [4] et, à l'inverse, l'augmentation de la résistance parallèle qui dépend de la résistivité du diélectrique contribue à son augmentation.

### Tension de claquage

Les diélectriques ont une limite de transport du courant, et au delà d'une certaine tension, dite "tension de claquage", le matériau est dégradé et ses propriétés diélectriques ne sont plus vérifiées. Il a été vérifié empiriquement que le produit champ électrique de claquage et permittivité électrique est constant [6] :

$$E_{BR} = \frac{20}{\sqrt{\epsilon_r}} \quad (1-17)$$

La tension de claquage s'exprime de façon empirique en fonction de la densité et de la géométrie du composant :

$$V_{BR} = 60\sqrt{d} / \sqrt{\frac{C}{L.W}} \quad (1-18)$$

Avec  $C/L.W$ , la capacité surfacique exprimée en  $\text{fF}/\mu\text{m}^2$ , et  $d$  l'épaisseur de diélectrique en  $\mu\text{m}$ . Ces relations permettent notamment de fixer les ordres de grandeurs des dimensions géométriques et technologiques possibles à partir d'une gamme de tension dans lesquelles le condensateur sera utilisé.

### Courant maximum

Si  $V_{BR}$  est la tension de claquage du condensateur et  $V_{BR}$  la tension continue appliquée à ses bornes, alors le courant maximum  $I_m$  pouvant traverser le condensateur s'écrit:

$$I_{max} = \frac{1}{\sqrt{2}} V_{BR} \omega C \quad (1-19)$$

Avec  $\omega$  la pulsation d'utilisation et  $C$  la capacité en F.

### Courants de fuite

Les courants de fuite d'un condensateur sont les courants autres que le courant de déplacement qui traversent le diélectrique. Ces courants résultent de la présence d'imperfections au sein du diélectrique. Ces imperfections proviennent à la fois de zones non uniformes dans la géométrie du matériau qui facilitent le passage des charges électriques [7] et de mauvaises propriétés d'interfaces entre métallisations et diélectriques qui favorisent aussi le transit des charges.

### Fréquence de résonance

La résonance des condensateurs résulte des phénomènes capacitifs parasites de couplage au substrat et des phénomènes inductifs produits par les vias, les accès et métallisations du composant. Tous les phénomènes parasites réactifs contribuent à la valeur de la fréquence de résonance. Plus celle-ci est distante des fréquences d'application du condensateur, plus ce dernier a un fonctionnement proche des attentes théoriques.

### 2.2.3 Inductances

Le phénomène à l'origine du phénomène inductif est le flux de champ magnétique présent dans un espace de propagation généré par la formation de boucles de courants.

Selon la loi d'Ampère, le courant circulant dans une boucle de matériau conducteur génère un champ magnétique d'induction d'intensité  $\vec{B}$ .

$$\text{rot} \vec{B} = \mu_0 \vec{J} \quad (1-20)$$

L'intensité du champ magnétique  $\vec{H}$  est directement liée au champ d'induction magnétique  $\vec{B}$  :

$$\vec{B} = \mu \vec{H} \quad \text{avec} \quad \mu = \mu_0 \cdot \mu_r \quad (1-21)$$

A partir de la loi sur la divergence (équation locale de Maxwell) et l'équation de Maxwell-Faraday, une expression du flux  $\phi$  traversant une surface fermée S peut être déduite :

$$\text{div} \vec{B} = 0 \quad (\text{équation locale de Maxwell}) \quad (1-22)$$

$$\text{Et} \quad \text{rot} \vec{E} = -\frac{\partial \vec{B}}{\partial t} \quad (\text{équation de Maxwell Faraday}) \quad (1-23)$$

$$\text{Finalement} \quad \phi = \oiint_S \vec{B} \cdot d\vec{S} \quad (1-24)$$

Si le matériau a une perméabilité  $\mu$  constante, alors la relation entre le flux  $\phi$  et le courant I à l'origine du champ magnétique est linéaire :

$$\phi = L \cdot I \quad (1-25)$$

La constante de proportionnalité L définit alors l'inductance de la boucle de courant.

#### Inductance Mutuelle

Lorsque deux conducteurs proches sont traversés par un courant, les flux magnétiques respectifs interagissent entre eux. Si les courants sont dans des directions opposées, alors l'inductance générée par chacun des conducteurs est diminuée. A l'inverse, elle est augmentée lorsque les courants circulent dans le même sens. Cette modification de la valeur de l'inductance est produite en raison de l'inductance mutuelle des deux conducteurs.

Deux conducteurs placés en parallèle d'inductances  $L_1$  et  $L_2$  ont une inductance mutuelle pouvant s'exprimer comme :

$$M = L_m = \sqrt{L_1 L_2} \quad (1-26)$$

Ainsi, l'inductance totale  $L_t$  générée par les deux conducteurs (en supposant  $L_1 = L_2 = L$ ) s'exprime comme [8] :

$$L_t = L + M \quad : \text{courant se propageant dans le même sens} \quad (1-27)$$

$$L_t = L - M \quad : \text{courant se propageant dans des sens opposés} \quad (1-28)$$

Dans une inductance spirale intégrée, des phénomènes non négligeables d'inductances mutuelles se produisent en raison de la proximité des lignes transportant le courant.

### **Facteur de qualité**

Le facteur de qualité est de loin le paramètre le plus critique des inductances spirales intégrées. En effet, les grandes longueurs de métallisation requises par les inductances induisent des pertes conductrices importantes dans le composant, auxquelles s'ajoute une dépendance importante des performances aux propriétés du substrat, à travers des courants de fuites qui y sont générés par induction. Contrairement aux résistances et aux condensateurs où l'influence du substrat peut-être quasi-négligeable, l'optimisation du facteur de qualité d'une inductance intégrée nécessite à la fois un travail sur le composant, mais aussi et surtout sur son environnement.

### **Fréquence de résonance**

La fréquence de résonance est critique pour les inductances car l'importance des phénomènes parasites, notamment capacitifs, peut induire une translation de la fréquence de résonance vers des fréquences relativement basses. La résonance d'une inductance résulte, comme pour les condensateurs, d'une compensation mutuelle des phénomènes inductifs et capacitifs, ainsi au delà de la première fréquence de résonance, l'inductance se comporte comme un condensateur.

### **Limite en courant**

Comme les résistances, les inductances sont soumises à des limites de transport de courant continu. Cette limite est fixée par le phénomène d'électromigration à l'intérieur du conducteur et dépend des matériaux utilisés, de l'environnement de l'inductance, ainsi que de sa capacité à dissiper l'énergie thermique [8].

### **Limite en puissance**

Les limites en puissance des inductances dépendent des signaux alternatifs qui lui sont appliqués. La puissance maximale supportée par une inductance planaire est une fonction du facteur de qualité de l'inductance [2], de sa géométrie, de sa surface, enfin des matériaux utilisés et de leurs propriétés thermiques.

### **Coefficient en température (TCI) et tension (VCI) des inductances**

De la même manière que pour les résistances et condensateurs, les inductances sont soumises à des variations en tension et en température [8]. Ainsi, toute modification des propriétés des matériaux qui la composent se traduit par des variations de la valeur de l'inductance. Les coefficients de stabilité en température (TCI - ppm/°C) et en tension (VCI - ppm/V) sont définis à partir d'expressions similaires aux coefficients utilisés dans le cas des résistances.

### 3. Problématiques des composants passifs dans les circuits radiofréquences

Les composants passifs sont indispensables pour la réalisation de tout circuit analogique. En effet, condensateurs et inductances sont largement utilisés et associés ensemble comme circuits résonants pour la réalisation de filtres, amplificateurs et oscillateurs. Les résistances sont elles systématiquement présentes dans l'environnement de tout dispositif actif. Les caractéristiques électriques d'un composant passif élémentaire peuvent affecter de façon non négligeable les performances d'un système radiofréquence (RF), et même devenir des facteurs limitants. D'un point de vue circuit, nous allons voir à travers quelques exemples comment les performances des passifs peuvent avoir un impact sur les performances des différents blocs fonctionnels d'un système de réception générique et ainsi dégrader les caractéristiques globales de la chaîne de réception.

#### 3.1 Identification des fonctions radiofréquences du front end d'un terminal de réception (LNA+Filtre, VCO, MIXER...)

Pour des raisons de simplicité et d'adaptabilité aux différents standards, l'architecture homodyne (ou zéros-IF) a largement été à la base de la construction des frontaux de communication ces dernières années, l'architecture hétérodyne, proposée pour la première fois par E. Armstrong en 1918, est encore utilisée aujourd'hui du fait de ses remarquables caractéristiques en termes de sensibilité et de sélectivité. En réception, cette architecture se décompose selon les blocs représentés sur le schéma de la Fig. 1-4. Cette architecture est construite afin de transposer les différents canaux à une fréquence dite « intermédiaire », autour de laquelle une démodulation des signaux à numériser par un CAN (convertisseur analogique numérique) est effectuée.

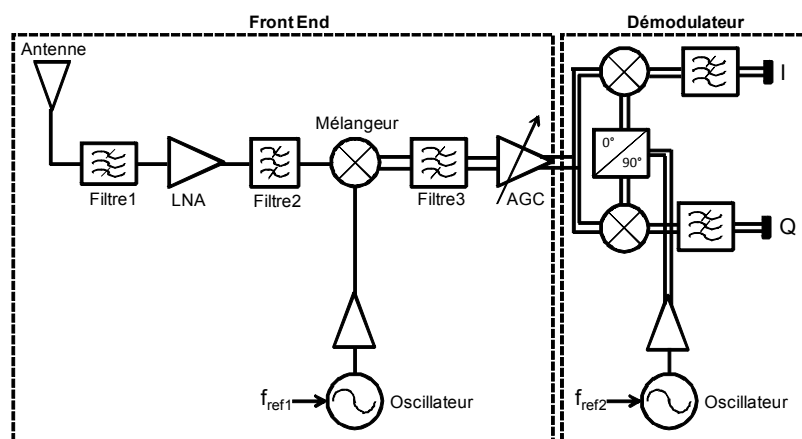


Fig. 1-4 - Architecture hétérodyne d'un récepteur radiofréquence

Nous nous intéressons ici plus particulièrement au frontal (front end) du système, c'est-à-dire au premier étage analogique qui traite les signaux reçus en sortie de l'antenne. Ce frontal est composé de filtres, d'amplificateurs, d'oscillateurs et de mélangeurs.

Une mesure des performances des systèmes de réception radio est le facteur de bruit  $F$ , défini pour un dispositif électronique comme le ratio des rapports signal sur bruit en entrée et sortie du récepteur. Dans le cas d'une association de plusieurs dispositifs électroniques, le facteur de bruit total s'exprime par la formule de Friis en fonction du gain  $G_i$  et du facteur de bruit  $F_i$  de chaque bloc du système :

$$F = F_1 + \frac{F_2 - 1}{G_1} + \frac{F_3 - 1}{G_1 G_2} + \frac{F_4 - 1}{G_1 G_2 G_3} + \dots + \frac{F_n - 1}{G_1 G_2 G_3 \dots G_n - 1} \quad (1-29)$$

Avec  $F_1$ ,  $G_1$  et  $F_2$ ,  $G_2$  respectivement les facteurs de bruits du filtre 1 et du LNA.

Le filtre 1 du système de réception permet d'effectuer la sélection de la bande de fréquence à laquelle celui-ci doit fonctionner. La plupart du temps, ce filtre, s'il n'est pas intégré avec la fonction amplification faible bruit (LNA - Low Noise Amplifier) [9], est une structure passive. Ceci pour limiter le facteur de bruit global de la chaîne de réception, dont l'influence des premiers étages est prépondérante, comme le montre l'équation (1-29). Le LNA permet d'amplifier les signaux, et parce qu'il est le premier bloc actif de la chaîne, il doit nécessairement présenter la mesure de bruit la plus faible possible. Le filtre 2 permet ensuite d'atténuer les signaux de fréquence hors bande « dites images », et amplifiées par le LNA, qui sont susceptibles de se trouver dans la bande utile lors de la transposition de fréquence. Ces bandes images sont les bandes symétriques des bandes signal vis-à-vis de la fréquence de l'oscillateur local. Ensuite, l'oscillateur (qui généralement est un oscillateur contrôlé en tension associé à une PLL) fournit au mélangeur les signaux permettant d'effectuer la transposition des signaux à une fréquence intermédiaire  $f_i$ . Un filtrage très sélectif autour de cette fréquence  $f_i$  est ensuite exécuté par le filtre 3 afin de sélectionner le canal utile. Enfin, un amplificateur à gain contrôlé en tension permet d'optimiser l'amplification des signaux en limitant les effets non linéaires. Les circuits effectuant la démodulation des signaux en bande de base ne sont pas toujours considérés comme faisant partie intégrante du frontal, car la démodulation se trouve parfois être effectuée de façon numérique, c'est à dire après passage dans le convertisseur Analogique/Numérique.

Des composants passifs sont présents dans chacun des blocs fonctionnels de l'architecture hétérodyne. Leurs performances en terme de facteur de qualité, stabilité en tension et température, et leurs tailles peuvent-être des paramètres limitants des performances des systèmes comme nous allons le mettre en évidence à travers les exemples suivants.

### 3.2 Influence du facteur de qualité...

#### ...sur le filtre

Les fonctions de filtrage des blocs filtre1 et filtre2 des récepteurs hétérodyne sont souvent réalisées à partir de filtres passifs pour réduire au maximum la contribution en bruit des premiers dispositifs en sortie de l'antenne. Le facteur de bruit d'un filtre passif est équivalent à ses pertes d'insertion, c'est-à-dire à l'atténuation autour de la fréquence centrale ( $f_0$ ) de fonctionnement du filtre.

La proximité spectrale des différents standards de communication nécessite l'utilisation de filtres très sélectifs en fréquence et qui bénéficient dans le même temps de pertes d'insertion les plus faibles possibles afin de réduire l'impact sur le facteur de bruit global du système. L'utilisation de technologies SAW (Surface Acoustic Wave) ou BAW (Bulk Acoustic Wave) prédomine largement aujourd'hui car elles permettent d'avoir une très forte rejection des signaux hors bande. Cependant, les filtres à ondes acoustiques ne sont généralement pas intégrés dans la carte mère du système de réception et doivent être reportés à sa surface. L'ajout de ces composants externes limite l'utilisation de l'architecture hétérodyne par exemple pour les mobiles de troisième génération où un très fort taux d'intégration est requis. De plus, l'utilisation de filtres externes, et en particulier non reconfigurables nécessite de

dupliquer la chaîne de filtrage pour chacun des standards reçus par le terminal. Ce dernier point vient encore limiter les performances d'intégration de cette architecture, bien qu'elle bénéficie d'une meilleure sensibilité que l'architecture homodyne [10].

La réalisation de filtres intégrés peut ainsi permettre de réduire la taille des récepteurs basés sur cette architecture. Cependant, l'intégration des filtres n'a un intérêt que si ces derniers disposent d'une rejection hors bande suffisante, en effet, lors de la transposition à la fréquence intermédiaire, une atténuation insuffisante des signaux hors bandes vient nécessairement dégrader la sensibilité du récepteur. La rejection hors bande d'un filtre est fixée à une bande passante donnée en fonction de l'ordre du filtre. Les pertes d'insertion étant-elles très fortement corrélées au coefficient de surtension des résonateurs utilisés. A l'heure actuelle les valeurs des coefficients de surtension des composants passifs localisés restent encore trop faibles en technologie monolithique à cause de pertes importantes dans les substrats. Bien que l'amélioration de la rejection peut-être effectuée à une bande passante donnée en augmentant l'ordre des filtres, l'ajout de résonateurs génère des pertes d'insertion supplémentaires, qui viennent alors dégrader les performances en bruit de la chaîne de réception. L'amélioration des coefficients de surtension des résonateurs intégrés est donc le premier verrou à lever pour intégrer la fonction filtrage.

Aussi, nous nous intéressons dans cette partie à l'influence du facteur de qualité des résonateurs sur la réponse du filtre, et en particulier sur ses pertes d'insertion, facteur déterminant sur les performances en bruit de la chaîne de réception. La Fig. 1-5 montre la structure d'un filtre passif du troisième ordre de Tchebychev :

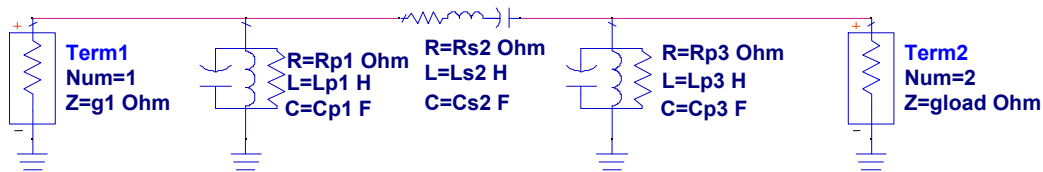


Fig. 1-5 – Filtre du troisième ordre de Tchebychev

Les résistances représentent les pertes produites dans les résonateurs par les composants capacitifs, inductifs et les interconnexions. Ces pertes définissent le facteur de qualité (Q) des résonateurs et sont ramenées à un élément résistif série ou parallèle. Le filtre considéré est conçu à une fréquence centrale de 2.2GHz et dispose d'une bande passante de 80MHz. L'influence de la réponse du filtre en fonction du facteur de qualité des résonateurs, elle-même liée aux facteurs de qualité des condensateurs et inductances est représenté sur la Fig. 1-6.

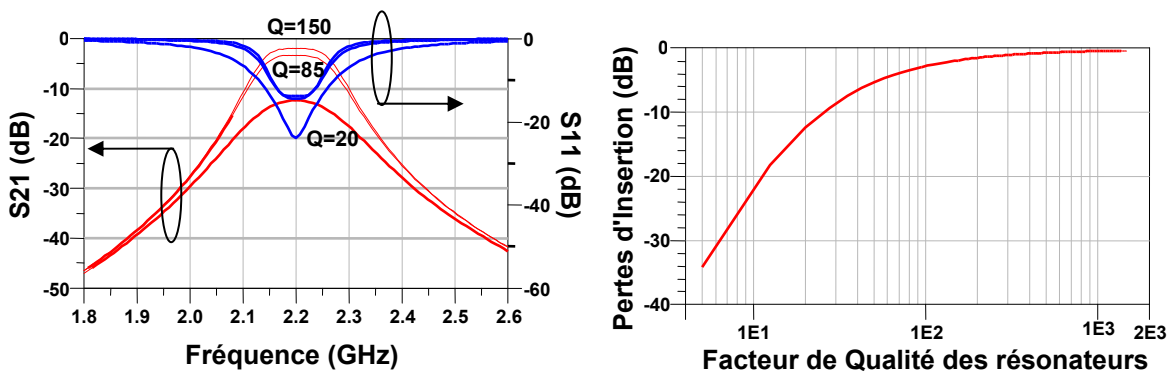


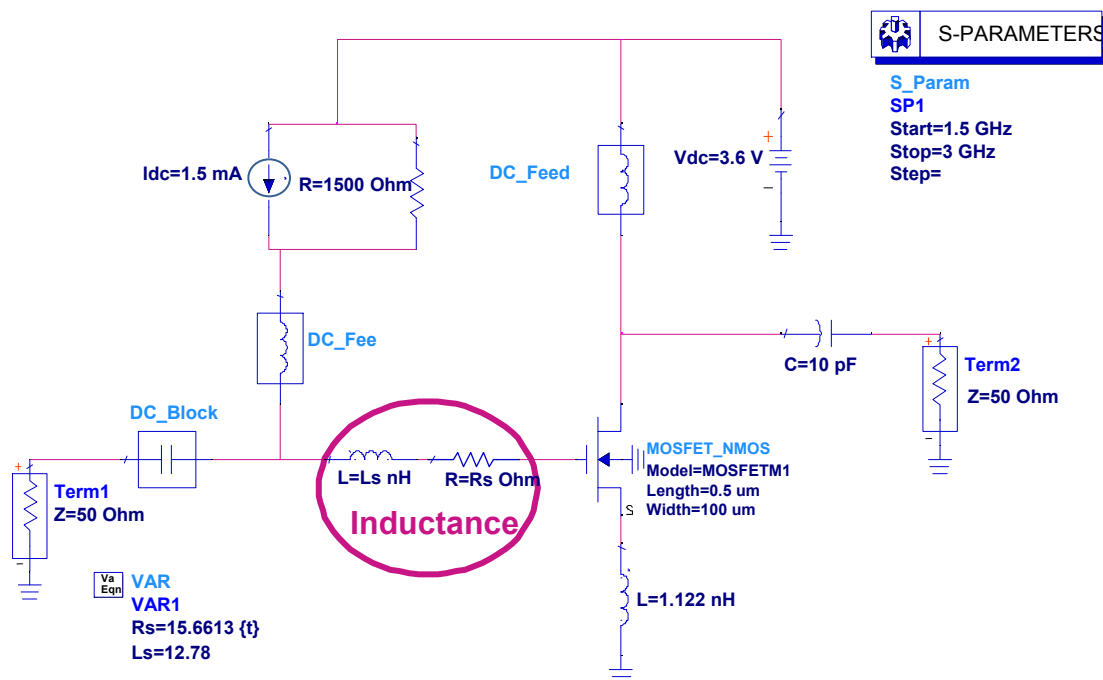
Fig. 1-6 – Réponse du filtre du troisième ordre de Tchebychev pour différentes valeurs du facteur de qualité des résonateurs

L'influence du facteur de qualité sur les pertes en  $f_0$  est considérable avec une variation supérieure à 20dB des pertes d'insertion (soit du facteur de bruit) pour une variation d'une décade du facteur de qualité. En technologie CMOS, la réalisation de filtres passifs est une réelle problématique en raison du très faible facteur de qualité présenté par les inductances spirales (Q entre 2 et 15 pour des inductances réalisées à partir d'un processus CMOS standard).

## ...sur le LNA

Le LNA doit présenter un facteur de bruit le plus faible possible. Ce dernier dépend à la fois des contributions des dispositifs passifs et actifs qui composent le circuit. Cependant, nous allons ici uniquement mettre en évidence l'influence du facteur qualité d'une inductance donnée sur le facteur de bruit du LNA.

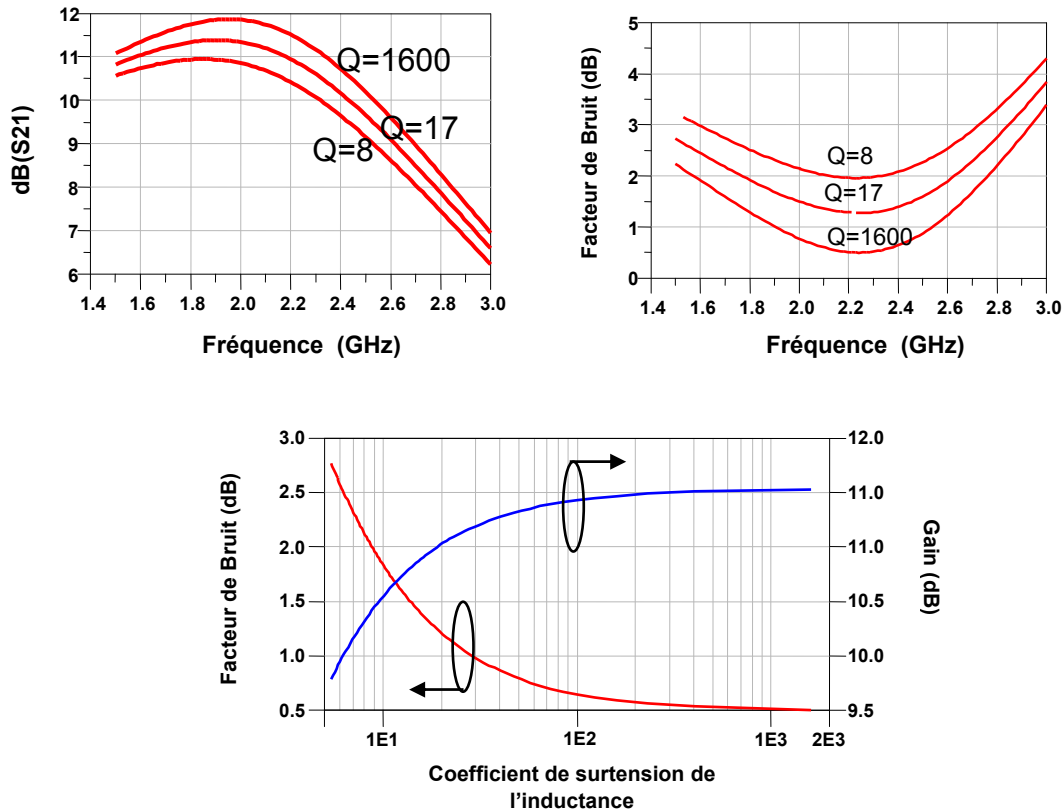
La structure de LNA considérée est représentée sur la Fig. 1-7. Elle est conçue à partir d'un unique transistor MOSFET, simulé sous ADS à partir du modèle Bsim3v3 de la technologie CMOS-0.5 $\mu$ m. Le facteur de qualité considéré est celui de l'inductance entourée et représentée pour simplifier par un circuit RL série.



**Fig. 1-7 – LNA conçu et simulé pour quantifier l'influence du facteur de qualité de l'inductance sur les performances du dispositif**

La dépendance du facteur de qualité de cette inductance à la fois sur le gain et le facteur de bruit en sortie du LNA sont représentées sur la Fig. 1-8. Notons qu'un coefficient de surtension  $Q=1600$  n'est pas réaliste en technologie intégrée, et ce dernier s'apparente donc au cas idéal.





**Fig. 1-8 – Influence du facteur de qualité de l'inductance connectée à la source du transistor MOS sur le gain et le facteur de bruit du LNA**

Des variations du gain et du facteur de bruit supérieur à 1,5 et 2dB respectivement sont observées pour un facteur de qualité variant entre 5 et 50.

### 3.3 Stabilité en tension et température.

L'analyse sur l'influence des paramètres de stabilité (ou linéarité) en tension et température des composants passifs est effectuée à partir de deux dispositifs génériques très utilisés dans les différents blocs du frontal radio : le miroir de courant et l'amplificateur différentiel.

Ces dispositifs analogiques se trouvent dans l'amplificateur à gain contrôlé, le mélangeur, ou encore l'oscillateur local. Nous allons évaluer par simulation l'influence que peut avoir la linéarité en tension et en température d'une résistance placée au cœur d'un miroir de courant, puis de ce même miroir de courant placé dans un amplificateur différentiel.

Le miroir de courant, aussi appelé source de courant est un dispositif utilisé dans la plupart des circuits analogiques ou numériques. En effet, la fonctionnalité recherchée par ce dispositif est d'effectuer une copie d'un courant de référence considéré précis et stable. Le courant fourni en sortie de la source doit donc être constant et idéalement indépendant de la tension de sortie. Le miroir de courant considéré ici est représenté sur la Fig. 1-9.

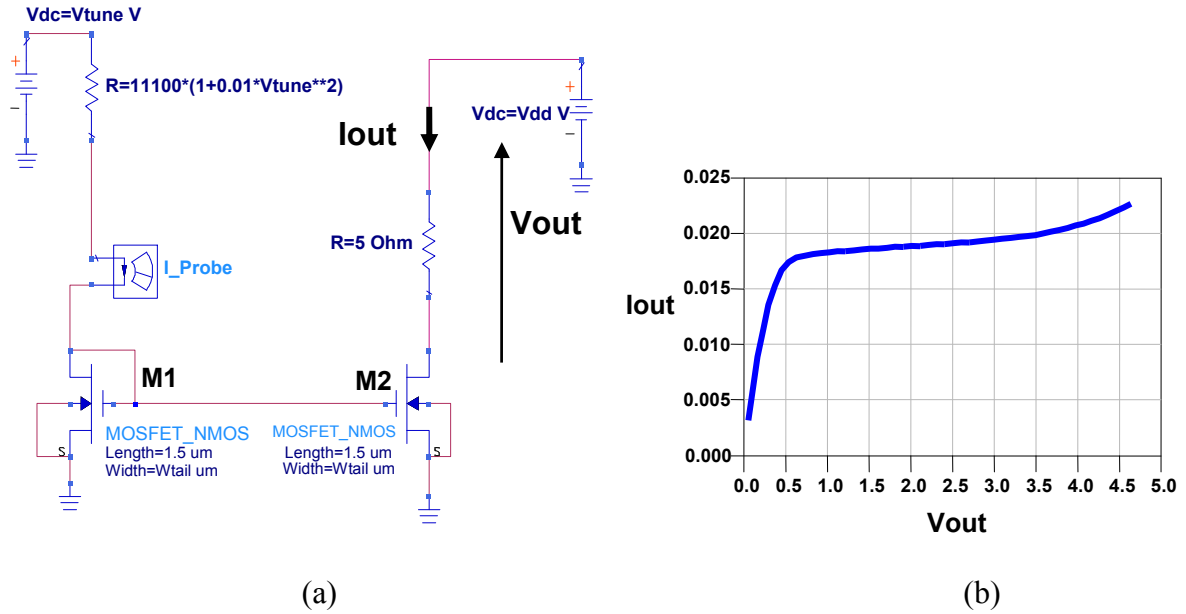


Fig. 1-9 – Source de courant et résistance considérés pour l'analyse de stabilité

Le courant de sortie  $I_{OUT}$  s'exprime en fonction du courant de référence par (les indices 1 et 2 faisant références aux transistors  $M_1$  et  $M_2$ ):

$$I_{OUT} = \frac{1}{2} C_{ox}(W/L)_2 \frac{2I_{REF}}{\mu C_{ox}(W/L)_1} = \frac{(W/L)_2}{(W/L)_1} I_{REF} \quad (1-30)$$

$$\text{Soit } I_{OUT} = I_{REF} \text{ dans le cas de transistors de même ratio } W/L \quad (1-31)$$

Si l'on considère une dépendance à la température de la résistance  $R$  de la forme :

$$R(T) = R_0(1 - rT) \quad (1-32)$$

Avec  $r$  le coefficient de linéarité en température, exprimé par ppm/°C. Le courant  $I_{OUT}$  s'exprime alors :

$$I_{OUT}(T) = \frac{V_{dd} - V_i}{R_0(1 - rT)} = \frac{V_{dd} - V_i}{R_0} (1 - rT) \quad (1-33)$$

La dépendance proportionnelle du courant de sortie au coefficient de linéarité en température induit que toutes les variations de la valeur de résistance due à la température seront directement répercutées sur le courant de sortie du dispositif. Ainsi, toutes les instabilités que présente la résistance fixant le courant de commande sont des instabilités induites sur le courant en sortie.

Considérons maintenant la source de courant placée comme commande de l'amplificateur différentiel représenté sur la Fig. 1-10. Ce type d'amplificateur est utilisé pour la conception d'oscillateurs auxquels un circuit résonnant est associé. On l'utilise également pour la conception des cellules de Gilbert, cellules de base des mélangeurs.

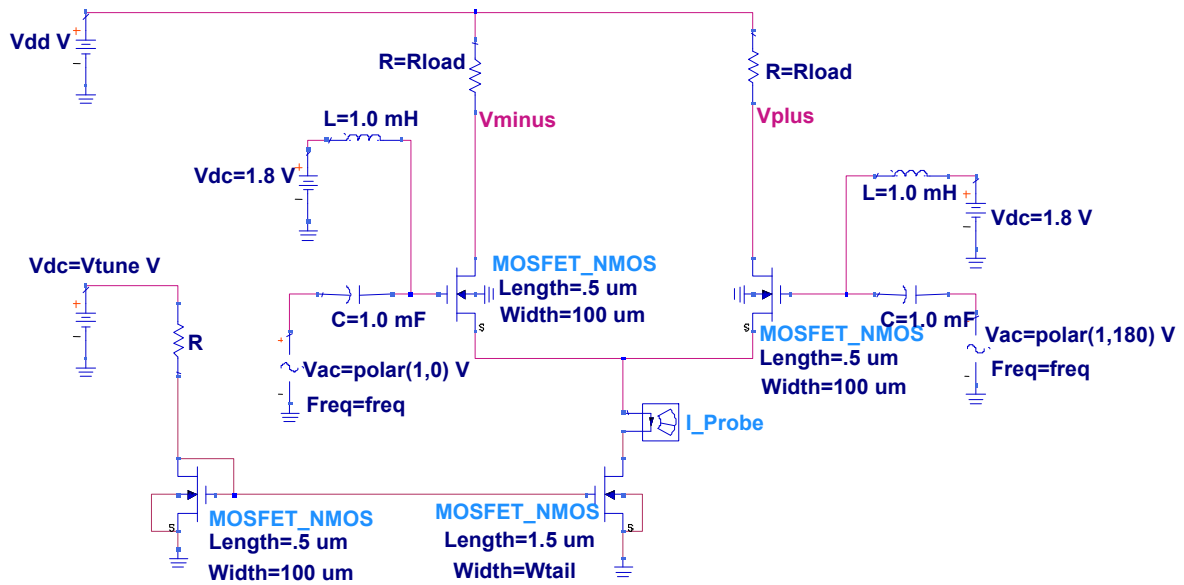


Fig. 1-10 – Amplificateur différentiel

Le courant de référence, piloté par la tension  $V_{tune}$  permet de contrôler le gain du système. En considérant une dépendance quadratique de la résistance à la tension de  $\pm 0.5\%$ , soit  $\pm 5000 \text{ ppm/V}^2$ , l'influence sur le gain différentiel en sortie de l'amplificateur est représentée sur la Fig. 1-11. Il peut varier de 3dB à 10V. De même, en considérant cette fois un coefficient de linéarité en température de  $500 \text{ ppm/}^\circ\text{C}$ , une variation d'environ 1dB peut être observée entre 25 et  $125^\circ\text{C}$ , comme cela est représenté sur la Fig. 1-11.

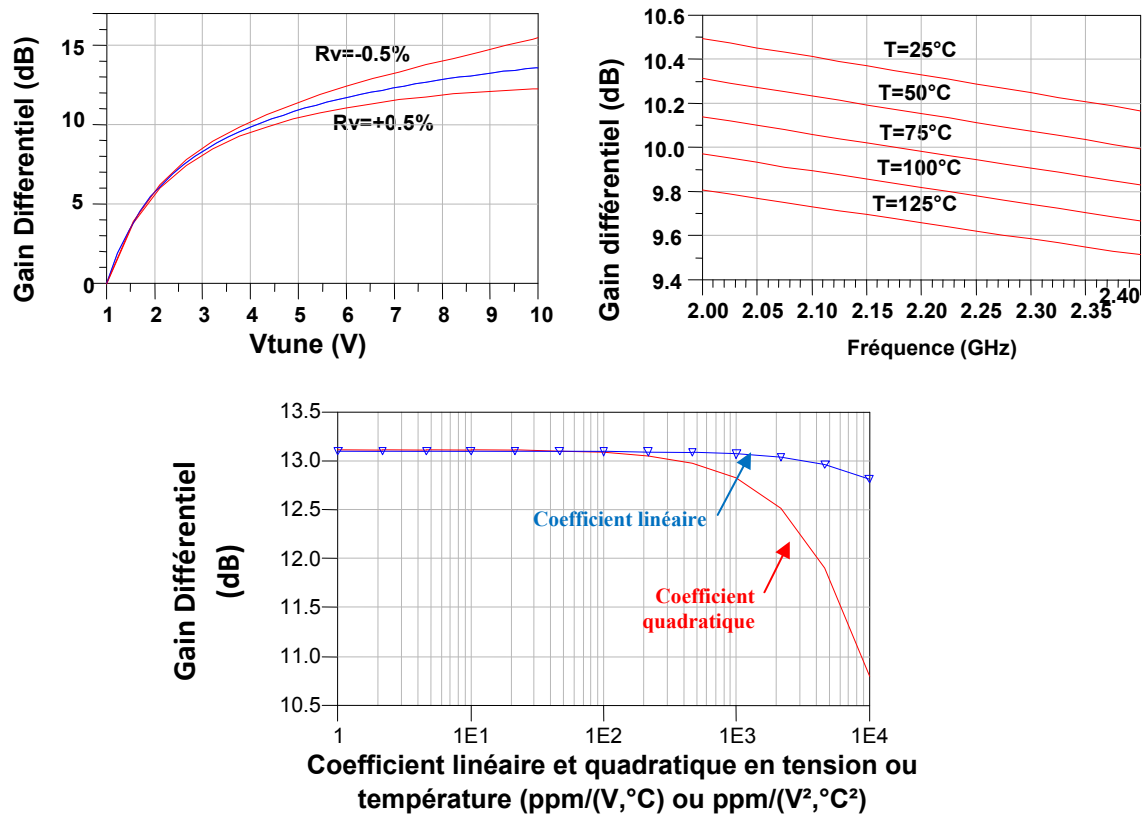


Fig. 1-11 – Variation du gain différentiel

Une mauvaise maîtrise du gain de l'amplificateur différentiel peut avoir des conséquences importantes sur le circuit dans lequel il est utilisé. Par exemple, si celui-ci se trouve associé à un circuit résonant pour réaliser un oscillateur, une variation du gain différentiel peut induire le non respect des conditions d'oscillation ou encore un décalage en fréquence de l'harmonique fondamentale générée par l'oscillateur, tous deux pouvant entraîner un dysfonctionnement du système de réception.

### 3.4 Densité

La proportion d'espace occupé par les composants passifs dans les circuits RF intégrés actuels est bien supérieure à celle des composants actifs. En effet, la réalisation de composants passifs de fortes valeurs en CMOS est limitée d'une part par la surface requise sur les puces qui devient trop importantes, et d'autre part en raison de problèmes de stabilité et de reproductibilité qui sont induits par des composants de taille trop grande. Pour la filière CMOS standard considérée, la densité maximale pour la fabrication de résistances polysilicium garantissant d'intéressantes performances en termes de stabilité en tension et en température est aujourd'hui de l'ordre de  $1\text{k}\Omega/\text{sq}$ . A partir d'une telle densité, la réalisation d'une résistance de  $10\text{M}\Omega$  nécessite l'association de 1000 carrés. Supposons que la taille des carrés soit fixée à  $5\mu\text{m}$ , cela revient à occuper une surface considérable de  $1000 \times 25\mu\text{m}^2$ .

De la même manière, la réalisation d'une capacité de  $3.5\text{nF}$  à partir d'une couche d'oxyde de silicium ( $\epsilon_{\text{SiO}_2}=4$ ), placée entre deux électrodes (par exemple de polysilicium) nécessite une surface d'électrodes en regard équivalente à  $1\text{mm}^2$ .

Enfin, les inductances spirales intégrées sont les composants les plus critiques en terme d'espace occupé sur puce. En effet, à titre illustratif la réalisation d'une inductance intégrée de  $10\text{nH}$  peut occuper en technologie CMOS une surface supérieure à  $3\text{mm}^2$ . La figure suivante (Fig. 1-12) met bien en évidence l'espace à la fois occupé par les inductances spirales intégrées et les condensateurs dans un VCO. Enfin, il nous paraît important de noter que dans un terminal mobile, bien que l'espace occupé par les passifs ne peut-être négligé, le plus grand composant reste toujours l'antenne. En effet, la miniaturisation conjointe des passifs et de l'antenne est incontournable pour optimiser les performances globales des systèmes de réception.

L'amélioration des performances des composants passifs et la réduction de leur taille est un atout majeur pour la conception de dispositifs RF miniaturisés. En effet, nous avons pu montrer comment la mesure de bruit d'un système de réception peut-être dégradée par des composants passifs qui disposent de pertes non négligeables. Nous avons aussi mis en évidence quelques conséquences induites par des non linéarités en tension et température sur la réponse de circuits génériques. Enfin, les limites associées à la taille de systèmes utilisant un grand nombre de passifs intégrés ou de fortes valeurs ont été montrées.

L'optimisation des performances des passifs intégrés passe nécessairement par une maîtrise et une interprétation de leurs caractéristiques électriques. Pour cela, il est nécessaire de disposer de modèles de composants qui permettent de simuler leur comportement.

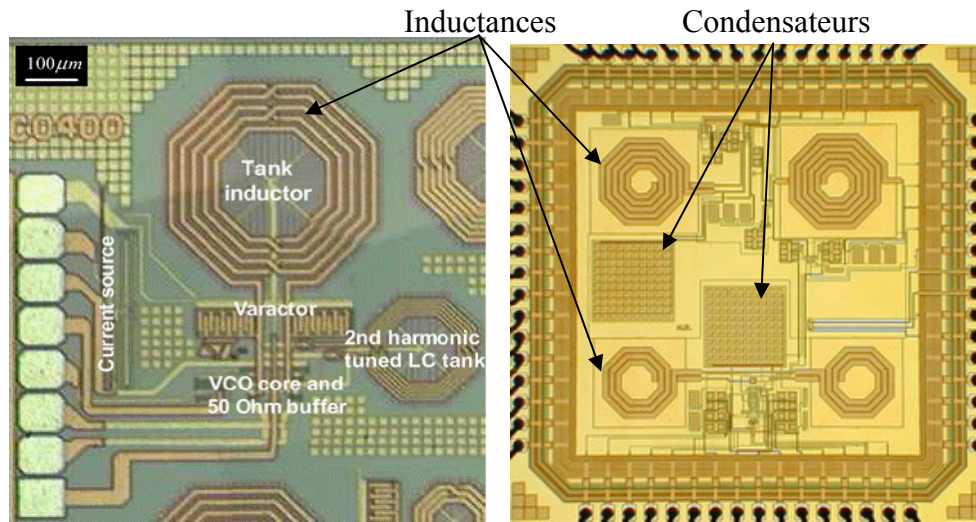


Fig. 1-12 – Image (a) d'oscillateurs contrôlés en tension et front end IEEE 802.15.4 intégrés en technologie CMOS

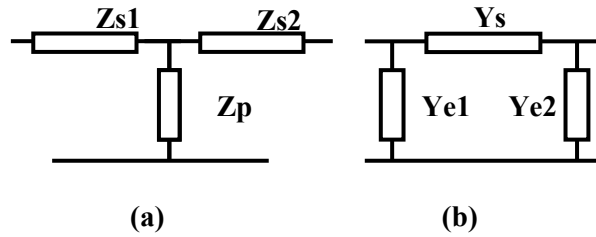
#### 4. Modélisation des composants passifs

Le développement de modèles électriques de composants passifs est indispensable pour la conception de RFICs (Radio Frequency Integrated Circuits). En effet, de nombreuses approches existent pour simuler le comportement des passifs afin d'interpréter d'une part les différents phénomènes électriques et électromagnétiques, et d'autre part d'utiliser les modèles pour la conception de circuits. La modélisation des passifs peut être effectuée à partir de modèles distribués ou localisés, soit dans le but de prédire la réponse du composant avant réalisation et caractérisation électrique, soit pour permettre d'interpréter les phénomènes physiques sous jacent à cette même réponse électrique.

Nous avons fait le choix dans notre étude d'étudier et développer des modèles localisés de composants passifs. En effet, pour la conception de RFICs, soit pour des fréquences inférieures à la dizaine de GHz, ceux-ci sont les plus adaptés pour l'interprétation physique des phénomènes électromagnétiques présents dans le composant. De plus, par souci de simplicité de la représentation des composants qui facilite l'implantation des modèles pour la conception de dispositifs radio, nous avons fait le choix de nous focaliser sur des approches analytiques et linéaires. Sachant que la sélection d'un modèle donné est toujours un compromis entre complexité et précision, notre choix de simplicité se justifie par l'existence de simulateurs électromagnétiques permettant de prédire ou reproduire la réponse en fréquence des passifs avec une très grande précision. Aussi l'utilisation de modèles compacts et analytiques prend tout son intérêt pour estimer simplement et rapidement les performances d'un composant avant d'entreprendre soit une modélisation électromagnétique, soit des caractérisations électriques qui restent incontournables pour la conception d'un dispositif radio.

Les modèles localisés de composants passifs sont construits à partir de deux principaux types de quadripôles basés sur le réseau en T <sup>[1]</sup>, et en  $\pi$  <sup>[2]</sup> (Fig. 1-13).

A partir de ces quadripôles, des modèles équivalents pour chacune des admittances sont définis en fonction du composant considéré et de la technologie de réalisation. Deux approches distinctes coexistent pour la modélisation des composants passifs.


 Fig. 1-13 – (a) Réseau en T, (b) simple- $\pi$ 

La première approche consiste en la définition de modèles dans le but de reproduire des données mesurées. Les modèles définis sont des modèles qui reconstituent la réponse du composant et sont construits avec une méthode d'extraction de paramètres associée. La seconde approche est prédictive, c'est-à-dire que l'objectif est d'anticiper la réponse fréquentielle du composant à partir de la définition de sa géométrie et de la considération des propriétés et des paramètres de la technologie considérée, cette dernière permet la définition de modèles dit d' « échelles ».

#### 4.1 Modèles reproductifs (extraction de paramètres)

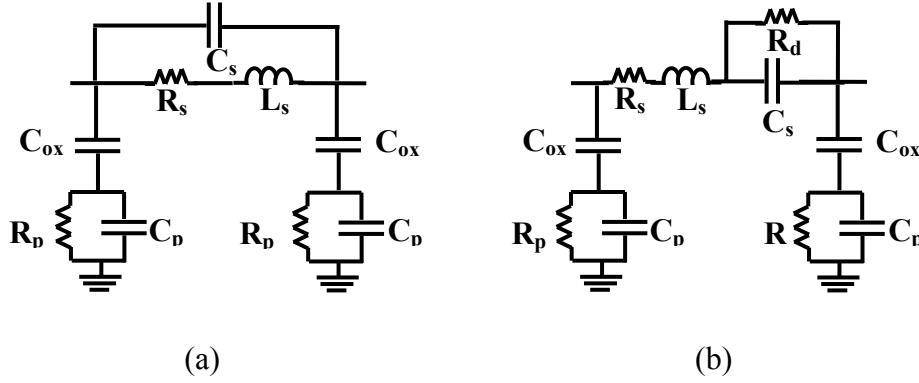
Dans cette section nous allons présenter quelques modèles de composants passifs intégrés basés sur les réseaux de la Fig. 1-13 et les méthodes d'extraction de paramètres qui leurs sont relatives. Plusieurs méthodes d'extraction de paramètres peuvent être utilisées pour extraire les valeurs des éléments d'un même modèle. En effet, celles-ci peuvent être basées sur des méthodes d'optimisation, ou sur des équations analytiques déduites de modèles circuits, à partir desquelles les valeurs des paramètres électriques sont extraites par interpolation ou simple calcul. Nous nous attacherons dans cette section à présenter les méthodes analytiques d'extraction de paramètres, car elles ont l'avantage, d'une part, d'être généralement plus efficaces et, d'autre part, d'aboutir à des valeurs de paramètres déduits plus cohérentes pour une interprétation physique.

##### 4.1.1 *Modèles en $\pi$ – Application au cas d'une inductance spirale et d'un condensateur MIM*

Les modèles simple- $\pi$  suivants (Fig. 1-14) représentent des inductances et condensateurs intégrés en technologie CMOS. A partir d'une mesure des paramètres  $[S]$  du composant, les admittances  $Y_s$ ,  $Y_{e1}$  et  $Y_{e2}$  sont dissociées afin d'être traitées de façon indépendante. Leurs parties réelles et imaginaires sont alors exprimées en fonction des paramètres électriques qui les composent, et enfin, à partir de la réponse mesurée et des équations relatives, les valeurs des paramètres électriques sont extraites.

La matrice  $[Y]$  des quadripôles en  $\pi$  de la Fig. 1-13b s'écrit :

$$Y_{\pi}(\omega) = \begin{bmatrix} Y_{11}^{\pi}(\omega) & Y_{12}^{\pi}(\omega) \\ Y_{21}^{\pi}(\omega) & Y_{22}^{\pi}(\omega) \end{bmatrix} \quad (1-34)$$



**Fig. 1-14 - Modèle en  $\pi$  (a) d'inductances et (b) condensateurs intégrés en technologie CMOS**

A partir d'une mesure de paramètres  $[S]$ , les éléments de la matrice admittance se déduisent par :

$$\begin{aligned}
 Y_{11} &= Y_0 \cdot \frac{(1 + S_{22})(1 - S_{11}) + S_{12}S_{21}}{(1 + S_{11})(1 + S_{22}) - S_{12}S_{21}} \\
 Y_{12} &= Y_0 \cdot \frac{-2S_{12}}{(1 + S_{11})(1 + S_{22}) - S_{12}S_{21}} \\
 Y_{21} &= Y_0 \cdot \frac{-2S_{21}}{(1 + S_{11})(1 + S_{22}) - S_{12}S_{21}} \\
 Y_{22} &= Y_0 \cdot \frac{(1 - S_{22})(1 + S_{11}) + S_{12}S_{21}}{(1 + S_{11})(1 + S_{22}) - S_{12}S_{21}}
 \end{aligned} \tag{1-35}$$

Ainsi, les admittances du réseau peuvent s'exprimer en fonction des paramètres  $[Y]$  mesurés :

$$\begin{aligned}
 Y_s &= Y_{12}^\pi \\
 Y_{e1} &= Y_{11}^\pi + Y_{12}^\pi \\
 Y_{e2} &= Y_{22}^\pi + Y_{21}^\pi
 \end{aligned} \tag{1-36}$$

Les admittances parallèles et l'admittance série  $Y_s(\omega)$  sont maintenant dissociées. Pour simplifier, nous considérons ici le quadripôle comme symétrique ( $Y_{e1}(\omega) = Y_{e2}(\omega) = Y_e(\omega)$ ), car les équations pour l'extraction des éléments des admittances parallèles sont similaires. Dans la mesure où celles-ci sont différentes, l'extraction s'effectue à partir de l'admittance  $Y_{e1}$  pour l'entrée du composant et à partir de l'admittance  $Y_{e2}$  pour la sortie. A partir des modèles électriques d'inductances et condensateurs en technologie CMOS représentés sur la Fig. 1-14, les parties réelles et imaginaires de l'admittance parallèle  $Y_e$  s'écrivent <sup>[13]</sup>:

$$\operatorname{Re}\left(\frac{1}{Y_e(\omega)}\right) = \operatorname{Re}(Z_e(\omega)) = \frac{R_p}{1 + (\omega R_p C_p)^2} \tag{1-37}$$

$$\operatorname{Im}\left(\frac{1}{Y_e(\omega)}\right) = \operatorname{Im}(Z_e(\omega)) = -\frac{1}{\omega C_{ox}} - \frac{\omega C_p R_p^2}{1 + (\omega R_p C_p)^2} \tag{1-38}$$

Les paramètres  $R_p$ ,  $C_p$  et  $C_{ox}$  de l'admittance parallèle  $Y_e$  similaires ici pour des condensateurs et des inductances intégrés se déduisent des mesures selon les équations suivantes :

$$C_{ox} = -\frac{1}{\omega \operatorname{Im}(Z_e(\omega))} \Big|_{\omega \rightarrow 0} \tag{1-39}$$

$$R_p = \text{Re}(Z_e(\omega)) \Big|_{\omega \rightarrow 0} \quad (1-40)$$

$$C_p = \frac{\text{Im}(Y_e)}{\omega} \Big|_{\omega \rightarrow \infty} \quad (1-41)$$

L'extraction des paramètres de l'admittance série  $Y_s(\omega)$  du modèle d'inductance (Fig. 1-14a) se fait à partir de :

$$R_s = \text{Re}(Z_s(\omega)) \Big|_{\omega \rightarrow 0} \quad (1-42)$$

$$L_s = -\frac{1}{\text{Im}(Z_s(\omega)) \Big|_{\omega \rightarrow 0}} \quad (1-43)$$

$$C_s = -\frac{\frac{1}{\omega L_s} + \text{Im}(Y_s(\omega)) \Big|_{\omega \rightarrow \infty}}{\omega} \quad (1-44)$$

L'extraction des paramètres de l'admittance série  $Y_s(\omega)$  du condensateur s'effectue soit par des méthodes numériques d'inversion de matrice, soit en posant les équations de l'impédance comme un système linéaire d'équations à résoudre sur plusieurs points fréquentiels.

#### 4.1.2 Modèle en T – Application au cas des condensateurs MIM

Un modèle électrique de condensateurs MIM réalisé en technologie CMOS construit sur le réseau en T peut-être le suivant [11] :

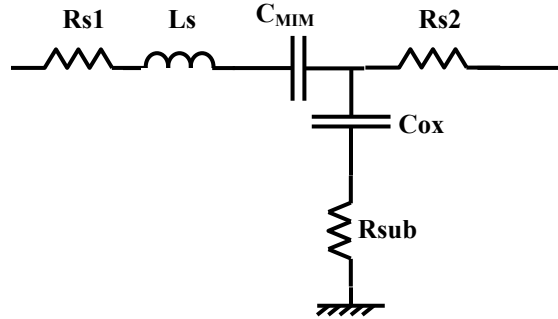


Fig. 1-15 - Modèle en T d'un condensateur MIM

L'extraction de paramètres s'effectue en exprimant les impédances  $Z_1$ ,  $Z_2$  et  $Z_3$  comme suit:

$$Z_1(\omega) = R_{s1} + j\omega L_s + \frac{1}{j\omega C_{MIM}} \quad (1-45)$$

$$Z_2(\omega) = R_{s2} \quad (1-46)$$

$$Z_3(\omega) = R_{sub} + \frac{1}{j\omega C_{ox}} \quad (1-47)$$

Les paramètres  $[Z]$  de la matrice impédance d'une structure en T s'expriment comme :

$$Z_{11}(\omega) = Z_{11}(\omega) + Z_3(\omega) \quad Z_1(\omega) = Z_{11}(\omega) - Z_{21}(\omega) \quad (1-48)$$

$$Z_{22}(\omega) = Z_2(\omega) + Z_3(\omega) \quad \text{ce qui revient à} \quad Z_2(\omega) = Z_{22}(\omega) - Z_{21}(\omega) \quad (1-49)$$

$$Z_{21}(\omega) = Z_{12}(\omega) = Z_3(\omega) \quad Z_3(\omega) = Z_{21}(\omega) \quad (1-50)$$



Cet ensemble d'équations permet de déduire les paramètres électriques du modèle :

$$R_{s1} = \operatorname{Re}\{Z_{11}(\omega) - Z_{21}(\omega)\} \quad (1-51)$$

$$R_{s2} = \operatorname{Re}\{Z_{22}(\omega) - Z_{21}(\omega)\} \quad (1-52)$$

$$C_{ox} = -\frac{1}{\omega \cdot \operatorname{Im}\{Z_{21}(\omega)\}} \Big|_{\omega \rightarrow 0} \quad (1-53)$$

$$R_{sub} = \operatorname{Re}\{Z_{21}(\omega)\} \Big|_{\omega \rightarrow 0} \quad (1-54)$$

Enfin, la détermination de  $L_s$  et de  $C_{MIM}$  s'effectue en négligeant la contribution de l'inductance série  $L_s$  en basses fréquences et celle de la capacité  $C_{MIM}$  en hautes fréquences. Ainsi l'extraction de ces deux paramètres s'effectue simplement à partir de la partie imaginaire de l'impédance  $Z_1$  par:

$$C_{MIM} = \frac{1}{\omega \operatorname{Im}(Z_1(\omega))} \Big|_{\omega \rightarrow 0} \quad (1-55)$$

$$L_s = \frac{\operatorname{Im}(Z_1(\omega))}{\omega} \Big|_{\omega \rightarrow \infty} \quad (1-56)$$

## 4.2 Modèles prédictifs

Les modèles prédictifs ont pour objectif de pronostiquer la réponse des composants passifs à partir de données sur la géométrie du composant d'une part, et sur les caractéristiques des couches de matériaux (telles que l'épaisseur des couches, la permittivité et la résistivité) utilisées d'autre part. Ces modèles sont dits « modèles d'échelle » car la réponse associée dépend des paramètres technologiques et géométriques du composant.

Il existe des approches empiriques pour prédire la réponse de composants, c'est-à-dire que les paramètres électriques sont déduits à partir d'équations construites pour interpoler un grand nombre de données expérimentales et mettre en évidence le lien avec les caractéristiques technologiques et la géométrie du composant. Une autre approche consiste à évaluer de façon approximative les paramètres du modèle à partir d'équations analytiques construites sur l'interprétation des différents phénomènes physiques ou électromagnétiques qui se produisent dans le composant. Cette approche sera largement développée dans le Chapitre 5 en étant appliquée aux inductances spirales intégrées en technologie CMOS. Nous présentons dans cette section des modèles d'échelles de résistances, condensateurs et inductances intégrés. Tous les modèles présentés ici sont basés sur des structures de quadripôle en  $\pi$ .

### 4.2.1 Modélisation de résistances intégrées

La modélisation du comportement fréquentiel des résistances intégrées en couches minces peut s'effectuer à partir du modèle électrique en  $\pi$  présenté sur la Fig. 1-14a [14], [15]. Le modèle localisé proposé est équivalent à celui d'une inductance intégrée avec pour seule différence une valeur de résistance série supérieure au cas des inductances, où c'est la valeur de l'inductance qui est supérieure. Pour une géométrie donnée, la différence se fait uniquement par les matériaux utilisés, et de ce fait par la densité de courant les traversant. En effet, le courant doit-être important dans le cas des inductances, et des métaux les plus

« purs » possibles sont souvent utilisés (c'est-à-dire des métaux à très forte conductivité). Pour les résistances, ce sont plus souvent des alliages métalliques qui sont utilisés afin de réduire cette fois la conductivité et donc également le courant qui traverse le matériau pour une tension donnée. La géométrie des résistances considérées et les paramètres utilisés dans les équations suivantes sont représentés sur la figure suivante (Fig. 1-16):

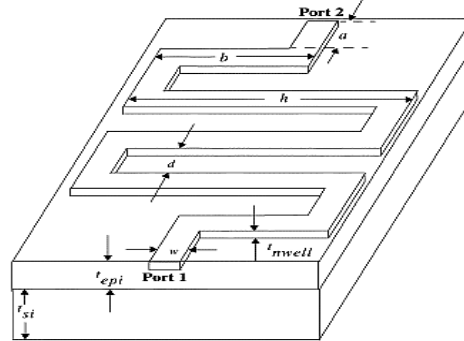


Fig. 1-16 - Structure de résistance en couches minces

Les éléments du modèle localisé se calculent analytiquement à partir des paramètres géométriques et technologiques de la structure. La résistance série DC se calcule à partir du nombre de lignes du matériau (N) et de la résistance carrée ( $R_{\square}$ ). Dans les équations présentées ci-dessous, nous supposons que les dimensions de la structure vérifient  $d \ll h$ ,  $a \ll h$ , et que l'on néglige l'erreur due au procédé de gravure. Sans cette hypothèse, il est nécessaire d'ajouter un paramètre supplémentaire dans les équations suivantes [15]. La résistance série  $R_s$  s'exprime selon l'équation suivante :

$$R_s = R_{\square} \frac{h.(N+1)}{w} \quad (1-57)$$

Les équations permettant le calcul des valeurs des éléments série  $C_s$  et  $L_s$  sont:

$$C_s = \epsilon_{ox} \cdot \epsilon_0 \cdot \frac{[t_m.h]}{d.N} \quad (1-58)$$

et

$$L_s = \mu \cdot \frac{[d.N.h]}{t_m} \quad (1-59)$$

Où les deux entités sont reliées par l'expression suivante :  $C_s.L_s = \mu \cdot \epsilon_{ox} \cdot \epsilon_0 \cdot h^2$

La capacité  $C_{ox}$  modélise le phénomène capacitif relatif à la couche d'oxyde entre les métallisations et le substrat semi-conducteur, sa valeur se calcule comme suit :

$$C_{ox} = \epsilon_{ox} \cdot \epsilon_0 \cdot \frac{[h.(N+1)].[w]}{2.t_{ox}} \quad (1-60)$$

Ainsi, on observe que la capacité parasite  $C_{ox}$  est proportionnelle au nombre de lignes de la résistance.

Enfin, le réseau ( $C_p$ ,  $R_p=1/G_p$ ) modélise le couplage capacitif entre l'interface d'oxyde et le plan de masse ( $C_p$ ) ainsi que les courants de fuite dans le substrat semi-conducteur ( $R_p$ ). Aussi, ils s'écrivent :

$$G_p = \frac{1}{R_p} \cong \sigma_{si} \cdot \frac{h.(N+1).w}{t_{si}} \quad (1-61)$$

et

$$C_p \cong \varepsilon_{si} \cdot \varepsilon_0 \cdot \frac{h \cdot (N+1) \cdot w}{t_{si}} \quad (1-62)$$

Le produit  $G_p/C_p$  est constant et égal à  $\sigma/\varepsilon$  qui représente la pulsation de relaxation du substrat. Ce modèle localisé est valable sur une gamme de fréquences qui est fixée relativement à la taille du composant.

#### 4.2.2 Modélisation de condensateurs MIM

Le modèle considéré pour les condensateurs MIM en technologie CMOS est celui représenté sur la Fig. 1-14b. Sur ce modèle, le condensateur série  $C_{MIM}$  modélise la capacité MIM et les effets de bords qui lui sont associés. L'inductance  $L_s$  modélise les phénomènes inductifs dus aux longueurs de lignes des électrodes et des vias. La résistance série  $R_s$  représente les pertes conductrices et  $R_d$  est la résistance de fuite du diélectrique.

Le comportement du substrat est modélisé par  $C_{ox}$  et le réseau  $C_p R_p$ . Comme dans le cas des résistances ou inductances intégrées en CMOS, des équations pour modéliser chacun des paramètres du modèle peuvent être déduites. En supposant un condensateur MIM de dimensions  $W \cdot L$  avec une épaisseur  $h$  de diélectrique entre les armatures, la capacité se calcule simplement par la formule d'un condensateur plan :

$$C_{MIM} = \varepsilon_r \cdot \varepsilon_0 \cdot \frac{L \cdot W}{h} \quad (1-63)$$

La résistance série, relative aux pertes conductrices dans les électrodes se calcule en considérant l'effet de peau par :

$$R_s \approx \frac{\rho_m \cdot L}{W \cdot t_{eff}} = \frac{\rho_m \cdot L}{W \cdot \delta \cdot (1 - e^{-\frac{tm}{\delta}})} \quad (1-64)$$

avec

$$\delta = \sqrt{\frac{1}{\pi f \mu \sigma_m}} \quad (1-65)$$

Où  $\rho_m = 1/\sigma_m$  représente la résistivité des électrodes et  $\delta$  l'épaisseur de peau définie à la fréquence  $f$ .

La résistance de fuite du diélectrique peut se déduire à partir des pertes tangentielles  $\tan \delta_d$  du diélectrique comme :

$$R_d = \frac{1}{\omega \cdot C \cdot \tan \delta_d} \quad (1-66)$$

Enfin, les paramètres du substrat sont modélisés dans le même esprit que dans la section sur la modélisation des résistances. En effet,  $R_{sub}$  et  $C_{sub}$  s'expriment en fonction de la résistivité du silicium  $\rho_{si}$ , de son épaisseur  $h_{si}$  et des dimensions  $W$  et  $L$  de la capacité :

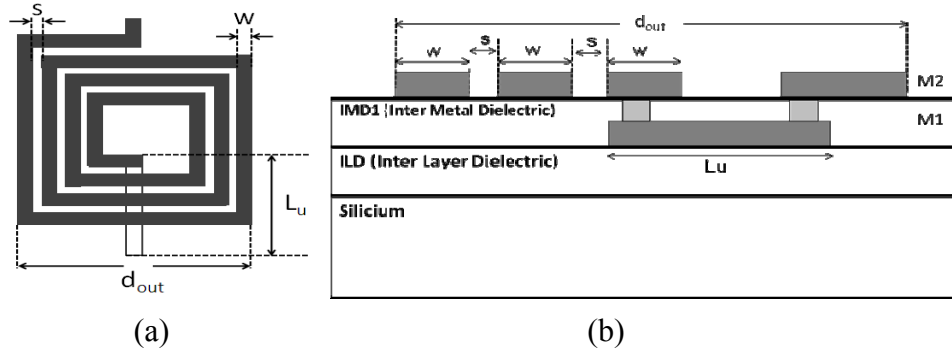
$$C_{sub} = \varepsilon_{rSi} \cdot \varepsilon_0 \cdot \frac{L \cdot W}{h_{Si}} \quad (1-67)$$

et

$$R_{sub} = \rho_{Si} \cdot \frac{h_{Si}}{L \cdot W} \quad (1-68)$$

### 4.2.3 Modélisation d'inductances spirales intégrées

Le modèle d'inductances spirales considéré est représenté sur la Fig. 1-14a, où l'on peut remarquer que les impédances séries et parallèles sont formées des éléments  $L_s$ ,  $R_s$ ,  $C_s$ ,  $C_{ox}$  et  $R_p C_p$ . Les dimensions des paramètres géométriques de l'inductance sont définies à partir du schéma de la figure ci-dessous (Fig. 1-17):



**Fig. 1-17 – Définition des paramètres géométriques des inductances spirales intégrées (a) Vue de dessus, (b) Vue en coupe**

Le calcul de l'inductance série  $L_s$  s'effectue à partir de l'expression modifiée de Wheeler [16], qui ne considère que la géométrie à deux dimensions de l'inductance, c'est-à-dire que ce modèle ne tient pas compte de l'épaisseur du substrat pour calculer la valeur de la self.

A partir de constantes de layout  $K_1$  et  $K_2$  qui prennent des valeurs particulières selon la géométrie de l'inductance (carré, octogonale, hexagonale), la déduction de  $L_s$  se fait grâce à l'équation :

$$L = \frac{K_1 \cdot \mu_0 \cdot n^2 \cdot d_{avg}}{1 + K_2 \rho} \quad (1-69)$$

$\mu_0$  est la perméabilité du vide,  $n$  est le nombre de tours de l'inductance,  $\rho$  le taux de remplissage, et  $d_{avg}$  la dimension moyenne de l'inductance définie par :

$$\rho = \frac{d_{out} - d_{in}}{d_{out} + d_{in}} \quad (1-70)$$

$$d_{avg} = \frac{d_{in} + d_{out}}{2} \quad (1-71)$$

$d_{out}$  est la dimension extérieure de l'inductance, et  $d_{in}$  la dimension intérieure, avec:

$$d_{in} = d_{out} - E(2 \cdot n \cdot w) - E(2 \cdot (n-1) \cdot s) \quad (1-72)$$

avec  $E(x)$  la partie entière de  $x$ . Les paramètres  $w$  et  $s$  sont respectivement la largeur des lignes et l'espace entre deux lignes.

Le calcul de la résistance série représentant les pertes dans les métallisations peut-être effectué selon le modèle proposé par [17] :

$$R_s = \frac{\rho_m \cdot L_g}{w \cdot \delta \cdot (1 - e^{-L_g/\delta})}, \text{ et } \delta = \sqrt{\frac{2 \cdot \rho_m}{\omega \cdot \mu_0}} \quad (1-73)$$

$\delta$  est l'épaisseur de peau du métal utilisé,  $\rho_m$  la résistivité et  $L_g$  la longueur totale de l'inductance que l'on peut estimer selon [18] par:

$$L_g = n.d_{avg}.N.\tan\left(\frac{\pi}{N}\right) \quad (1-74)$$

avec  $N$  est le nombre de côtés extérieurs de l'inductance (carrée :  $N=4$ , hexagone :  $N=8$ , cercle :  $N$  très grand)

La capacité parasite  $C_s$  relative aux couplages entre les différentes lignes et le pont inférieur d'accès (de longueur  $L_u$  sur la Fig. 1-17b) s'écrit [19] :

$$C_s = n_{co}.w^2.\frac{\epsilon_{ox}}{t_{oxM1M2}} \quad (1-75)$$

ou  $\epsilon_{ox}$  est la permittivité relative de l'oxyde et  $t_{oxM1M2}$  l'épaisseur entre le pont inférieur et la spirale,  $n_{co}$  est le nombre d'intersections entre les lignes spirales et le pont d'accès :  $n_{co}=n-1$ . Les paramètres du substrat peuvent aussi se déduire analytiquement :

$$C_{ox} = \frac{1}{2}L_g.w.\frac{\epsilon_{ox}}{t_{ox}} \quad (1-76)$$

$$C_p = \frac{1}{2}L_g.w.C_{sub} \quad (1-77)$$

$$\text{et} \quad R_p = \frac{2}{L_g.w.G_{sub}} \quad (1-78)$$

avec  $t_{ox}$  l'épaisseur d'oxyde,  $C_{sub}$  et  $G_{sub}$  respectivement les capacités et conductances du substrat par unité de surface ( $F/m^2$ ) et ( $S/m^2$ ) que l'on peut estimer par :

$$G_{sub} = \frac{1}{\rho_{si}.t_{si}} \quad (1-79)$$

$$\text{et} \quad C_{sub} = \frac{\epsilon_{si}}{t_{si}} \quad (1-80)$$

Avec  $t_{si}$  l'épaisseur de substrat silicium.

En réalité, ce modèle physique et analytique d'inductances spirales s'applique de façon efficace pour les inductances sur substrats isolants (la capacité d'oxyde  $C_{ox}$  étant retirée du modèle). En effet, sur substrats semi-conducteurs, ce modèle est limité d'une part car il ne prend pas en compte ni l'effet de proximité, ni les phénomènes électriques induits dans le substrat semi-conducteur. Ces éléments seront développés en détails dans le Chapitre 5.

Nous avons présenté dans cette partie un état de l'art sur la modélisation localisée des composants passifs intégrés. Une démarche analytique pour effectuer l'extraction des paramètres de modèles basés sur des topologies en  $\pi$  et en  $T$  a été présentée. Celle-ci permet de reproduire la caractéristique en fréquence du composant par l'extraction des valeurs des éléments du modèle à partir des données mesurées. Cette approche pratique permet d'interpréter et de dissocier l'influence des différents phénomènes propres au composant et d'utiliser le modèle ainsi déduit pour la conception de RFICs, mais elle ne permet pas de prédire la réponse du composant. En effet, ce qui nous intéresse tout particulièrement ici est la définition de modèles localisés prédictifs de passifs dont la topologie et les valeurs des éléments sont déduits de la géométrie et des caractéristiques des matériaux utilisés. En effet, il est de cette manière possible de directement corréler l'influence des paramètres géométriques et technologiques du composant à sa réponse fréquentielle par l'identification du phénomène

à l'origine de chacun des éléments du modèle. Les bases de la modélisation d'échelle et les principaux modèles disponibles étant posées, cette approche sera largement développée au cas particulier des inductances spirales intégrées en technologie CMOS dans le chapitre 5.

Enfin, la modélisation « compacte » des composants passifs, bien qu'elle soit d'un intérêt majeur car elle permet de se placer au plus proche de la physique du composant, connaît ses limites lorsque la fréquence d'utilisation augmente. En effet, un modèle localisé nécessite de se placer dans des conditions de propagation quasi-statique, c'est-à-dire à des fréquences pour lesquelles la géométrie du composant est très inférieure à la longueur d'onde. Si cette condition n'est plus respectée, il est alors nécessaire d'avoir recours à des modèles distribués basés par exemple, sur des modèles « lignes de transmission » (Cf Annexe 1) ou encore par une approche électromagnétique, à travers des méthodes telles que la MoM (Méthode des Moments), ou encore les techniques PEEC (Partial Element Equivalent Circuit) qui permettent de résoudre les équations de Maxwell pour une géométrie de propagation donnée.

## **5. Conclusion**

Dans ce chapitre nous avons d'abord présenté des généralités sur les composants passifs intégrés. La première partie énumère les paramètres caractéristiques des résistances, condensateurs et inductances intégrées. Ces paramètres ne seront pas nécessairement considérés dans leur ensemble pour chacun des composants dans la suite de l'étude. Il est cependant nécessaire d'avoir à l'esprit chacun d'entre eux car ils doivent-être évalués de façon qualitative avant la phase d'industrialisation de la technologie.

Dans un second temps nous avons présenté les problématiques associées aux performances des composants passifs dans la conception de dispositifs radiofréquence. Nous avons identifié dans quelle mesure ceux-ci en deviennent des éléments limitants sur les performances d'intégration de systèmes basés sur une architecture hétérodyne. Nous avons mis en évidence que le verrou majeur pour l'intégration des filtres passifs se trouve dans l'amélioration des coefficients de surtension des résonateurs et donc des passifs localisés à partir desquels ils sont construits. La réduction des dérives de la réponse électrique des composants passifs est aussi une des clés permettant d'améliorer encore la sensibilité des récepteurs.

Enfin, dans la dernière partie, nous nous sommes intéressés à la représentation électrique des composants passifs, et plus particulièrement à la modélisation localisée des passifs afin de prédire simplement leurs réponses fréquentielles en se basant sur une analyse physique.

Les bases de la modélisation électrique « compacte » et analytique seront largement utilisées dans la suite du manuscrit.

## Filière Technologique : Identification des contraintes d'intégration

### Caractérisation des matériaux en couches minces

Sélection et étude des caractéristiques électriques intrinsèques du matériau en couches minces

Condensateurs

### Intégration en CMOS

Intégration en couches minces dans le processus CMOS-0.5 $\mu$ m  
Influence du processus de fabrication et des propriétés du matériau

Résistances

### Modélisation du composant intégré

Représentation électrique du composant  
Prédiction de la réponse électrique du composant

Inductances

# **Chapitre 2. Technologies et Intégration de Composants Passifs**

## **1. Introduction**

Par rapport aux technologies existantes, la démarche adoptée dans nos travaux se positionne dans le cadre général de la réalisation de circuits complètement intégrés avec, l'objectif de permettre le placement de tous les passifs directement sur la puce de silicium, et ce, en particulier pour la réalisation des dispositifs analogiques.

Dans cette partie, nous décrivons le positionnement de cette approche dans le contexte général des technologies de composants passifs intégrés. L'approche System in Package (SiP) qui prédomine aujourd'hui consiste à assembler dans un même boîtier plusieurs puces entres-elles, chacune résultant d'un processus de fabrication distinct. L'utilisation des technologies SiP permet d'optimiser les performances des systèmes électroniques par le choix d'une technologie donnée, judicieusement sélectionnée selon les contraintes en performances fixées pour chacune des fonctions électroniques du système. Par exemple le recours à des puces indépendantes réalisées selon des technologies optimales pour les dispositifs de puissance ou encore à très faible bruit.

Les très fortes contraintes d'intégration des systèmes électroniques actuels nécessitent de plus en plus de s'orienter vers des systèmes « tout intégrés ». De ce fait, les composants passifs font partie des éléments actuels qui empêchent le développement de systèmes tout intégrés. D'une part, ils n'ont pas des performances suffisantes en technologies silicium, et d'autre part, ils occupent un espace trop important. Ce dernier point se vérifie aussi bien lorsqu'ils sont fabriqués sur des substrats indépendants que s'ils le sont sur la même puce que les dispositifs actifs.

L'approche qui consiste à assembler entre elles des puces de substrats différents est décrite dans la première partie de ce chapitre à travers les technologies qu'elle utilise, et les performances atteintes alors par les composants passifs.

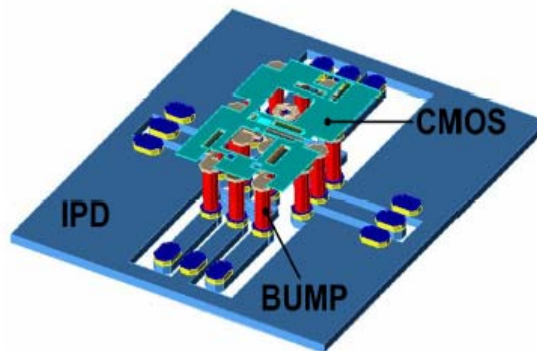
Dans une seconde partie, nous présentons les principales étapes de fabrication de la technologie CMOS. Ensuite, nous décrivons les composants passifs de la filière CMOS 0.5 $\mu$ m considérée, et exposons leurs caractéristiques électriques. Enfin, nous justifions dans la dernière partie la démarche adoptée pour le développement de la technologie, qui consiste à réaliser les passifs en effectuant un report des contraintes en performances sur les matériaux en couches minces utilisés et ainsi, conserver les architectures classiques de passifs intégrés. Nous concluons alors ce second chapitre par l'identification des contraintes d'intégration des couches minces dans la filière CMOS 0.5 $\mu$ m.



## 2. Technologies de composants Passifs

### 2.1 Les technologies SiP (System in Package)

A ce jour dans l'industrie électronique, l'approche System In Package (SiP), aussi appelée technologie MCM (Multi-Chip-Module) est largement utilisée pour le placement des composants passifs et actifs dans un même boîtier. En effet, sur un circuit PCB classique, chaque composant est placé dans un boîtier indépendant pour être ensuite positionné sur une carte mère où sont réalisées les interconnexions entre circuits. L'avantage des technologies SiP est qu'elles permettent de réduire la taille des systèmes et d'améliorer leurs performances électriques par rapport à une approche classique. En effet, l'utilisation simultanée de plusieurs substrats (ou plusieurs technologies) y est possible, offrant la liberté aux concepteurs d'utiliser des composants qui présentent des caractéristiques optimales selon une technologie donnée. Cependant, les interconnexions entre les différentes puces (bonding, flip-chip, ...) génèrent des phénomènes parasites qu'il est nécessaire de considérer, et la fiabilité mécanique et électrique des interconnexions est par ailleurs aussi à maîtriser. A titre d'exemple, la figure suivante (Fig. 2-1) illustre un amplificateur faible bruit (LNA) dont les passifs intégrés (IPD) sont réalisés sur un substrat de verre, utilisant des métallisations en cuivre isolées par des diélectriques en BCB. Les composants actifs sont réalisés en technologie CMOS, et les deux puces assemblées par Flip-Chip [<sup>20</sup>].



**Fig. 2-1– Schéma d'un LNA réalisé selon une approche SiP**

En fonction des substrats utilisés, les technologies MCM peuvent être classifiées en trois sous familles technologiques ; MCM-L (Laminate), MCM-C (Ceramic), ou MCM-D (Deposited).

#### 2.1.1 *MCM-Laminate*

MCM-L est une technologie proche des circuits intégrés PCB (Printed Circuit Board) classiques. Ces circuits sont formés par un empilement de couches diélectriques (FR4) avec des connexions réalisées en cuivre. Cette technologie est actuellement utilisée dans nos ordinateurs, dans de nombreux systèmes de communications sans fils, et dans la plupart des systèmes électroniques grand public. Les développements de la MCM-L ont été focalisés pour la réalisation d'applications commerciales visant des marchés de grand volume. Aussi, le principal critère d'optimisation de cette technologie est le coût de fabrication, souvent au détriment des performances. Les faibles tolérances ( $\pm 15$  à  $20\%$ ) sur la définition des motifs et

des interconnexions métalliques réalisés peuvent induire de grandes variations sur la réponse des composants [21]. L'utilisation de la technologie MCM-L pour la réalisation de dispositifs passifs RF tire avantage de larges et épaisses lignes de cuivre qui permettent de réduire les pertes conductrices. Cependant, le diamètre des vias ( $\sim 200\mu\text{m}$ ) est souvent supérieur aux dimensions des lignes ( $\sim 120\mu\text{m}$ ), ce qui induit des discontinuités d'impédances pouvant facilement entraîner des pertes par désadaptation lors d'une utilisation à des fréquences élevées. De plus, les faibles performances d'intégration de cette technologie limitent son utilisation pour la réalisation de circuits RF qui utilisent un grand nombre de composants passifs. Citons pour illustrer un système de réception GPS composé d'environ 150 composants passif localisés. Un coût considérable est alors associé à la surface sur puce utilisée, et la taille du terminal résultant, pas assez compacte, pour avoir un intérêt commercial [21].

### 2.1.2 Composants passifs en technologie MCM-L

Le tableau suivant (Tab. 2-1) présente les performances de composants passifs MCM-L disponibles sur le marché et proposés par plusieurs fabricants [22] :

<b>Condensateurs</b>				
<b>Fabricant</b>	<b>Hadco</b>		<b>3M</b>	<b>Dupont</b>
<b>Diélectrique</b>	Résine Epoxy/ Titanate de Barium	FR-4	Résine Epoxy/ Titanate de Barium	Polyimide
<b>Epaisseur (<math>\mu\text{m}</math>)</b>	100	50	4-25	25
<b>Pertes diélectriques (1GHz)</b>	0.06	0.021	0.1	0.01
<b>Permittivité (1GHz)</b>	36	3.9	22	11.6
<b>Densité (<math>\text{fF}/\mu\text{m}^2</math>)</b>	$10^{-3}$	$10^{-4}$	0.05	$4 \cdot 10^{-3}$
<b>Résistances</b>				
<b>Fabricant</b>	<b>OMEGA PHY</b>	<b>GOULD Electronics</b>		<b>Mac Dermid</b>
<b>Matériau résistif</b>	NiP	NiCr	NiCrAlSi	NiP
<b>Square resistance (<math>\Omega/\text{sq}</math>)</b>	1-250	25-100	25-250	25-100
<b>Tolérance</b>	$\pm 10\%$	$\pm 5\%$	$\pm 5\%$	$\pm 10\%$
<b>TCR (<math>\text{ppm}^\circ\text{C}</math>)</b>	100	110	-20	100

**Tab. 2-1– Caractéristiques de résistances et condensateurs en technologie MCM-L**

A notre connaissance, la densité de capacité qui peut être obtenue en MCM-L est au maximum de  $0.05\text{fF}/\mu\text{m}^2$  (3M) pour ces fabricants. Cette densité est atteinte en plaçant une couche de diélectrique High- $\kappa$  ( $\text{BaTiO}_3$ ) entre deux niveaux FR4 pour la réalisation de condensateurs. Bien que la densité de capacité soit de cette manière améliorée (typiquement d'un facteur 10) par rapport aux couches diélectriques traditionnelles, les pertes diélectriques élevées ( $\tan\delta \sim 0.1$ ) de la couche High- $\kappa$  limite l'utilisation de cette technologie à des fréquences élevées ( $> \text{GHz}$ ). De plus, la limite en densité de capacité empêche la réalisation de capacités de très fortes valeurs. Par exemple, une capacité de découplage de  $1\text{nF}$  occupe une

surface non négligeable de 20.25mm<sup>2</sup> sur la puce. La densité de résistance (ou résistance par carrée) maximale de 250Ω/□ atteintes pour les résistances en NiCrAlSi, proposées par GOULD Electronics, contraint aussi la réalisation de résistances de fortes valeurs (>10kΩ) car une surface très grande est alors nécessaire. Enfin, une faible dépendance en température des couches résistives peut être remarquée (de 620 à 110ppm/°C).

Les performances des inductances en MCM-L ne sont pas spécifiées par les fabricants. En effet, celles-ci sont réalisées à partir de lignes de métal et de vias. La géométrie (méandre, spirale...) et la taille de l'inductance fixe alors sa valeur. A titre illustratif, nous présentons dans le tableau ci-dessous (Tab. 2-2) les caractéristiques de quelques inductances réalisées en MCM-L [23].

Inductances				
Type	Qmax	L (nH)	Surface (mm <sup>2</sup> )	Fréquence de résonance (GHz)
1 tours	103 @ 2.2 GHz	11nH @ 2GHz	6.1x0.5	3.6
2 tours	38 @ 1.2 GHz	20.5nH @ 1.2 GHz	6.1x1.52	2.2
3 tours	23 @ 0.65 GHz	29nH @ 0.65 GHz	6.1x2.2	1.6

**Tab. 2-2– Caractéristique d'inductance réalisée en technologie MCM-L**

Nous pouvons observer sur le Tab. 2-2 que le maximum du facteur de qualité décroît très rapidement avec le nombre de tours, il en est de même pour la valeur de la fréquence de résonance, au maximum de 3.6GHz, ce qui limite par ailleurs l'utilisation de ces composants à des fréquences supérieures.

Les performances de la MCM-L en terme de densité, pertes diélectriques et dimensions des motifs métalliques nécessitent le recours à d'autres technologies, ceci à la fois pour réduire la taille des systèmes et pour augmenter les fréquences d'utilisation. L'avantage principal de cette technologie reste néanmoins le faible coût de fabrication.

### 2.1.3 MCM-Ceramic

MCM-C est une technologie multicouches utilisant des matériaux céramiques d'épaisseur 10µm à 50µm . Les motifs des conducteurs métalliques servant à définir les interconnexions et les composants sont formés par sérigraphie de métaux tels qu'argent (Ag), Or (Au) ou encore Nickel (Ni). L'approche MCM-C peut être présentée à travers les technologies LTCC (LTCC : Low Temperature Co-fired Ceramic) qui sont aujourd'hui les plus répandues. Ces technologies présentent des diélectriques en couches épaisses qui bénéficient généralement d'une constante diélectrique stable en fréquence ainsi que de faibles pertes. Ces deux points favorisent la réalisation de dispositifs passifs ayant des coefficients de surtension élevés (Q>60). En LTCC, chacun des niveaux de diélectrique (et niveaux de vias associés) est fabriqué en parallèle et ce, de façon indépendante d'un niveau à l'autre. Les motifs de métal sont ensuite sérigraphiés sur chacune des couches, qui sont alors alignées, empilées, pressées et recuites à des températures entre 800 et 1600°C [21]. Les budgets thermiques alloués sont fixés selon le type de matériaux céramiques utilisé. Bien que les performances des technologies LTTC pour la réalisation de dispositifs passifs soient intéressantes (en raison des faibles pertes diélectriques), leurs performances d'intégration restent toutefois limitées avec des largeurs de lignes (>50µm) et des diamètres de vias (>80µm) élevés. Ces dimensions sont

plus faibles que pour les MCM-L, mais elles restent importantes pour la réalisation de dispositifs qui ont un très grand nombre de composants passifs. La figure suivante (Fig. 2-2) illustre des possibilités de la technologie LTCC, sur laquelle on peut observer les différents niveaux d'un circuit multicouche, ainsi que le placement de puces à sa surface.

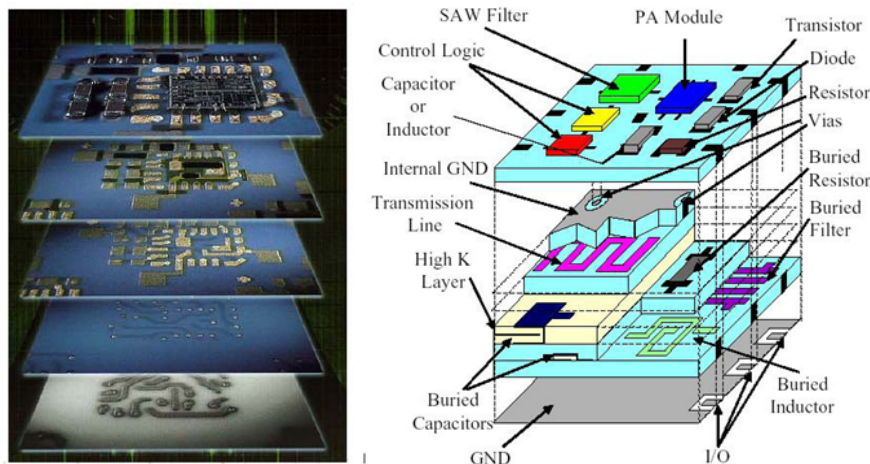


Fig. 2-2 - Exemple de circuit LTTC multicouche

#### 2.1.4 Composants passifs en technologie MCM-C

Les performances des résistances et des couches diélectriques céramiques proposées par différents fabricants de circuits MCM-L (LTCC) sont présentées dans le tableau suivant (Tab. 2-3). Les couches de matériaux céramiques sont utilisées à la fois pour isoler les niveaux de métallisation entre eux et pour former les condensateurs intégrés.

Condensateurs						
Fabricant	NTK	Kyocera	FERRO		DUPONT	
Diélectrique	--	--	High- $\kappa$	LTCC	High- $\kappa$	LTCC
Epaisseur ( $\mu\text{m}$ )	50	25-50	~25	~100	~25	~100
Pertes diélectriques	0.0034 @ 3GHz	$2.5 \cdot 10^{-4} - 35 \cdot 10^{-4}$ @ 2GHz	0.02	0.003	0.02	0.003
Permittivité	7-8 @ 3GHz	5.2 – 18.7	200	5.8 - 6	300	7-8
Densité (fF/ $\mu\text{m}^2$ )	10e-3	3.10e-3	>0.07	$5 \cdot 10^{-4}$	>0.07	$7 \cdot 10^{-4}$
Résistances						
Fabricant	FERRO		DUPONT			
Matériau résistif	-		-			
Résistance carrée ( $\Omega/\square$ )	10-10k		25-200			
Tolérance	$\pm 30\%$		$\pm 40\%$			
TCR (ppm $^{\circ}\text{C}$ )	$\pm 450$					

Tab. 2-3– Caractéristiques de condensateurs et résistances en technologie MCM-C.

Les pertes des couches diélectriques disponibles en MCM-C sont inférieures à celles des technologies MCM-L, à l'exception de celles des matériaux High- $\kappa$ , où elles sont du même

ordre que celles des couches polymères utilisées dans les technologies MCM –L, avec en contrepartie une densité de capacité a priori supérieure. L'utilisation de résistances enfouies entre les couches de céramiques n'est pas proposée par tous les fabricants, et le recours à des résistances placées en surface peut alors être requis. Enfin, les valeurs de résistance par carré disponibles peuvent atteindre  $10\text{k}\Omega/\square$ , avec toutefois une tolérance assez large (30-40%) qui peut être un point critique pour certaines applications.

Comme pour les technologies MCM-L, les performances des inductances intégrées sont peu spécifiées par les fabricants, car elles sont définies par les métallisations. Cependant, dans la littérature, des facteurs de qualité atteignant  $Q=50-60$  ont été reportés [24], [25] rendant les technologies LTCC intéressantes pour la réalisation de dispositifs passifs intégrés tels que filtres [26], [27], balun ou encore circuits d'adaptation, et ce, bien que la surface occupée par les inductances reste importante ( $25\text{mm}^2$ ).

Le Tab. 2-4 présente les caractéristiques d'une inductance de 5 tours proposée par le fabricant NTK. Notons des valeurs particulièrement élevées de l'inductance et du coefficient de surtension, celles-ci car elles sont spécifiées à une fréquence peu élevée.

<b><u>Inductances</u></b>	
<b>Fabricant</b>	<b>NTK</b>
<b>Nombre de tours</b>	<b>5</b>
<b>L (nH)</b>	<b>200 @ 110MHz</b>
<b>Q</b>	<b>220 @ 110MHz</b>
<b>Surface</b>	<b>25mm<sup>2</sup></b>

**Tab. 2-4– Caractéristiques d'inductances en MCM-C.**

### **2.1.5 MCM-D**

MCM-D utilise des technologies en couches minces, réalisées à partir de dépôts de diélectriques organiques ou inorganiques sur substrat silicium, silicium germanium (SiGe) [28], Arsenure de Gallium (GaAs) ou encore Alumine ( $\text{Al}_2\text{O}_3$ ) [21]. Le dépôt des diélectriques est effectué par des méthodes similaires à celles utilisées pour les technologies CMOS (CVD, PVD...) autorisant à la fois un contrôle des dimensions précis et la réalisation de films de grande qualité. Pour ces technologies en couches minces, la densité d'intégration est nettement meilleure que pour la MCM-L ou la MCM-C, avec des dimensions de vias (inférieures au micron) qui sont cette fois inférieures aux largeurs minimales de lignes (qui font au plus quelques microns). Enfin, une technologie CMOS, BiCMOS ou encore SiGe peut-être considérée comme une MCM-D, dans la mesure où toutes trois consistent en un empilement de couches très minces de matériaux (soit de l'ordre ou inférieures au micromètre).

### **2.1.6 Composants passifs en technologie MCM-D**

Les résistances intégrées en couches minces sont réalisées à partir de matériaux tels que TaN, ou encore CrSi. Des diélectriques tels que SiN,  $\text{Si}_3\text{N}_4$ , ou encore  $\text{Al}_2\text{O}_3$  et  $\text{Ta}_2\text{O}_5$  [29] sont eux utilisés pour la réalisation de condensateurs. La technologie CMOS de notre étude

pouvant être considérée comme une MCM-D, nous présenterons en détail par la suite les caractéristiques des résistances, condensateurs et inductances réalisés dans une filière CMOS. Les MCM-L sont des technologies faible coût avec de faibles performances d'intégration. L'avantage est qu'elles autorisent l'utilisation de substrats de grande taille, ce qui peut-être nécessaire pour certaines applications. Les performances limitées en termes de tolérances sur les motifs, pertes et surface occupée nécessitent le recours à une approche MCM-C. En effet, l'utilisation des MCM-C pour les circuits fonctionnant à plus haute fréquence, ainsi que pour les circuits disposant d'un nombre important de passifs, se justifie car la densité d'interconnexions en MCM-C est supérieure à la MCM-L et les pertes diélectriques y sont inférieures. Enfin, l'approche MCM-D utilise des technologies plus onéreuses mais qui bénéficient d'une bien meilleure densité d'intégration des composants et des interconnexions. La taille et les performances des circuits réalisés en MCM-D peuvent-être attractives pour la réalisation de dispositifs passifs et actifs intégrés pour des applications RF, microondes, et même millimétriques [30], [31].

Des combinaisons de ces différentes sous familles technologiques peuvent être encapsulées dans un même boîtier. Classiquement, à partir de ces trois familles, l'intégration de composants passifs se fait suivant deux configurations largement utilisées qui sont l'intégration des composants directement dans la carte mère du système (Fig. 2-3) ou le placement des composants dans un substrat indépendant ensuite placé sur la carte mère (Fig. 2-4).

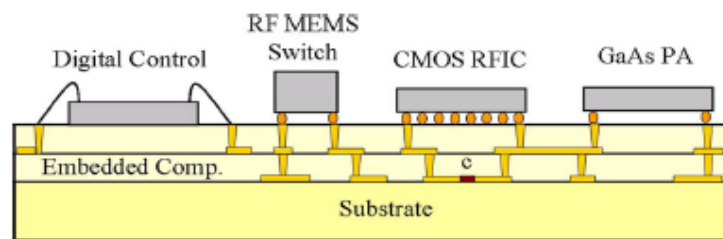


Fig. 2-3– Exemple de circuit SiP avec les passifs intégrées dans la carte mère

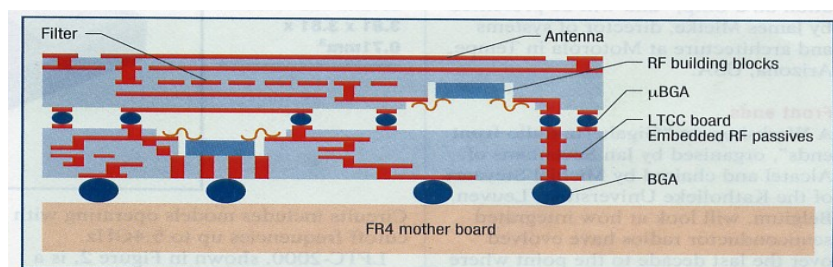


Fig. 2-4 – Exemple de circuit SiP avec les passifs intégrées dans une puce LTCC connectée par Flip Chip à une carte mère en FR4

Les gains en termes d'intégration et de performances électriques qui résultent à la fois de la maîtrise des interconnexions et des interfaces de connexion ont stimulé le développement des SiP. Une croissance du marché mondial de l'assemblage des circuits électroniques est observé avec un taux de plus de 7% par an et un volume total de dix milliards de dollars en 2007 [32]. Cette course conjointe à la réduction d'échelle et à l'amélioration des caractéristiques et des fonctionnalités des circuits est toujours d'actualité et la réalisation de systèmes complètement intégrés sur un même substrat (SoC : System on Chip) peut permettre d'améliorer davantage les performances d'intégration.



### 3. La technologie SoC (System on Chip)

Comme son nom l'indique, la technologie SoC permet l'intégration de tous les composants nécessaires à la réalisation d'un système sur une puce unique. Par exemple, un système de communication sans fil peut contenir sur la même puce un émetteur-récepteur RF [33], un convertisseur analogique/numérique, des circuits à base de microprocesseurs, des interfaces de gestion et de la mémoire embarquée comme cela est représenté sur la figure suivante (Fig. 2-5) [34].

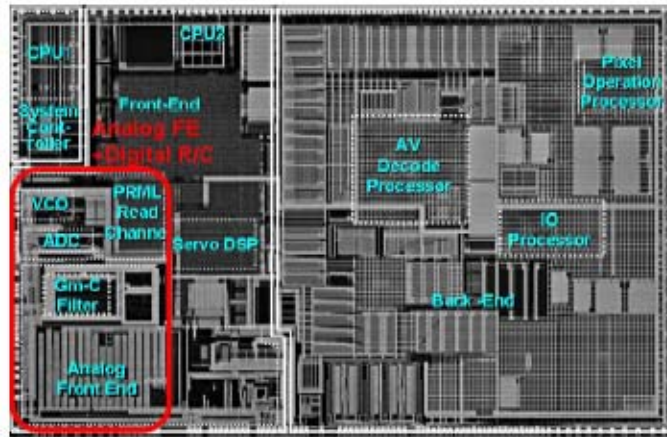


Fig. 2-5 - Système DVD SOC mixte en technologie CMOS

Si tous ces composants peuvent figurer sur la même puce, alors cette approche offre de meilleures performances d'intégration que les technologies SiP. Elle permet également de s'affranchir des phénomènes parasites propres à la maîtrise technologique et électrique des interconnexions entre différentes puces, et enfin, les coûts associés à l'assemblage et les interconnexions des puces entre elles peuvent ainsi être réduits.

Le processus de fabrication associé à un SoC doit être similaire pour la réalisation des circuits analogiques et numériques, et tous les composants passifs sont intégrés dans la même puce. A l'heure actuelle, tous les systèmes électroniques ne peuvent être conçus selon une approche SoC, en raison de la difficulté d'intégrer certains blocs fonctionnels. Par exemple, il est compliqué d'intégrer le front-end d'émission/réception dans la même puce que les systèmes à microprocesseurs ou la mémoire. Une limite importante pour la conception et la réalisation de frontaux complètement intégrés vient des limites de performances et de densité d'intégration des passifs sur des technologies en couches minces.

Dans notre étude, le développement de la technologie de composants passifs se place dans le cadre de la recherche de solutions pour la réalisation de systèmes sur une puce unique en technologie CMOS. Aujourd'hui, pour la plupart des applications, les composants actifs et passifs sont placés sur des substrats différents, souvent parce que les performances des passifs en MCM-D ne sont pas suffisantes. Ainsi, disposer de composants passifs intégrés aux performances optimisées est un enjeu majeur pour la réalisation et la miniaturisation de systèmes « tout intégrés ».

## 4. La Filière technologique CMOS

Dans cette partie, nous présentons une filière technologique CMOS standard, c'est à dire pour laquelle les métallisations sont réalisées en aluminium. La fabrication d'un circuit intégré CMOS nécessite plus de 200 étapes de traitement d'un disque de silicium appelé « wafer » pouvant aller jusqu'à 30cm de diamètre. Une filière CMOS se décompose en deux parties qui se distinguent notamment par les températures qui y sont utilisées :

*Le Front End of Line (FEOL)* comprend toutes les étapes de fabrication des circuits actifs, et plus précisément celles de la formation des zones actives dopées dans le silicium aux grilles en polysilicium des transistors. Les températures nécessaires aux étapes de réalisation des dispositifs actifs peuvent atteindre 1000°C.

*Le Back End Of Line (BEOL)* comprend lui les étapes nécessaires à la formation des interconnexions entre les transistors, et des couches diélectriques qui isolent les différents niveaux métalliques et le circuit final. Les températures utilisées pour réaliser les interconnexions entre composants sont limitées dans le BEOL à 450°C.

Par soucis de simplicité, nous présentons de façon générale le processus de fabrication CMOS comme une combinaison des étapes représentées sur la Fig. 2-6 .

Etapes 1 à 3 - Préparation du wafer

Etape 4 – Dépôt où formation des couches d'oxydes

Etapes 5 et 6 – Définition des motifs par photolithographie

Etape 7 – Gravure

Etape 8 – Formation des niveaux métalliques

Etape 9 – Test

### 4.1 Préparation du wafer

La création et préparation du wafer illustrées à travers les étapes 1 à 3 de la Fig. 2-6 permet d'obtenir des plaques de silicium sur lesquelles sont ajoutés d'autres matériaux en couches minces (diélectriques et métallisations) afin de pouvoir réaliser les dispositifs électroniques souhaités. Cette étape est effectuée avec pour objectif l'obtention d'une qualité maximale du cristal de silicium, c'est à dire que celui-ci doit avoir le moins de variations dans sa structure cristalline et contenir le moins d'impuretés possibles. Les lingots de silicium sont générés par la méthode de Czochralski qui définit l'orientation du réseau cristallin et le dopage. Des morceaux de silicium bruts sont chauffés dans un four afin de les rendre visqueux. Une pièce de silicium cristallisée y est ensuite introduite puis retiré progressivement avec une rotation contrôlée. Finalement, un lingot de silicium est formé et il sera ensuite découpé en fines tranches (wafer, d'environ 20cm de diamètre) avec une épaisseur variant de 500 à 1000 microns. Les wafers sont alors nettoyés et polis pour être aplanis. La résistivité des substrats silicium peut varier de 0.05 à 10kΩ.cm. Elle est notamment une fonction du dopage [<sup>35</sup>].



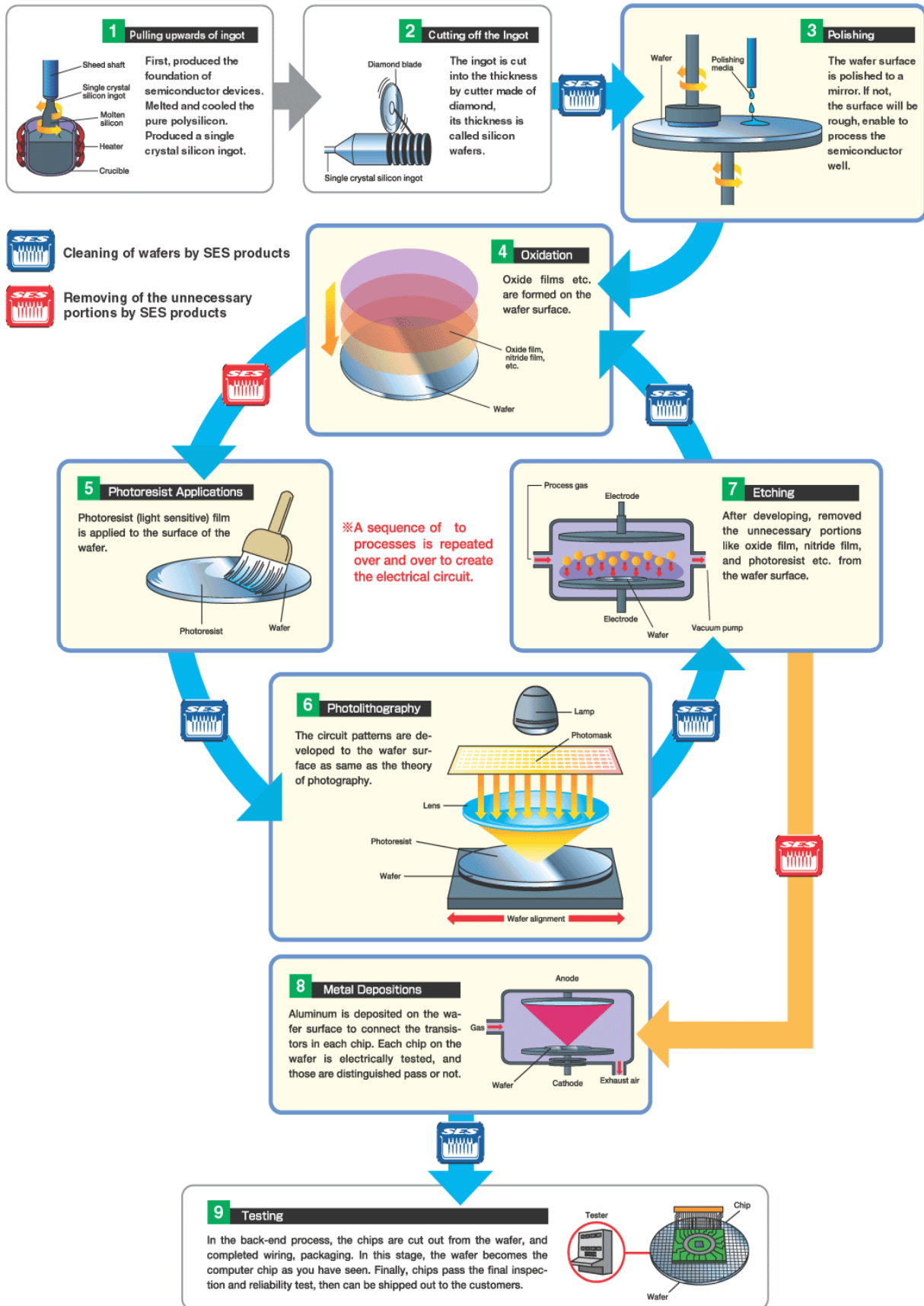


Fig. 2-6 – Les différentes étapes de la filière technologique CMOS

## 4.2 Formation des couches diélectriques

La formation des couches isolantes illustrée par l'étape 4 de la Fig. 2-6 comprend ici à la fois la croissance de l'oxyde de silicium en surface du wafer et les couches diélectriques déposées afin d'isoler les niveaux métalliques où pour réaliser des condensateurs. Toutefois, il est important de distinguer l'oxydation proprement dite du substrat silicium et le dépôt de couches isolantes. Le dépôt de couches isolantes s'effectue à partir des techniques de dépôts par voie chimique ou physique en couches minces qui seront présentées par la suite.

Le  $\text{SiO}_2$  formé par oxydation s'effectue grâce au fait que le silicium peut produire naturellement une couche d'oxyde relativement uniforme à sa surface. Cette propriété est utilisée pour la fabrication de l'oxyde des grilles de transistors mais aussi comme couche isolante entre les circuits actifs. L'oxyde de silicium ( $\text{SiO}_2$ ) est généré en plaçant le wafer dans une atmosphère contenant de l'oxygène à haute température ( $1000^\circ\text{C}$ ). Le  $\text{SiO}_2$  se forme alors avec une vitesse de croissance liée à la pression, la température et au niveau de dopage du silicium. Le  $\text{SiO}_2$  a de très bonnes propriétés d'adhérence et d'isolation, son utilisation peut donc intervenir comme :

- Couche de protection physique
- Isolation électrique des différents circuits entre eux
- Barrière de protection anti-dopage

Il existe deux types d'oxydation, sèche et humide: l'oxydation humide consiste à faire croître l'oxyde dans une atmosphère contenant de la vapeur d'eau, et l'oxydation sèche est une croissance de l'oxyde sous atmosphère d'oxygène uniquement.

## 4.3 Photolithographie

La photolithographie est résumée par les étapes étape 5 et 6 de la Fig. 2-6. Elle permet de former les motifs qui définiront les circuits et les interconnexions. Pour cela, le wafer est d'abord couvert d'une couche de résine photosensible, c'est à dire d'un matériau dont les propriétés de gravure changent après exposition à la lumière. L'illumination par des rayons ultraviolets du wafer est alors effectuée à travers un masque optique et un solvant est appliqué pour graver les parties non illuminées (ou illuminées).

L'exécution d'une photolithographie s'effectue selon les étapes suivantes :

1 - *Nettoyage du wafer*

2 - *Spin coating*: Dépôt de résine photosensible, classiquement composée de polymères et de solvant [36], sur le wafer qui tourne à une vitesse importante pour permettre une répartition homogène de la résine par force centrifuge. Le dépôt s'effectue selon des paramètres maîtrisés afin d'obtenir l'épaisseur et l'homogénéité souhaitées.

3 – *Cuisson après dépôt* : Permet l'évacuation partielle du solvant. Le taux de solvant résiduel présent dans la résine peut avoir une influence sur le développement (autrement dit la dissolution de la résine). Plus le taux de solvant est faible, plus la dissolution de la résine sera rapide.

4 - *Alignement et exposition* : Cette étape est très complexe et décisive étant donné les faibles dimensions des motifs à définir (inférieures au micron). L'erreur due à l'alignement doit être suffisamment petite pour avoir une influence négligeable sur les fonctionnalités du circuit.

Dans un premier temps, le foyer, le réticule et le wafer sont alignés, ensuite l'image présente sur le réticule est reproduite sur le wafer par exposition aux rayons UV.

5- *Cuisson après exposition* : Cette étape permet d'améliorer la profondeur d'action des rayons ultraviolets et de faciliter l'extraction de la résine par les solutions de développement.

6 - *Développement* : Cette étape permet la transcription du schéma des circuits sur le wafer par dissolution de la résine photosensible exposée aux ultraviolets (photolithographie positive) ou dissolution de la résine non exposée (photolithographie négative).

7- *Cuisson après développement* : Cette dernière étape permet l'évacuation totale ou quasi-totale du solvant restant dans la résine non dissoute [37].

La photolithographie est l'étape la plus critique et la plus coûteuse du processus de fabrication. Cette étape limite d'une part, les possibilités de réduction d'échelle par la résolution d'exposition et, d'autre part, elle nécessite un masque pour l'exposition permettant la reproduction des motifs sur le wafer. Un masque est nécessaire pour chaque couche et le coût n'est pas négligeable. Ainsi le nombre de masques utilisés pour un circuit est déterminant sur le prix de fabrication final de la puce [35].

#### 4.4 Techniques de dépôts

L'élaboration d'une couche mince consiste au dépôt d'un matériau aux propriétés physiques contrôlées sur un substrat donné. Les techniques de dépôt sont utilisées aussi bien dans l'étape 4 que dans l'étape 8 de la Fig. 2-6. Plusieurs techniques de dépôt existent et en particulier deux grandes familles qui sont celles des dépôts par voie chimique ou par voie physique :

##### Dépôts par voie chimique : Chemical Vapor Deposition

La technique CVD (*Chemical Vapor Deposition*) permet le dépôt d'un film solide sur un substrat chauffé via une ou plusieurs réactions chimiques en phase gazeuse. Plusieurs variantes de la technique CVD se distinguent selon la température du substrat, l'utilisation d'un plasma ou encore l'utilisation de précurseurs organométalliques [38]:

- HTCVD (*High Temperature Chemical Vapour Deposition*) (substrat à très haute température)
- LTCVD (*Low Temperature Chemical Vapour Deposition*), (substrat à basse température, température ambiante par exemple)
- PECVD (*Plasma Enhanced Chemical Vapour Deposition*)
- MOCVD (*Metal-Organic Chemical Vapor Deposition*).

##### Dépôts par voie physique : Pulvérisation cathodique

Les techniques de pulvérisation par voie physique (PVD) sont utilisées à la fois pour déposer des métaux et des diélectriques. Les dépôts sont effectués sous vide, et le principe de la pulvérisation est de bombarder la surface du matériau à déposer présent sous forme de cible solide, par les ions d'un gaz neutre (très souvent de l'argon) ou d'un mélange gazeux (Argon/Oxygène et/ou Azote).

L'ionisation des atomes de gaz est obtenue par des chocs avec les électrons libres présents dans le gaz. Il en résulte un plasma visible par l'émission de photons due à la désexcitation des ions lorsqu'ils récupèrent un électron. Une fois les atomes ionisés positivement, ils sont accélérés vers la cathode où est fixée la cible. Lors du choc sur la surface de la cible, ceux-ci communiquent leur énergie cinétique, et les particules du matériau éjectées de la cible viennent se déposer sur le substrat, comme cela est illustré sur la Fig. 2-7.

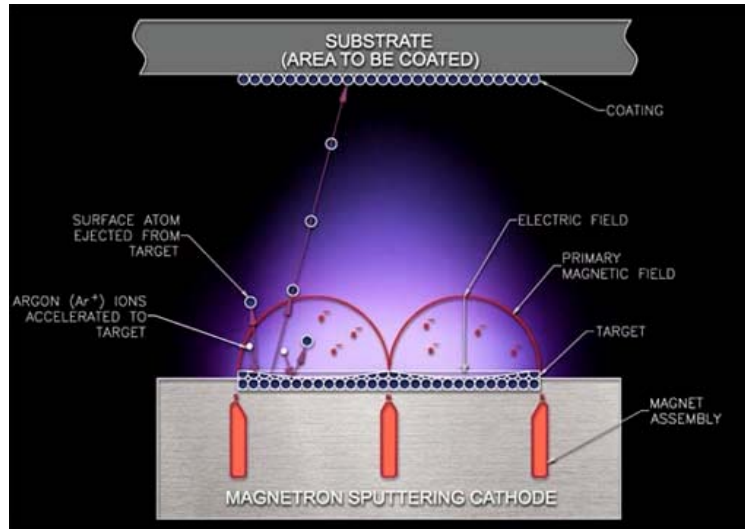


Fig. 2-7- Principe de la pulvérisation [39]

Il existe plusieurs systèmes de pulvérisation. Le plus simple et le plus ancien est le procédé en tension continue DC, principalement utilisé pour déposer des matériaux conducteurs comme le platine, le titane ou d'autres métaux. Le procédé de pulvérisation radiofréquence (RF) permet lui de déposer des matériaux isolants. L'idée du dépôt RF est d'alternance la tension d'excitation du plasma. Ainsi lors de l'alternance négative, les ions d'argon viennent pulvériser la cible, et lors de l'alternance positive, les électrons sont précipités vers la cible et rétablissent l'équilibre. En pulvérisation RF, une fréquence d'excitation normalisée à 13.56MHz est utilisée.

#### 4.5 Gravure

La gravure est un procédé qui permet de retirer de manière sélective les matériaux qui résultent des étapes précédentes, afin soit de définir les motifs suite à l'étape de photolithographie, où encore afin de retirer des couches tampons utilisées comme protection vis-à-vis d'un procédé donné.

Il existe différentes manières de graver des matériaux, la gravure sèche expose le wafer à un plasma qui interagit avec le matériau afin de le retirer. La gravure humide nécessite elle, l'utilisation de solutions chimiques dans lesquelles le wafer est trempé pour dissoudre le matériau.

La réalisation de circuits intégrés en technologie CMOS s'effectue entre autre selon la combinaison de ces différents procédés. Dans une filière technologique, les différentes étapes de la réalisation du circuit doivent nécessairement être contrôlées au cours de processus.

#### 4.6 Test et suivi technologique

Le processus de fabrication des circuits CMOS se décompose en plusieurs étapes, comme nous l'avons évoqué. Chaque étape où procédé est aussi décomposée en plusieurs opérations élémentaires et il est peu aisé de contrôler la totalité de ces étapes uniquement en fin de processus [40]. D'une part, les imperfections introduites par une étape défaillante du processus vont se propager dans toutes les étapes qui lui succèdent, et d'autre part, l'identification de la cause en fin de processus peut s'avérer impossible.

Des tests électriques sont effectués en fin de processus de fabrication comme cela est illustré par l'étape 9 de la Fig. 2-6. Cependant, la nécessité d'effectuer un contrôle en cours de processus est indispensable pour maîtriser la technologie et introduire des corrections éventuelles dans les procédés utilisés au cours du temps. Lors de la réalisation des circuits, des motifs de test sont introduits afin d'effectuer un contrôle du processus de fabrication. Ces motifs sont placés au niveau des chemins de découpe entre les différentes puces et sont présents sur les masques de chaque couche. Ils permettent par exemple de vérifier les contacts ohmiques, la résistivité, ou encore l'épaisseur de diélectrique déposée, etc... Le suivi technologique s'effectue par la mesure de ces motifs de test et se traduit par la validation de chaque étape technologique [40]. Des cartographies du wafer sont réalisées et représentent une ou plusieurs grandeurs caractéristiques, comme par exemple une vision de l'uniformité des dépôts peut-être effectuée. Les grandeurs mesurées sont suivies de manière quantitative au cours du temps afin de corriger les dérives observées. Enfin, les dispersions observées permettent de fixer les limites extrêmes des variations autorisées pour que le circuit soit considéré comme valide (d'un point de vue technologique et non au niveau de ses fonctionnalités). Enfin, des informations en termes de reproductibilité et de tolérance des composants réalisés permettent d'être extraites afin d'être fournies aux concepteurs qui doivent les prendre en compte pour quantifier l'influence du processus de fabrication sur les réponses des circuits.

### 5. Les composants passifs intégrés en CMOS

Nous présentons dans cette section les composants passifs classiquement proposés en technologie CMOS.

#### 5.1 Résistances

##### 5.1.1 *Résistances diffuses*

Cette topologie de résistance utilise directement les zones actives dopées et les métallisations utilisées pour les interconnexions. En effet, la couche de diffusion formée pour les zones de sources et drains des transistors, où encore les caissons n-Well peuvent être utilisés comme une résistance, comme cela est illustré sur la Fig. 2-8. La résistance par carrée de ce type de résistances est typiquement de l'ordre de  $1\text{k}\Omega/\square$  (ce qui est supérieur aux résistances pouvant être réalisées dans la plupart des technologies MCM-L ou MCM-C), et il faut prévoir des variations pouvant atteindre 50% de leur valeur effective. Aussi, ces résistances sont peu utilisées pour la réalisation de circuits analogiques.

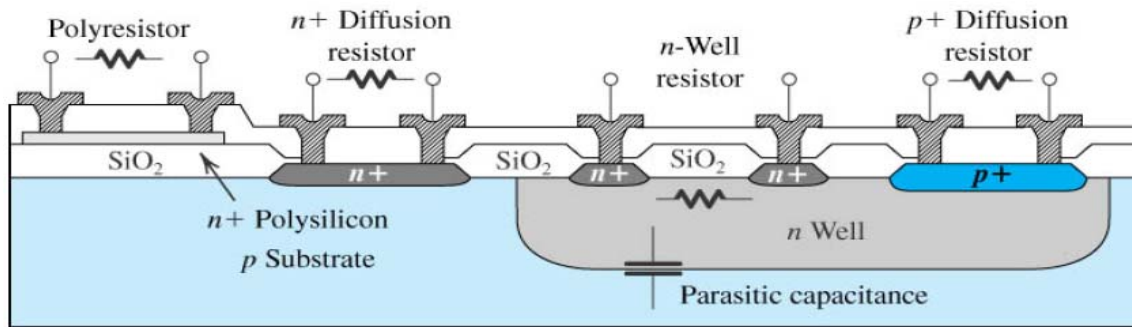


Fig. 2-8 – Schéma de résistances CMOS

### 5.1.2 Résistances Polysilicium

Une couche de polysilicium est nécessaire en technologie CMOS pour former la grille des transistors. Cette couche est souvent utilisée pour réaliser des résistances, comme cela est illustré sur la Fig. 2-8. Un avantage de ces résistances par rapport aux résistances diffuses est qu'elles engendrent une capacité de substrat parasite plus faible, et des variations de leurs valeurs jusqu'à  $\pm 20\%$  d'un wafer à l'autre. Les TCR et VCR des résistances polysilicium sont très affectés par la concentration de dopants dans le film <sup>[41]</sup>, et les valeurs de résistances pouvant-être réalisées sont limitées au mieux à quelques dizaines de  $k\Omega$  <sup>[41]</sup>.

### 5.1.3 Lignes de métal

Les lignes de métal peuvent aussi être utilisées pour la réalisation de résistances de faibles valeurs, car celles-ci ont en technologie CMOS, des résistances carrées de l'ordre de  $0.07\Omega/\text{sq}$  pour les métallisations Al/Cu des niveaux métalliques intermédiaires, et  $0.04\Omega/\text{sq}$  pour le niveau de métal supérieur.

### 5.1.4 Récapitulatif des performances des résistances intégrées

Ci-dessous (Tab. 2-5) est présenté un récapitulatif des performances des résistances intégrées standards de la filière technologie CMOS  $0.5\mu\text{m}$  considérée.

	Rsq ( $k\Omega/\text{sq}$ )	$\Delta\text{Rsq}$ ( $\Omega/\text{sq}$ )	VCR (ppm/V)	TCR (ppm/ $^{\circ}\text{C}$ )
n-Well	1	+/- 250	11000	7000
Poly 1k	1	+/-350	-6800	-1000
Poly 4k	4	+/-1400		-2200
Poly 10k	10	+/- 3500		-3000

Tab. 2-5 – Récapitulatif des performances de résistance standard à la filière CMOS considérée

## 5.2 Condensateurs

Il existe plusieurs types de condensateurs intégrés en technologie CMOS, que l'on peut décomposer en deux sous ensembles : les structures MOS (Metal Oxyde Semiconducteur) et Poly-Poly. Dans chacune de ces structures, le principe est de déposer ou de faire croître une

fine couche d'oxyde entre deux couches conductrices, formant ainsi la capacité. La réelle différence entre ces structures est le type d'électrode utilisée, comme cela peut-être illustré sur la Fig. 2-9.

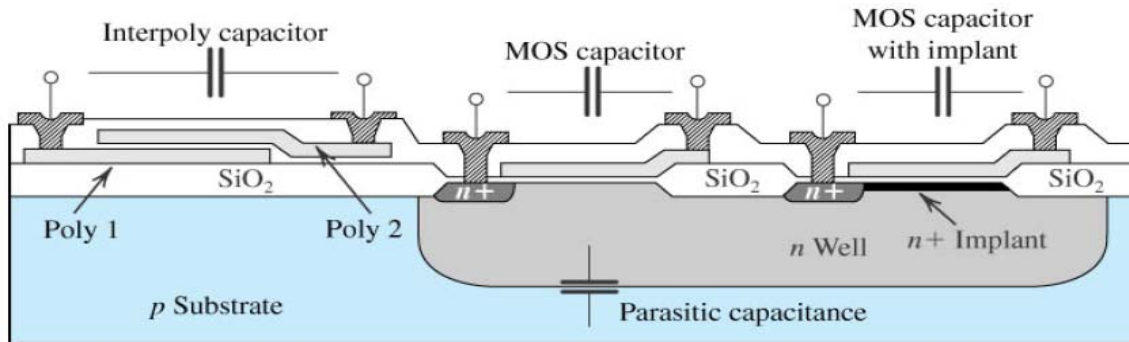


Fig. 2-9 – Schéma de capacités (a) N+/Oxyde/Poly, (b) Poly1/Oxyde/Poly2 et (c) Poly1/Oxyde/Métal

### Condensateurs MOS

Les condensateurs MOS font partie intégrante d'une filière CMOS. En effet, l'électrode inférieure du condensateur est une zone active dopée ou implantée sur laquelle un contact est effectué, et l'électrode supérieure une grille en polysilicium, comme cela est illustrée sur la Fig. 2-9. La réalisation de ce type de condensateur nécessite d'abord une étape de masquage puis de photolithographie pour définir la région dopée. Ensuite, il faut générer la couche d'oxyde sur tout le wafer, et enfin, déposer du polysilicium pour réaliser l'électrode supérieure. Cette structure est dépendante de la tension en raison de l'interface Oxyde/Silicium, où des zones de déplétion de charges dans le silicium varient avec la tension appliquée. La variation de la profondeur de la zone désertée a pour effet de faire varier la capacité en fonction de la tension de l'ordre de 10 à 30%. Ce type de structure peut ainsi être utilisée comme capacité variable [35]. Nous discuterons en détail de la capacité MOS dans le chapitre 3.

### Condensateurs Poly-Poly

Ce type de condensateur est utilisé dans les processus utilisant deux couches de polysilicium (Fig. 2-9). Cette structure permet de s'affranchir de la forte dépendance de la capacité à la tension propre à la capacité MOS. En structure Poly-Poly, l'utilisation d'électrodes fortement dopées permet de réduire les non linéarités en tension et en température [35]. Enfin, la fabrication de ces condensateurs nécessite des étapes additionnelles par rapport au cas précédent, et qui sont dédiées au dépôt et à la gravure de la seconde couche de polysilicium.

### Récapitulatif des performances des condensateurs en technologie CMOS

Le tableau suivant (Tab. 2-6) récapitule les performances des condensateurs actuellement disponibles dans la filière CMOS considérée :

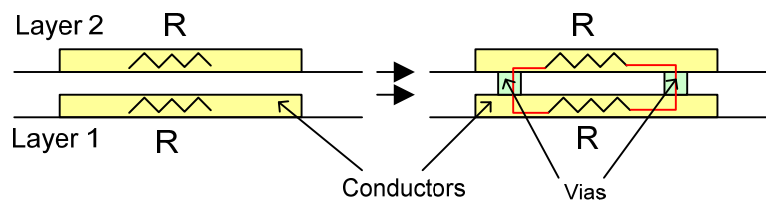
	C (fF/ $\mu\text{m}^2$ )	VCC (ppm/V)	TCC (ppm/ $^{\circ}\text{C}$ )
Poly2/Oxyde/N+	0.263	13500 @ 5V	0
Poly2/Oxyde/Poly1	0.03	-78 @ 15V	0
Poly1/Oxyde/N+	0.13	1300 @ 15V	-880

**Tab. 2-6– Récapitulatif des performances de condensateurs standards à la filière CMOS considérée**

### 5.3 Inductances

En technologie CMOS, les inductances intégrées sont réalisées directement à partir des lignes de métallisations. Le composant est construit selon une géométrie qui permet la formation de boucles de courants qui induisent la création d'un flux magnétique déterminant la valeur de l'inductance. Les inductances en CMOS souffrent d'une valeur très faible de leurs coefficients de surtension et l'influence de ces derniers sur des dispositifs RF a été mise en évidence précédemment. En effet, les pertes conductrices associées aux lignes de métal, ainsi que les pertes induites par des courants générés dans le substrat semi-conducteur sont toutes deux responsables de la faible valeur du coefficient de surtension. Ce dernier est de l'ordre de 2 à 15 pour une technologie standard et varie notamment selon l'épaisseur des lignes de métal et de la résistivité du substrat. L'utilisation de métaux épais permet de réduire la résistance DC et le recours à un substrat haute résistivité permet lui de limiter les courants induits qui se propagent dans le silicium. Plusieurs solutions existent pour améliorer le facteur de qualité des inductances en technologie CMOS, parmi les plus courantes, nous citerons celles qui ne nécessitent a priori pas de modifications majeures du processus de fabrication :

- *Dupliquer le nombre de couches* : lorsqu'un conducteur (Layer1) est dupliqué sur la couche supérieure (Layer2), l'association résultant de leurs connexions par des vias peut être vue comme la mise en parallèle des résistances respectives de chacune des lignes de métal. La résistance totale est alors divisée de moitié, comme illustrée sur la Fig. 2-10.



**Fig. 2-10 – Réduction de la résistance série due aux pertes conductrices par duplication des couches de métal**

- *Utiliser un substrat silicium haute résistivité* permet de réduire la création des courants induits dans le substrat [42].
- *Introduire une cavité d'air sous l'inductance*, comme le montre la Fig. 2-11 pour un procédé CMOS Damascène cuivre. L'intérêt ici est d'améliorer l'isolation par le retrait du substrat semi-conducteur sous l'inductance. Par cette méthode, l'obtention d'un facteur de qualité de l'ordre de 50 a été démontré [43].



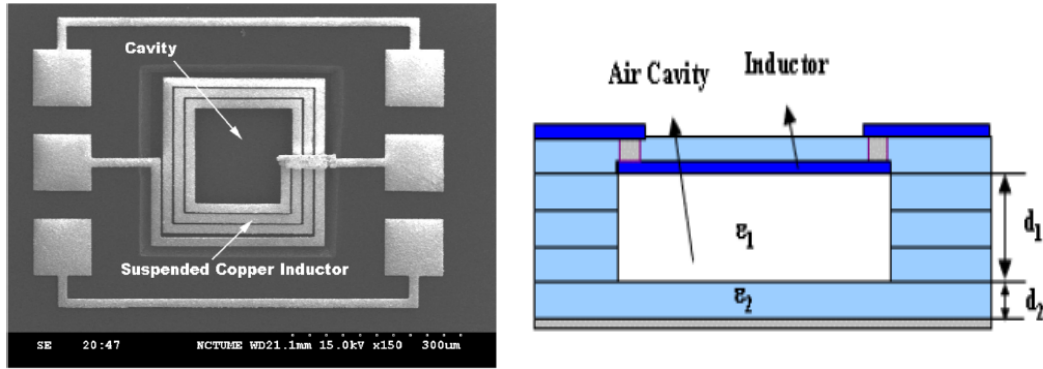


Fig. 2-11 – Création d’une cavité d’air sous l’inductance afin d’améliorer l’isolation avec le substrat semi-conducteur.

→ *Introduction d’un plan de masse en grille.* Cette solution est proposée pour réduire le couplage électromagnétique à travers le substrat. La Fig. 2-12 donne un exemple de plan de masse en grille [44] :

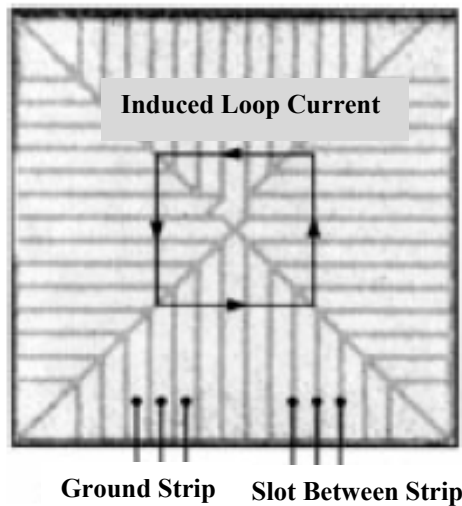


Fig. 2-12 – Plan de masse en grille en polysilicium placé sous l’inductance spirale [43].

Le courant image induit dans le silicium est à l’origine d’une résistance parallèle dans le substrat. L’effet du plan de masse en grille est d’augmenter cette résistance en bloquant la circulation de la boucle de courant induit. En effet, les espaces du plan de masse (Slots between Strips sur la Fig. 2-12) agissent comme un circuit ouvert sur la boucle de courant induite. Ces derniers doivent être judicieusement dimensionnés afin de réduire l’extension dans le silicium des lignes de champ électrique dues au couplage entre les grilles (Ground Strips).

Le processus CMOS 0.5 $\mu\text{m}$  considéré (SCMOS3EE) a été initialement optimisé pour être dédié à la réalisation de circuits numériques. De ce fait, bien que des tests aient pu être effectués pour y réaliser des inductances intégrées, leurs performances n’ont pas été reportées.

## 6. Le Back End Of Line (BEOL) de la filière technologique CMOS 0.5 $\mu$ m

La filière CMOS 0.5 $\mu$ m utilisée dans notre étude dispose de trois niveaux de métallisation en aluminium/cuivre. Nous avons pour objectif de placer les composants passifs dans le Back End Of Line (BEOL) de la filière CMOS, c'est-à-dire qu'ils doivent être réalisés à partir des étapes du processus où sont fabriquées les interconnexions entre les différents dispositifs.

La figure suivante (Fig. 2-13) représente une image prise par Microscopie Electronique à Balayage (MEB) d'une vue en coupe d'un transistor MOSFET en technologie CMOS et les différents niveaux métalliques de la filière. Le BEOL et le FEOL (Front End Of Line) y sont représentés.

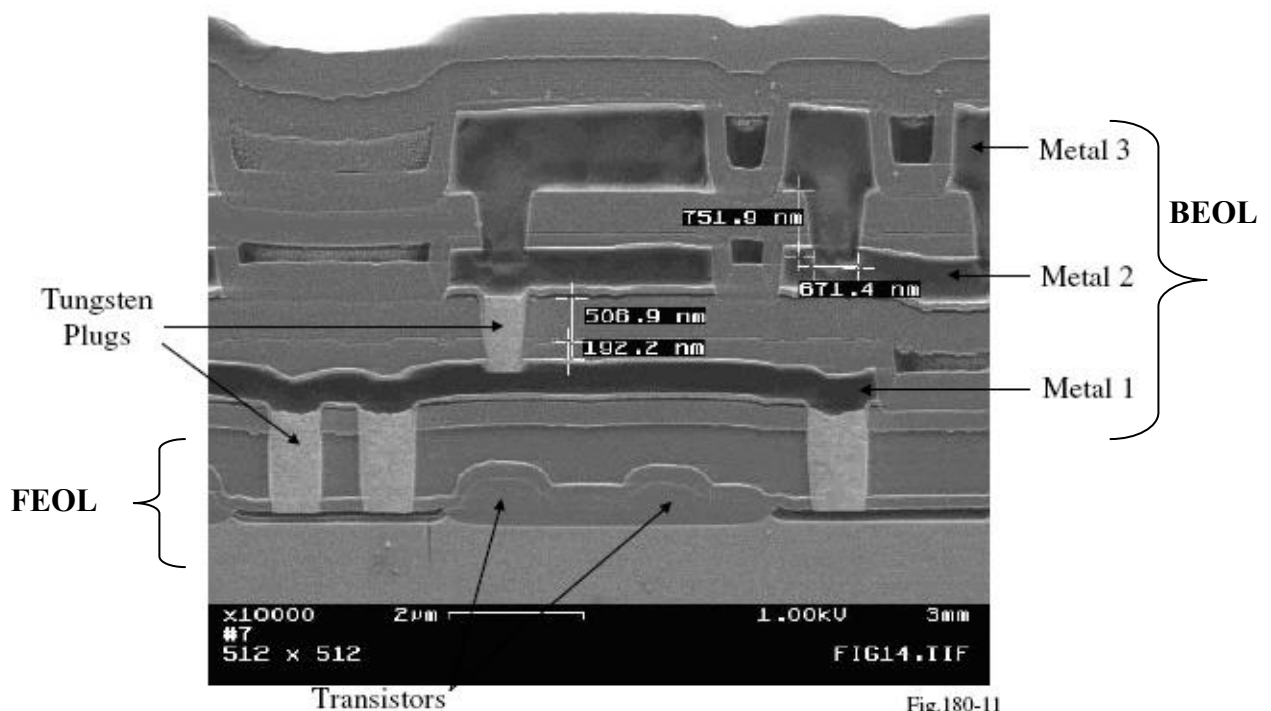
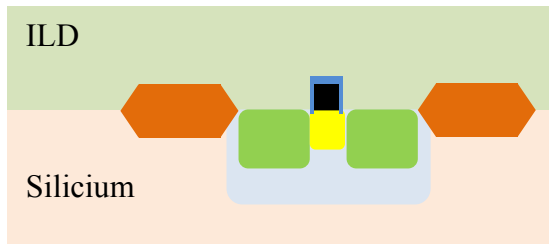


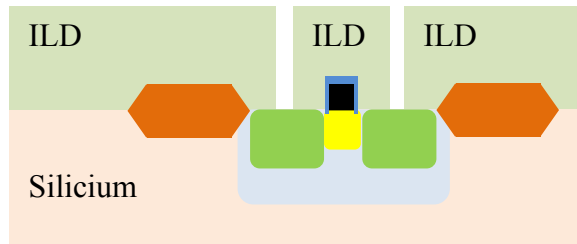
Fig. 2-13- Vue en coupe des FEOL et BEOL d'un circuit CMOS à trois niveaux de métallisation

Le processus de formation des métallisations s'effectue une fois les transistors réalisés, et le BEOL peut se résumer selon les étapes présentées sur la Fig. 2-14.

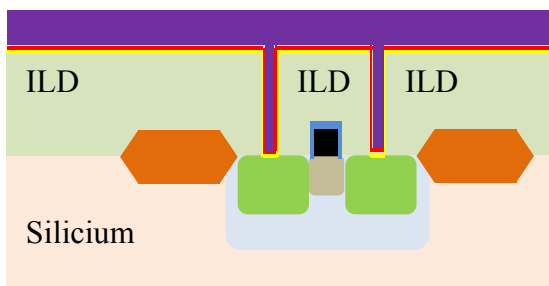
**1 - Dépôt du diélectrique ILD (Inter Metal Dielectric)**



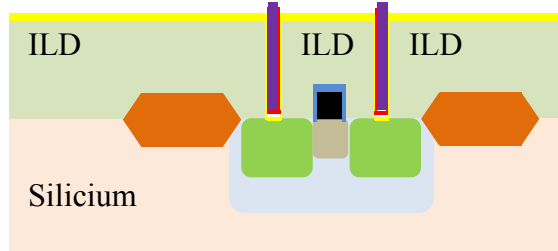
**2 – Photolithographie et ouverture de zones dans l'ILD pour réaliser les interconnexions avec les dispositifs du Front End**



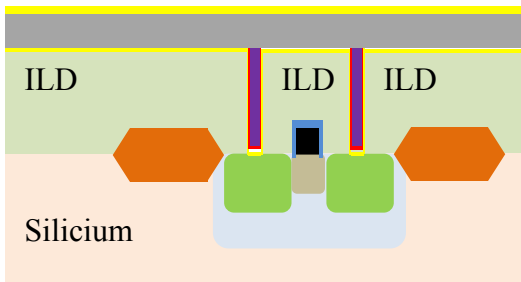
**3 - Dépôt de Titane Ti (jaune) /Nitrure de Titane TiN (rouge) et Tungstène W (violet)**



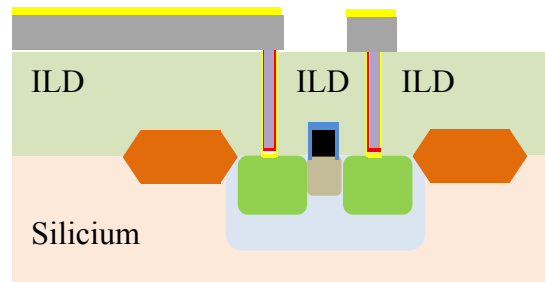
**4 – Gravure du Tungstène W, soit avec arrêt au niveau du Titane ou arrêt sur l'oxyde ILD**



**5 – Dépôt de l'alliage Aluminium/Cuivre (AlCu) et de Titane**



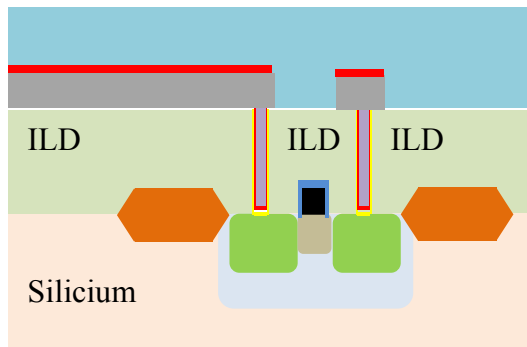
**6 – Photolithographie et gravure de l'AlCu et du Ti**



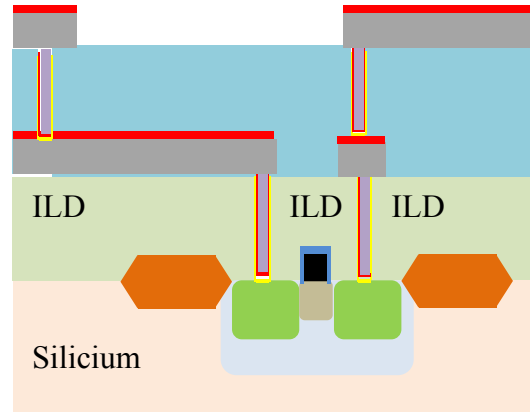
**Fig. 2-14- Etapes de formation des niveaux de PLUGS 1 et Métal M1de la filière CMOS 0.5 $\mu$**

A partir du dépôt de l'ILD, typiquement un oxyde BPSG (BoroPhosphoSilicate glass), les étapes 2, 3 et 4 permettent la formation du niveau de Plugs 1 et les étapes 5 et 6 celles de la formation du niveau de métal (M1). Les niveaux deux (M2) et trois (M3) seront réalisés selon une succession d'étapes similaires, comme cela se résume par la Fig. 2-15.

### 7 – Dépôt du diélectrique ILD et planarisation

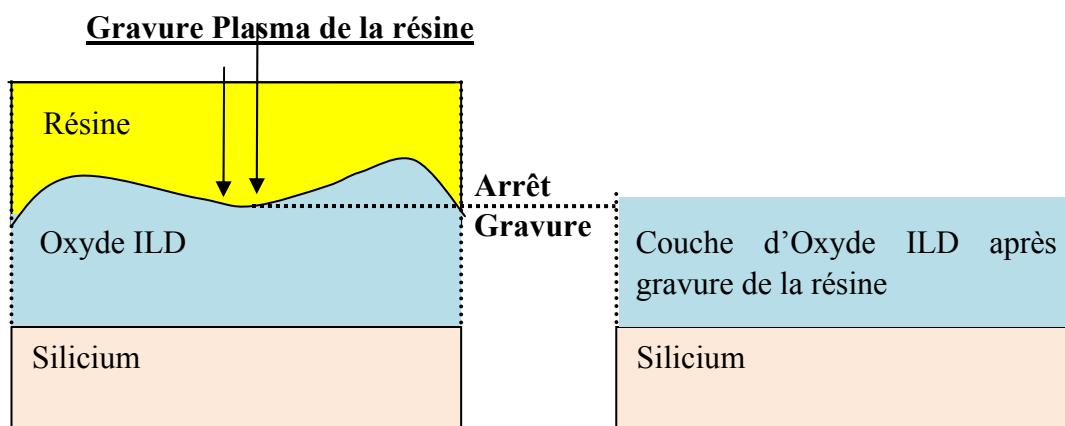


### 8 – Formation des Plugs 2, et du niveau de métal M2



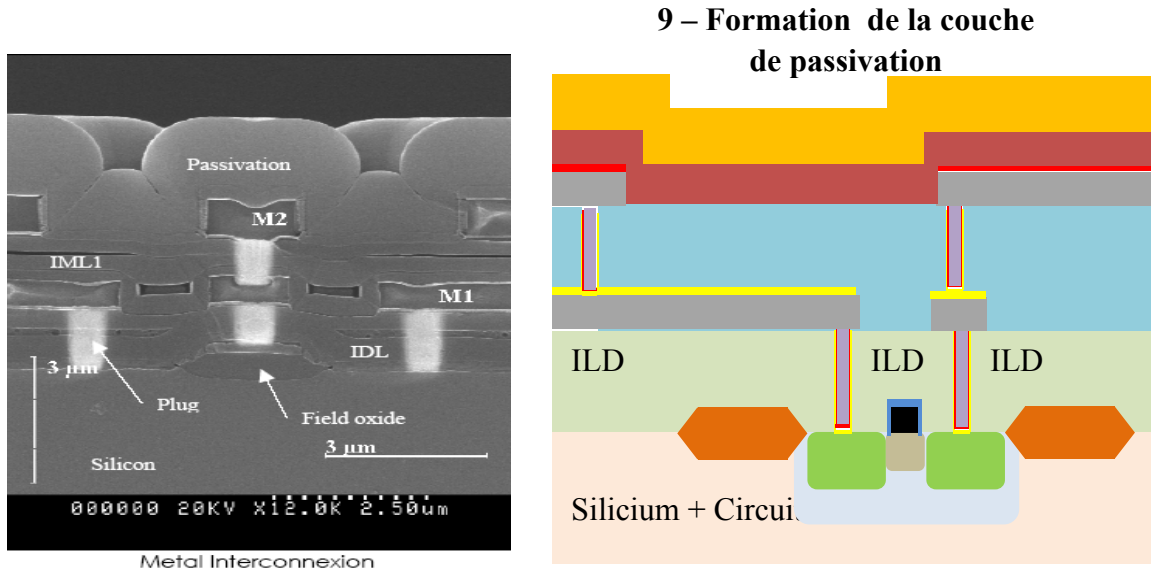
**Fig. 2-15- Etapes de formation des niveaux de PLUGS 2 et de Métal M2 de la filière CMOS 0.5 $\mu$ m**

Enfin, les niveaux de PLUGS3 et de métal M3 peuvent être réalisés. Avant le dépôt des couches métalliques, une étape de planarisation des oxydes (ILD) est effectuée. Dans des technologies standards, la planarisation est mise en œuvre par gravure plasma d'une résine déposée sur l'oxyde. La gravure de la résine permet d'attaquer partiellement l'ILD et ainsi aplanir la surface du wafer, comme cela est représenté sur la Fig. 2-16. Toutefois, la planarisation par gravure plasma ne permet pas d'obtenir une couche complètement plane d'ILD sur toute la surface du wafer. Les variations topologiques se répercutent alors sur les couches supérieures déposées, et, engendrent des problèmes d'uniformité sur les épaisseurs des couches déposées, ou sur l'uniformité de gravure de ces mêmes couches. Le recours à des techniques de planarisation CMP (Chemical Mechanical Planarisation) permet d'augmenter le nombre de niveaux de métal jusqu'à six. Le principe des techniques CMP est en quelque sorte d'effectuer un polissage mécanique de l'oxyde sous l'action d'une solution chimique ; cette méthode permettant d'obtenir une meilleure planarité des surfaces de diélectriques intermétalliques.



**Fig. 2-16- Planarisation des diélectriques intermétalliques**

Une fois tous les niveaux de métal réalisés, une couche de passivation est déposée sur le métal afin de protéger physiquement et d'isoler électriquement les circuits intégrés (Fig. 2-17). La couche de passivation est composée d'une couche d'oxyde de silicium ( $\text{SiO}_2$ ) et d'une couche de nitrure de silicium ( $\text{Si}_3\text{N}_4$ ) pour une épaisseur totale généralement inférieure à 3 $\mu\text{m}$ . Suite au dépôt de la couche de passivation, une étape de photolithographie est effectuée afin d'ouvrir les zones de pads, c'est-à-dire les zones métal du dernier niveau qui seront utilisées afin d'être connectées à d'autres circuits (par exemple à des alimentations où encore à des appareils de mesures).



**Fig. 2-17- Schéma et image MEB en coupe d'un circuit final à deux niveaux de métal**

A chaque dépôt des oxydes ILD effectué autour de 400°C, succède un recuit aux mêmes températures afin d'améliorer les qualités diélectriques des couches déposées. Les limites en température dans le BEOL sont dues à la température de fusion de l'aluminium avoisinant les 450-500°C.

## **7. Conclusion et identification des contraintes d'intégration des passifs dans le BEOL de la filière CMOS**

Dans ce chapitre, nous avons présenté les différentes approches actuellement dominantes pour la réalisation de composants passifs intégrés. Nous avons présenté les performances des passifs intégrés utilisés dans les « System In Package ». L'approche SiP ou Multi-Chip-Module domine aujourd'hui et les limites en terme de densité d'interconnexions pour les MCM-L et MCM-C constituent un verrou à la miniaturisation des systèmes et à l'extension de leurs fonctionnalités. Les performances des technologies en MCM-D présentées à partir des composants passifs standards à une filière CMOS montrent aussi leurs limites en termes de densité de capacités et de résistances, ainsi que sur le facteur de qualité des inductances intégrées. Le développement de passifs de forte densité et qui présentent une grande stabilité est ainsi un point critique pour la réalisation de systèmes totalement intégrés (SoC).

Les étapes principales d'une filière CMOS standard ont été présentées, ainsi que le processus associé à la fabrication des interconnexions entre circuits (BEOL). Comme nous l'avons évoqué au cours de ce chapitre, la technologie CMOS 0.5 $\mu\text{m}$  considérée ici a été optimisée initialement pour la fabrication de circuits numériques. En effet, très souvent, les

technologies CMOS dédiées à la fabrication de circuits analogiques ou mixtes disposent d'un nombre de niveaux de métal supérieur à trois. De cette manière, les limites en performances des composants passifs peuvent-être contournées par des solutions sur la conception de ces mêmes composants. Par exemple, il est possible d'empiler des couches capacitatives sur plusieurs niveaux de métal afin d'augmenter la capacité totale. Une autre solution peut-être de construire des condensateurs 3D par un empilement de couches effectué dans des tranchées et qui sont creusées dans les couches d'oxydes. Enfin, l'augmentation de la longueur des résistances en les faisant transiter d'un niveau à l'autre peut aussi être une solution. Les degrés de liberté pour la recherche de solutions d'un point de vue conception du composant pour augmenter les densités de résistances ou de capacités sont largement supérieurs avec un nombre de niveaux de métal important.

Pour la technologie CMOS utilisée dans le cadre de notre étude, trois niveaux de métal peuvent-être fabriqués, et nous ne pouvons donc adopter une démarche focalisée sur la conception du composant pour améliorer les performances des passifs. Le recours au développement de procédés permettant d'augmenter le nombre de niveaux de métal n'est pas une solution envisageable. Si l'on souhaite conserver des architectures simples où plus précisément planaires de passifs intégrés, les seuls paramètres pouvant être optimisés sont les matériaux en couches minces. Ainsi, la démarche adoptée pour l'intégration de composants passifs dans le BEOL de la filière technologique CMOS consiste à effectuer un report des contraintes en performances sur les matériaux qui les composent. Associées à cette démarche, plusieurs contraintes sont à prendre en compte pour l'intégration de nouveaux matériaux dans la filière technologique:

- La première contrainte identifiée pour l'intégration de couches minces résistives ou diélectriques dans le BEOL est d'abord la température. En effet, la température de dépôt des couches résistives, diélectriques ou métalliques utilisées pour la réalisation des résistances et condensateurs ne doit pas dépasser 400°C.
- Ensuite, nous avons évoqué les problèmes de planarité des empilements des niveaux de métal et diélectriques. Ainsi les différents empilements de matériaux servant à réaliser les composants ne doivent pas excéder 100 à 150nm afin de limiter les variations topologiques pouvant poser des problèmes liés à l'uniformité de la gravure et des dépôts des matériaux sur les niveaux supérieurs du circuit multicouche.
- La dernière contrainte associée à l'intégration de nouveaux matériaux dans la filière technologique nécessite d'utiliser, dans la mesure du possible, des matériaux faible coût et déjà présents dans le processus de fabrication afin, d'une part, de limiter le coût additionnel lié à la réalisation des passifs et, d'autre part, réduire des problèmes d'incompatibilité, d'adhérence ou de diffusion de nouveaux matériaux. Toujours en terme de coût, une contrainte importante est de sélectionner des matériaux qui nous utilisant uniquement les procédés standards et disponibles de la filière technologique, de façon à limiter les coûts associés au développement de la technologie de passifs intégrés et particulièrement ceux liés à l'achat de nouveaux appareils de dépôt, de gravure ou encore de recuit.

La démarche générale de report des contraintes en performances sur le matériau est justifiée et les contraintes d'intégration des couches minces sont maintenant identifiées. Nous allons dans la suite du manuscrit présenter le développement de la technologie à partir des trois niveaux d'analyse présentés en introduction : le matériau, l'interface matériau/composant, et enfin, le composant.

**Filière Technologique : Identification des contraintes d'intégration**

**Caractérisation  
des matériaux  
en couches  
minces**

Sélection et étude des  
caractéristiques électriques  
intrinsèques du matériau  
en couches minces

**Condensateurs**

**Intégration en  
CMOS**

Intégration en couches minces dans le  
processus CMOS-0.5 $\mu$ m  
Influence du processus de fabrication et  
des propriétés du matériau

**Résistances**

**Modélisation  
du composant  
intégré**

Représentation électrique du  
composant  
Prédiction de la réponse électrique  
du composant

**Inductances**

# **Chapitre 3. Caractérisation Electrique de Couches Diélectriques d'Oxyde de Titane et de Tantale à Partir de Capacités MOS Pour la Réalisation de Capacités MIM de Forte Densité**

## **1. Introduction**

La réduction de l'espace occupé par les composants passifs nécessite de réaliser des capacités MIM de forte densité, tout en conservant des paramètres de linéarité en tension et température conformes aux critères industriels. L'augmentation de la densité de capacité (exprimée en  $\text{fF}/\mu\text{m}^2$ ) peut-être effectuée en diminuant l'épaisseur des diélectriques classiquement utilisés (tels  $\text{SiO}_2$ ). Cependant, réduire l'épaisseur du diélectrique induit une augmentation des instabilités en tension et température du composant, et augmente également les courants de fuite de la capacité. Aussi, une solution alternative et optimale consiste à introduire dans la filière CMOS un diélectrique qui présente une grande permittivité, et conjointement des caractéristiques de stabilité en tension et température suffisantes.

La réalisation de capacités intégrées en couches minces dans le BEOL de la filière technologique CMOS nécessite d'étudier les propriétés électriques des matériaux avant leurs intégration dans le processus de fabrication. En effet, la phase de développement et de test d'intégration des capacités dans la filière considérée nécessite un investissement considérable en nouveaux équipements dédiés à la gravure du diélectrique à forte permittivité et à la formation des électrodes. Il est donc indispensable d'effectuer un choix judicieux et justifié du matériau diélectrique et des électrodes associées pour garantir la faisabilité et la rentabilité d'intégrer le matériau diélectrique au sein des électrodes métalliques adaptées.

Dans un premier temps, nous cherchons à intégrer des dispositifs de test et à évaluer leurs performances. Il s'agit a minima de disposer de capacités de stockage de charges supérieures à celles obtenues avec les condensateurs de la filière CMOS-0.5 $\mu\text{m}$ , à base d'oxyde de silicium, et qui présentent des qualités d'isolation électrique suffisantes. Etant donné que nous souhaitons reporter les contraintes en performances des condensateurs intégrés sur les propriétés du matériau, le choix des diélectriques à intégrer et la validation de leurs caractéristiques électriques constituent l'étape clé du développement de la technologie de ces composants passifs. L'étape suivante visera à optimiser le procédé de fabrication des capacités MIM afin de satisfaire au mieux le cahier des charges.

Nous nous plaçons dans ce chapitre au niveau de la phase d'analyse et de validation des propriétés électriques intrinsèques du matériau. L'analyse est portée sur le cas du diélectrique High- $\kappa$  ( $\text{Ti}_x\text{Ta}_y\text{O}$  : Oxyde de Titane et de Tantale).



Nous proposons de décomposer ce chapitre en deux parties:

Dans la première partie nous établissons un état de l'art sur les matériaux diélectriques étudiés dans le but de réaliser des condensateurs MIM à forte densité. Cet état des connaissances consiste à évaluer les matériaux qui s'approchent au plus près des objectifs de performances électriques visés, en gardant en considération le respect des contraintes technologiques définies dans le chapitre précédent (telles que la température des dépôts, l'épaisseur des empilements...).

La seconde partie du chapitre consiste en l'étude des performances électriques de l'oxyde de titane et de tantale caractérisé à travers des capacités MOS (Métal Oxyde Silicium). En effet, l'état de maturité des connaissances des phénomènes physiques produits dans les capacités MOS et la sensibilité de la réponse électrique du composant aux propriétés du matériau et des interfaces en font un outil très pratique et simple à réaliser pour caractériser les performances d'un diélectrique en couches minces avant son intégration dans une capacité MIM.

## 2. Etat de l'art des performances des condensateurs MIM intégrés et des diélectriques associés

1. Les objectifs de caractéristiques électriques des capacités MIM à atteindre sont rappelés dans le Tab. 3-1 ci-dessous. Ces spécifications sont fixées à la fois pour répondre aux critères industriels et également à la feuille de route proposée par l'ITRS.

	Condensateurs MIM
Densité	$>10\text{fF}/\mu\text{m}^2$
Stabilité en tension	$\leq 100\text{ppm}/\text{V}^2$
Stabilité en température	$\leq 100\text{ppm}/^\circ\text{C}$
Courants de fuites	$\leq 10^{-6}\text{ A}/\text{cm}^2$ à 10V
Tension de claquage	$\geq 15\text{V}$

Tab. 3-1– Spécifications électriques des condensateurs MIM intégrés

Les condensateurs MIM peuvent-être regroupés en quatre familles suivant le diélectrique utilisé. Tout d'abord, nous pouvons distinguer dans la littérature les condensateurs MIM construits à partir de matériaux tels que  $\text{Si}_3\text{N}_4$  et  $\text{Al}_2\text{O}_3$  ayant des permittivités relativement faibles ( $\epsilon_r < 10$ ), bien qu'elles soient supérieures à celle de l'oxyde de Silicium. Les densités de capacité pouvant-être atteintes avec ces diélectriques restent limitées à  $2\text{-}3\text{fF}/\mu\text{m}^2$  afin de garantir la fiabilité et la reproductibilité des composants [45]. Nous trouvons ensuite les diélectriques High- $\kappa$  de permittivité ( $\epsilon_r > 10$ ), qui permettent d'obtenir des capacités surfaciques supérieures qui peuvent répondre aux besoins industriels actuels en terme de densité (typiquement jusqu'à  $5\text{fF}/\mu\text{m}^2$ ), avec toutefois une limite sur les courants de fuite et les coefficients de linéarité qui restent insuffisamment faibles pour réduire les épaisseurs considérées et ainsi augmenter la densité au-delà de  $5\text{fF}/\mu\text{m}^2$ . Les matériaux High- $\kappa$  regroupent à la fois les oxydes para-électriques tels  $\text{HfO}_2$ ,  $\text{Ta}_2\text{O}_5$ ,  $\text{TiO}_2$ ,  $\text{Y}_2\text{O}_3$ ,  $\text{Pr}_2\text{O}_5$ ,  $\text{La}_2\text{O}_3$ , mais également les matériaux de structure Pérovskite dotés de très hautes permittivités tels que  $\text{BaTiO}_3$ ,  $\text{SrTiO}_3$ , et  $\text{Ba}_{(x)}\text{Sr}_{(1-x)}\text{TiO}_3$ .

A partir de ces deux familles de diélectriques, il est soit possible de les combiner pour obtenir une constante diélectrique effective résultant du mélange de phases des matériaux pris séparément, soit de les empiler en superposant plusieurs fines couches alternées afin d'optimiser les performances globales du diélectrique résultant de la recherche des meilleurs compromis dans les associations. En effet, l'utilisation de matériaux qui présentent une dépendance marquée de la permittivité avec la température et la tension, nécessite de travailler avec une combinaison ou un empilement de matériaux pour arriver au cahier des charges visé. Les diélectriques obtenus à partir de mélanges et empilements forment ainsi les deux autres familles.

## 2.1 Les diélectriques couramment utilisés dans les filières CMOS

Les diélectriques tels que les oxydes et nitrure de silicium ( $\text{SiO}_2$  et  $\text{Si}_3\text{N}_4$ ), et l'alumine ( $\text{Al}_2\text{O}_3$ ) sont largement utilisés dans les filières technologiques industrielles pour la réalisation des capacités de dispositifs radiofréquence [46]. Bien que les capacités formées à partir de ces diélectriques disposent d'excellentes propriétés en terme de linéarité ( $\alpha < 100 \text{ ppm/V}^2$ ,  $\text{TCC} < 100 \text{ ppm/}^\circ\text{C}$ ), les faibles valeurs de permittivités limitent la gamme de valeurs de capacités surfaciques pouvant-être obtenues. Le tableau suivant (Tab. 3-2) donne les permittivités, les gaps d'énergies entre bande de valence et bande de conduction et les champs de claquage du  $\text{SiO}_2$ , du  $\text{Si}_3\text{N}_4$  et de l' $\text{Al}_2\text{O}_3$ .

Oxydes	Permittivité relative ( $\epsilon_r$ )	Gap d'énergie (eV)	Champs de claquage (MV/cm)
$\text{SiO}_2$	3.9	8.9	10
$\text{Si}_3\text{N}_4$	7	5.1	8.4
$\text{Al}_2\text{O}_3$	9	8.7	7.2

Tab. 3-2– Propriétés électriques du  $\text{SiO}_2$ ,  $\text{Si}_3\text{N}_4$  et  $\text{Al}_2\text{O}_3$  couramment utilisés dans les filières CMOS

Les oxydes et nitrures de silicium offrent de très bonnes propriétés en terme de linéarité en tension et en température (globalement  $< 30 \text{ ppm/V}^2$  et  $< 50 \text{ ppm/}^\circ\text{C}$ ) [47, 48]. Cependant, leurs densités sont fixées par les épaisseurs déposées, et celles-ci doivent être limitées à environ  $2 \text{ fF}/\mu\text{m}^2$  afin de s'assurer de la reproductibilité des composants et de limiter les courants de fuite [45]. Pour des densités inférieures à  $2 \text{ fF}/\mu\text{m}^2$ , une dépendance à la tension négligeable est reportée pour  $\text{SiO}_2$  et  $\text{Si}_3\text{N}_4$  par rapport à  $\text{Al}_2\text{O}_3$  où un coefficient  $\alpha = 100 \text{ ppm/V}^2$  est noté. Cependant pour une valeur à  $100 \text{ ppm/V}^2$  du coefficient de linéarité en tension, il a été montré que l'utilisation d'alumine permet d'atteindre une densité  $3.5 \text{ fF}/\mu\text{m}^2$  [46]. Au-delà, l'augmentation de capacité MIM- $\text{Al}_2\text{O}_3$  à  $5 \text{ fF}/\mu\text{m}^2$  par une réduction d'épaisseur à  $12 \text{ nm}$  induit une augmentation des coefficients de linéarité en tension ( $\alpha \sim 2000 \text{ ppm/V}^2$ ) [49].

Le coefficient  $\alpha$  de l' $\text{Al}_2\text{O}_3$  est contrôlé par le volume de diélectrique, et les non linéarités sont fortement activées par la température, avec toutefois une faible dépendance en température qui se traduit par un coefficient de stabilité de  $10 \text{ ppm/}^\circ\text{C}$ , à  $150^\circ\text{C}$  [48].

Globalement, pour ces trois diélectriques, les fuites sont faibles ( $< 10^{-9} \text{ A/cm}^2$ ) pour des tensions inférieures à  $10 \text{ V}$ . Enfin, une propriété commune du  $\text{Si}_3\text{N}_4$  et de l' $\text{Al}_2\text{O}_3$  réside dans

le fait que les coefficients de linéarité quadratiques ( $\alpha$ ) sont positifs, ce qui n'est pas le cas du  $\text{SiO}_2$ , où il a été noté négatif [<sup>48,50</sup>]. Ce point particulier sera d'un intérêt majeur pour la réalisation de condensateurs MIM avec des empilements de diélectriques, comme nous le verrons par la suite.

Enfin, il a été montré une limite supérieure de  $2\text{fF}/\mu\text{m}^2$  pour du  $\text{SiO}_2$  ou du  $\text{Si}_3\text{N}_4$ , et une limite à  $3.5\text{fF}/\mu\text{m}^2$  pour de l'alumine afin de garantir une stabilité suffisante et des courants de fuite acceptables par rapport aux contraintes d'utilisation imposées.

## 2.2 Les autres matériaux High- $\kappa$

Les matériaux High- $\kappa$  considérés ici bénéficient de permittivités plus importantes mais d'une stabilité en tension et en température plus critique que les diélectriques présentés précédemment. De plus, ces matériaux présentent généralement de courants de fuites plus élevés et présentent des tensions de claquage plus faibles.

Différents matériaux High- $\kappa$  ont été étudiés pour la réalisation de condensateurs intégrés. Parmi les plus courants nous trouvons les oxydes para-électriques tels  $\text{Ta}_2\text{O}_5$ ,  $\text{HfO}_2$ ,  $\text{ZrO}_2$ ,  $\text{La}_2\text{O}_3$ ,  $\text{Nb}_2\text{O}_5$ ,  $\text{Y}_2\text{O}_3$  ou encore  $\text{TiO}_2$ , et les oxydes de structure Pérovskite tel  $\text{SrTiO}_3$ . Le tableau suivant (Tab. 3-3) récapitule les caractéristiques en termes de permittivité, gap d'énergie entre bande de valence et bande de conduction et champs de claquage pour ces oxydes [<sup>51</sup>]:

Oxydes	$\text{Ta}_2\text{O}_5$	$\text{HfO}_2$	$\text{TiO}_2$	$\text{Y}_2\text{O}_3$	$\text{Pr}_2\text{O}_5$	$\text{La}_2\text{O}_3$	$\text{Nb}_2\text{O}_5$	$\text{ZrO}_2$	$\text{SrTiO}_3$
Permittivité relative ( $\epsilon_r$ )	25	18-25	80	18	15	22	40-60	25-40	300
Gap d'énergie (eV)	4,5	5,7	3,5	6		6		5,8	3.2
Champs de claquage (MV/cm)	6	4	3	6		3.3		4	0.7

**Tab. 3-3- Permittivité, Gap d'énergie et Champs de claquage des Oxydes High- $\kappa$  présentés dans la littérature pour la réalisation de condensateurs MIM**

Les études menées sur ces matériaux mettent en évidence des propriétés similaires en termes de dépendance des coefficients de linéarité à l'épaisseur du diélectrique. En effet, plus la couche diélectrique est fine, plus les dépendances en tension et température deviennent importantes. De la même manière, l'augmentation de la fréquence d'utilisation du condensateur permet de réduire la dépendance à la tension ( $\text{Ta}_2\text{O}_5$  [<sup>52</sup>],  $\text{Y}_2\text{O}_3$  [<sup>53</sup>], et  $\text{HfO}_2$  [<sup>54</sup>], [<sup>55</sup>]). En effet, ceci peut être attribué au fait que les charges piégées dans le diélectrique ne sont plus en mesure de suivre le signal lorsque la fréquence des signaux augmente [<sup>56</sup>]. Enfin, il a été montré que le choix optimal des électrodes permet d'améliorer les performances de stabilité du composant, mais également de réduire les courants de fuites par l'utilisation de métaux disposant d'un travail d'extraction élevé, comme cela a été démontré pour des MIM à

base de TiTaO [<sup>56</sup>], ou encore de SrTiO<sub>3</sub> [<sup>57</sup>]. Le tableau suivant (Tab. 3-4) récapitule les principales caractéristiques des diélectriques High-κ considérés :

Diélectrique High-K	Densité Surfaccique	Courant de Fuites	Linéarité en tension	Linéarité en température	Référence
Ta <sub>2</sub> O <sub>5</sub>	4.4fF/μm <sup>2</sup> 5fF/μm <sup>2</sup>	1.10 <sup>-7</sup> A/cm <sup>2</sup> @1.5V 1.10 <sup>-6</sup> A/cm <sup>2</sup> @±5V	400ppm/V <sup>2</sup> 35ppm/V <sup>2</sup>	200ppm/°C ---	[ <sup>58</sup> ] [ <sup>64</sup> ]
HfO <sub>2</sub>	3fF/μm <sup>2</sup> 5fF/μm <sup>2</sup> 6fF/μm <sup>2</sup> 8fF/μm <sup>2</sup>	<10 <sup>-8</sup> A/cm <sup>2</sup> @±5V <10 <sup>-7</sup> A/cm <sup>2</sup> @±5V. <10 <sup>-7</sup> A/cm <sup>2</sup> @±5V. <10 <sup>-6</sup> A/cm <sup>2</sup> @±5V.	135ppm/V <sup>2</sup> 206ppm/V <sup>2</sup> 343ppm/V <sup>2</sup> 759ppm/V <sup>2</sup>	200ppm/°C 135ppm/°C --- ---	[ <sup>55</sup> ] [ <sup>59</sup> ] [ <sup>60</sup> ] [ <sup>60</sup> ]
ZrO <sub>2</sub>	17fF/μm <sup>2</sup>	1.10 <sup>-8</sup> A/cm <sup>2</sup> @1V	500ppm/V <sup>2</sup>	---	[ <sup>68</sup> ]
Pr <sub>2</sub> O <sub>3</sub>	9fF/μm <sup>2</sup>	10 <sup>-7</sup> A/cm <sup>2</sup> @1V.	1310ppm/V <sup>2</sup>	---	[ <sup>73</sup> ]
Y <sub>2</sub> O <sub>3</sub>	2fF/μm <sup>2</sup> 3fF/μm <sup>2</sup> 5fF/μm <sup>2</sup> 8.5fF/μm <sup>2</sup>	<10 <sup>-7</sup> A/cm <sup>2</sup> @±5V. <10 <sup>-7</sup> A/cm <sup>2</sup> @±5V. <10 <sup>-7</sup> A/cm <sup>2</sup> @±5V. <10 <sup>-4</sup> A/cm <sup>2</sup> @±5V.	250ppm/V <sup>2</sup> 425ppm/V <sup>2</sup> 1200ppm/V <sup>2</sup> 14000ppm/V <sup>2</sup>	--- --- --- ---	[ <sup>53</sup> ]
La <sub>2</sub> O <sub>3</sub>	7fF/μm <sup>2</sup> 9fF/μm <sup>2</sup>	10 <sup>-3</sup> A/cm <sup>2</sup> @±5V 10 <sup>-2</sup> A/cm <sup>2</sup> @±5V	>1000ppm/V <sup>2</sup> >1000ppm/V <sup>2</sup>	300ppm/°C 400ppm/°C	[ <sup>71</sup> ]
SrTiO <sub>3</sub>	44fF/μm <sup>2</sup> 35fF/μm <sup>2</sup> 28fF/μm <sup>2</sup>	10 <sup>-1</sup> A/cm <sup>2</sup> @±5V. 10 <sup>-3</sup> A/cm <sup>2</sup> @±5V. 10 <sup>-4</sup> A/cm <sup>2</sup> @±5V.	3600ppm/V <sup>2</sup> --- 600ppm/V <sup>2</sup>	735ppm/°C 530ppm/°C 750ppm/°C	[ <sup>57</sup> ] [ <sup>80</sup> ] [ <sup>61</sup> ]

Tab. 3-4– Caractéristiques électriques des principaux diélectriques High-κ

**L'oxyde de tantale, Ta<sub>2</sub>O<sub>5</sub>**, a été un des premiers oxydes étudié comme alternative aux oxydes à faible permittivité pour la réalisation de condensateur MIM [<sup>58, 47, 52, 62, 63</sup>]. Les densités obtenues pour garantir une conformité des paramètres de linéarité aux critères industriels sont de l'ordre de 5fF/μm<sup>2</sup> pour des capacités planaires. Pour de telles densités, des courants de fuite conformes aux besoins des applications analogiques peuvent-être relevés, c'est-à-dire inférieurs à 10<sup>-6</sup>A/cm<sup>2</sup> à 5V [<sup>64</sup>]. Une densité maximale de 12fF/μm<sup>2</sup> a toutefois été reportée pour des structures MIM Cu/Ta/Ta<sub>2</sub>O<sub>5</sub>/Ta/Cu [<sup>65</sup>].

**L'oxyde d'hafnium HfO<sub>2</sub>** a lui d'abord été étudié comme solution alternative pour les oxydes de grille des transistors. Il dispose d'une permittivité comparable à l'oxyde de tantale (ε<sub>r</sub>=18-25). Cependant, il présente des fuites plus faibles que le Ta<sub>2</sub>O<sub>5</sub> lorsqu'il est utilisé dans des condensateurs MIM [<sup>66</sup>]. L'obtention d'une densité de 13fF/μm<sup>2</sup> a été démontrée pour des épaisseurs de diélectrique de 10nm et de 5fF/um<sup>2</sup> pour 30nm [<sup>67</sup>]. En terme de stabilité en tension, la réalisation de capacités MIM-HfO<sub>2</sub> conformes aux spécifications ITRS (α<100ppm/V<sup>2</sup>) nécessite une épaisseur minimale de 42nm, soit une densité de l'ordre de 5fF/μm<sup>2</sup>, pour laquelle des courants de fuite inférieurs à 10<sup>-6</sup>A/cm<sup>2</sup> à 5V sont par ailleurs reportés [<sup>60</sup>]. Enfin, en fonction de l'épaisseur considérée, des tensions de claquage de 2,4V à 6nm [<sup>66</sup>], 3V à 10nm, 7.35V à 20nm, et 9.5V à 30nm [<sup>67</sup>] sont obtenues. Ce diélectrique est compatible avec des électrodes en aluminium (Al) [<sup>54</sup>], tantale (Ta) [<sup>54</sup>], nitrure de tantale

(TaN) [55], et enfin nitrure de titane (TiN) [66]. L'oxyde d'hafnium est l'un des oxydes High- $\kappa$  les plus étudiés, et a été récemment introduit par Intel comme oxyde de grille des transistors MOSFET d'une filière 45nm.

Tout comme le précédent diélectrique, *l'oxyde de zirconium (ZrO<sub>2</sub>)* a d'abord été étudié comme alternative au SiO<sub>2</sub> comme oxyde de grille des transistors. Ce matériau dispose d'une permittivité de l'ordre de 25-40 [48], ce qui en fait un candidat intéressant pour la réalisation de condensateurs MIM intégrés. Une densité de 17fF/μm<sup>2</sup> a été démontrée pour une épaisseur de ZrO<sub>2</sub> de 11nm, avec des courants de fuite de 10<sup>-7</sup>A/cm<sup>2</sup> à 1V [68]. L'utilisation d'électrodes de tungstène et platine (Pt/ZrO<sub>2</sub>/W) a été menée avec succès, et des capacités 3D, ont aussi été réalisées avec cette fois des électrodes en TiN [69].

La permittivité de *l'oxyde d'yttrium* ( $\epsilon_r=15$ ) en fait aussi un candidat potentiel pour la réalisation de capacité MIM [53]. En effet, des densités de 2.3fF/μm<sup>2</sup> à 8.5fF/μm<sup>2</sup> sont reportées pour des couches de 29nm à 8nm déposées sur TiN. Des coefficients  $\alpha=248\text{ppm/V}^2$  pour 29nm et 14100ppm/V<sup>2</sup> pour 8nm sont obtenus. Les courants de fuite du Y<sub>2</sub>O<sub>3</sub> sont de l'ordre de ~10A/cm<sup>2</sup> à 5V pour des films fins (<10nm), alors que pour des couches plus épaisses (>15nm), les fuites sont nettement améliorées (10<sup>-7</sup>A/cm<sup>2</sup> à 10V). Pour une couche de 8nm, une tension de claquage inférieure à 5V est obtenue, et de l'ordre de 20-25V pour une épaisseur de 40nm [70].

D'autres diélectriques peuvent être envisagés comme solution alternative aux oxydes classiques pour la réalisation de MIM, tel que *l'oxyde de lanthane* (La<sub>2</sub>O<sub>3</sub>) [71]. La réalisation de MIM Ti/Pt/La<sub>2</sub>O<sub>3</sub>/Al permet d'obtenir des densités de 9.2fF/μm<sup>2</sup> et 6.9fF/μm<sup>2</sup> pour 22 et 29nm avec un coefficient  $\alpha=130\text{ppm/V}^2$  mesuré à 1GHz [71]. Des courants de fuite de l'ordre de 3.10<sup>-10</sup>A/cm<sup>2</sup> à 1V sont mesurés pour un film de 100nm et de 10<sup>-5</sup>A/cm<sup>2</sup> à 1V pour des films d'une vingtaine de nanomètres [72].

*L'oxyde de praséodyme* (Pr<sub>2</sub>O<sub>3</sub>) a également été étudié pour la réalisation de MIM avec une électrode inférieure en TiN et une électrode supérieure en aluminium [73]. Une densité de 9,1fF/μm<sup>2</sup> à 10nm est obtenue, avec un coefficient de linéarité en tension  $\alpha=1310\text{ppm/V}^2$ , et des fuites de 10<sup>-7</sup> à 1V A/cm<sup>2</sup>. Bien que la linéarité en tension reste élevée dans l'étude citée, ce matériau a toutefois des propriétés intéressantes pour augmenter la densité des MIM.

Les autres oxydes (Nb<sub>2</sub>O<sub>5</sub>, TiO<sub>2</sub>) cités dans l'introduction de ce paragraphe n'ont bénéficié, à notre connaissance, que de quelques études de leurs propriétés intrinsèques orientées dans l'objectif de réalisation de condensateurs MIM [74], [75]. Aussi nous présentons ces oxydes dans la section consacrée aux empilements de diélectriques à travers lesquels ils seront utilisés.

*Les oxydes de type Pérovskite* (BaSrTiO<sub>3</sub>, BaTiO<sub>3</sub>, SrTiO<sub>3</sub>) sont également des matériaux très étudiés dans le but de réaliser des condensateurs MIM. En effet, ils profitent d'une grande valeur de permittivité (>100 en phase cristalline). Ce qui permet d'atteindre des densités très élevées (>30fF/um<sup>2</sup>). Cependant, ces diélectriques sont peu stables en tension et en

température du fait de leurs propriétés ferroélectriques, et ils présentent des tensions de claquage très faibles (par exemple 1MV/cm pour le SrTiO<sub>3</sub>). L'utilisation de Péroovskite en phase amorphe ou quasi-amorphe peut être une solution intéressante. Cependant, les constantes diélectriques (>100 lorsqu'ils sont cristallins) deviennent nettement plus faibles en phase amorphe. A titre d'exemple, une valeur inférieure à 50 a été démontrée pour du BaTiO<sub>3</sub> amorphe [76], ce qui reste cependant, encore une valeur élevée par rapport aux autres diélectriques High-κ. Enfin, même si une grande capacité surfacique peut être obtenue, la sensibilité à la tension et la température de ce matériau ne permet pas encore de l'envisager comme diélectrique pour les MIM analogiques de précision [77]. Le BaSrTiO<sub>3</sub> est lui réputé pour réaliser des capacités accordables [78] en tension dans sa phase cristalline et ferroélectrique (soit pour des températures de dépôt ou de recuit supérieures à 700°C). Bien que des études aient été menées pour son utilisation en phase amorphe, les densités reportées restent à notre connaissance peu élevées (3fF/μm<sup>2</sup>) [79]. Le titanate de strontium (SrTiO<sub>3</sub>) semble lui avoir des caractéristiques électriques répondant aux critères de performances pour la réalisation de condensateurs MIM en technologie silicium. En effet, une densité de 35fF/μm<sup>2</sup> pour une épaisseur de 45nm déposée par PVD a été reportée [80]. L'obtention d'un coefficient quadratique  $\alpha=54\text{ppm/V}^2$  à 2GHz est démontré pour ce même dépôt, avec une stabilité en température de 530ppm/°C à 1MHz. Comme pour les oxydes High-κ présentés précédemment, la stabilité peut aussi être améliorée en diminuant la densité, c'est à dire en augmentant les épaisseurs du diélectrique. Aussi, une densité de 28fF/μm<sup>2</sup> a été obtenue avec un coefficient de linéarité quadratique de 392ppm/V<sup>2</sup> à 1MHz [81]. La stabilité en température devient alors de l'ordre de 750ppm/°C. Malgré des caractéristiques en densité et stabilité intéressantes, un inconvénient majeur de ce diélectrique est une tension de claquage de 1MV/cm, soit environ 3V pour une couche de 30nm, ce qui reste trop faible par rapport à nos objectifs. A cela s'ajoute une autre problématique relative aux matériaux Péroovskite qui provient des difficultés à les intégrer dans une filière technologique silicium classique car la gravure peut s'avérer agressive et susceptible d'endommager les matériaux environnants.

Nous avons évoqué les limites en termes de performances atteignables par un oxyde High-κ « unique » comme diélectrique de condensateurs MIM. Ces limites sont à l'origine de l'intérêt porté pour le développement de condensateurs MIM intégrant un matériau High-κ combiné à d'autres matériaux afin d'optimiser les paramètres. De même, l'approche qui consiste à réaliser des structures multicouches utilisant à la fois des diélectriques High-κ et/ou Low-κ est une solution alternative pour améliorer les performances. Ces deux approches font l'objet des deux sections suivantes.

### 2.3 Combinaison de matériaux diélectriques

Le recours à l'association de plusieurs des diélectriques présentés précédemment est effectué dans le but d'améliorer les performances en termes de linéarité et courants de fuites pour pouvoir augmenter la densité des capacités. Cette approche a été étudiée à partir de plusieurs matériaux tels l'oxyde d'hafnium et de Lanthane [82], le HfTiO [98], [83], les BaTi<sub>4</sub>O<sub>9</sub> [84], Ba<sub>2</sub>Ti<sub>9</sub>O<sub>20</sub> [85] et BaSm<sub>2</sub>Ti<sub>4</sub>O<sub>12</sub> [86], le Sm<sub>2</sub>TiO<sub>7</sub> [87], le TiSiO<sub>4</sub> [88], les Sr-TaO et Bi-Ta-O [89]

et enfin les AlTiO [<sup>49</sup>], [<sup>90</sup>], AlTaO [<sup>91</sup>], TiTaO [<sup>92</sup>]-[<sup>93</sup>], [<sup>94</sup>] [<sup>95</sup>] et TaZrO [<sup>96</sup>]. Cette liste n'est pas exhaustive mais permet de donner un aperçu des développements effectués.

Le tableau suivant (Tab. 3-5) illustre les performances de quelques combinaisons de diélectriques qui présentent des caractéristiques pertinentes lorsqu'ils sont utilisés dans des condensateurs MIM :

	HfAlOx ~50nm	HfTiO ~51nm	TaZrO ~10nm	AlTaO ~20nm	SrTaO ~20nm	BiTaO ~50nm	TiTaO ~28nm
<b>Densité (fF/μm<sup>2</sup>)</b>	<b>3.5</b>	<b>17</b>	<b>12</b>	<b>7</b>	<b>10</b>	<b>10</b>	<b>14</b>
<b>Courants de fuites (A/cm<sup>2</sup>)</b>	<b>8.10<sup>-6</sup></b>	<b>2.10<sup>-8</sup></b>	<b>10<sup>-8</sup></b>	<b>10<sup>-6</sup></b>	<b>2.10<sup>-6</sup></b>	<b>4.10<sup>-6</sup></b>	<b>10<sup>-6</sup></b>
<b>Champs de mesure (MV/cm)</b>	<b>1</b>	<b>0.5</b>	<b>1</b>	<b>0.8</b>	<b>2.5</b>	<b>1</b>	<b>1.8</b>
<b>α (ppm/V<sup>2</sup>)</b>	<b>143</b>	<b>3730</b>	<b>1236</b>	<b>1000</b>	<b>300</b>	<b>600</b>	<b>700</b>
<b>TCC (ppm/°C)</b>	<b>-</b>	<b>-</b>	<b>240</b>	<b>156</b>	<b>-</b>	<b>-</b>	<b>500</b>
<b>V<sub>claquage</sub> (MV/cm)</b>	<b>-</b>	<b>-</b>	<b>-</b>	<b>-</b>	<b>6</b>	<b>3</b>	<b>5</b>
<b>Référence</b>	<b>[<sup>97</sup>]</b>	<b>[<sup>98</sup>]</b>	<b>[<sup>96</sup>]</b>	<b>[<sup>91</sup>]</b>	<b>[<sup>89</sup>]</b>	<b>[<sup>89</sup>]</b>	<b>[<sup>95</sup>]</b>

**Tab. 3-5– Récapitulatif des performances électriques des principaux mélanges de diélectriques High-κ**

Nous pouvons remarquer sur le tableau que les combinaisons formées résultent toutes des diélectriques High-κ présentés précédemment. Il existe d'autres types de diélectriques combinés à partir de HfO<sub>2</sub>, tel le La-HfO<sub>2</sub> [<sup>82</sup>] qui permet d'obtenir une densité de 13fF/μm<sup>2</sup> pour des couches de 14nm, avec toutefois un coefficient quadratique élevé (α=2700ppm/V<sup>2</sup>) mais une stabilité en température intéressante (TCC=123ppm/°C). Les composés formés à partir d'oxyde de tantale avec introduction de strontium (SrTaO) ou de bismuth (BiTaO) [<sup>89</sup>], ou encore de zirconium (TaZrO) [<sup>96</sup>] bénéficient de densité entre 7 et 12fF/μm<sup>2</sup>, avec des courants de fuite qui peuvent être intéressants (<5.10<sup>-6</sup>A/cm<sup>2</sup>). Le mélange de Strontium ou de Bismuth avec de l'oxyde de tantale permet de doubler la densité par rapport au Ta<sub>2</sub>O<sub>5</sub> seul tout en maintenant des coefficients en linéarité en tension et des courants de fuite du même ordre.

Des mélanges à base de Baryum et Samarium ont également été étudiés. Nous avons précédemment évoqué la problématique liée à la gravure des matériaux Pérovskite dans la filière technologique considérée. Ainsi, bien que des performances intéressantes en terme de linéarité puissent-être obtenues, la gravure de structures complexes telles BaSm<sub>2</sub>Ti<sub>4</sub>O<sub>12</sub> [<sup>86</sup>], Ba<sub>2</sub>Ti<sub>9</sub>O<sub>20</sub> [<sup>85</sup>] (qui sont par ailleurs cristallisés à 900°C), ou encore Sm<sub>2</sub>TiO<sub>7</sub> [<sup>87</sup>] et BaTi<sub>4</sub>O<sub>9</sub> [<sup>84</sup>] reste problématique pour une intégration dans la filière CMOS.

Un mélange à base de titane non cité dans le tableau qui utilise de l'oxyde de silicium et de l'oxyde de titane est réalisé par PVD [<sup>88</sup>] à partir d'une cible de TiO<sub>2</sub>/SiO<sub>2</sub> pour former du TiSiO<sub>4</sub>. L'utilisation de la combinaison de ces deux matériaux pourrait être une piste intéressante car ils sont tous deux déjà présents dans la filière technologique, ce qui peut faciliter l'intégration des capacités. Cependant, les performances obtenues en termes de linéarité et de fuites sont insuffisantes pour affirmer qu'un tel matériau peut, a priori, répondre aux spécifications. En effet, les auteurs ont montré que pour obtenir un coefficient quadratique inférieur à 100ppm/V<sup>2</sup>, la densité maximum pouvant être atteinte est de 3,5fF/um<sup>2</sup>, ce qui est grossièrement équivalent à ce qui peut être obtenu avec de l'alumine ou de l'oxyde de tantale. Enfin, le champ de claquage de ce matériau est évalué à 4MV/cm, ce qui est du même ordre de grandeur que l'oxyde d'hafnium.

Un matériau particulièrement intéressant pour notre étude et présenté dans le Tab. 3-5 est un mélange à base d'oxyde de Titane et de Tantale ( $\text{Ti}_x\text{Ta}_{(1-x)}\text{O}$ ). Le  $\text{TiO}_2$  est un très bon candidat pour la réalisation de condensateurs MIM à forte densité car il bénéficie d'une permittivité pouvant aller jusqu'à 80 [91]. Cependant, celui-ci cristallise à 400°C et présente alors des courants de fuite importants. L'introduction du TaO dans la matrice de TiO permet d'empêcher sa cristallisation et d'optimiser ses performances en termes de fuites et linéarité. Le  $\text{Ti}_x\text{Ta}_{(1-x)}\text{O}$  présente ainsi des propriétés intermédiaires entre l'oxyde de titane et de tantale et tire avantage de la forte permittivité de l'oxyde de titane avec des caractéristiques en courants de fuites optimisées par l'introduction de l'oxyde de tantale. Une densité de  $14\text{fF}/\mu\text{m}^2$  pour 28nm est reportée et des courants de fuite de  $10^{-6}\text{A}/\text{cm}^2$  à 5V sont obtenus. La densité présentée et les courants de fuite répondent ainsi aux objectifs de performances et l'épaisseur de diélectrique considérée (28nm) est conforme aux contraintes d'intégration fixées. De plus, le  $\text{Ti}_x\text{Ta}_{(1-x)}\text{O}$  est déposé par voie physique à 450°C, soit par une méthode similaire à celle utilisée dans notre étude. De plus, les dépôts sont effectués à des températures cohérentes pour une intégration dans le BEOL de la filière CMOS-0.5 $\mu$  [92,93,94,95]. L'utilisation d'électrodes en Nitrure de Tantale (TaN) et Aluminium (Al) a par ailleurs été démontrée, sachant qu'elles sont toutes deux compatibles pour la réalisation de MIM dans la filière technologique CMOS.

Les coefficients de linéarité en tension et température du  $\text{Ti}_x\text{Ta}_{(1-x)}\text{O}$  sont respectivement de l'ordre de 700ppm/V<sup>2</sup> et 500ppm/°C, et font de cette combinaison le meilleur compromis entre stabilité, densité et courants de fuite par rapport aux autres matériaux High- $\kappa$  et combinaisons reportées. Enfin, l'oxyde de titane et de tantale bénéficie d'un champ de claquage de 5MV/cm, soit 14V pour 28nm, ce qui correspond encore une fois aux objectifs fixés, sachant que les tensions de fonctionnement en technologie CMOS 0.5 $\mu\text{m}$  peuvent atteindre 12V, et qu'une tension de claquage minimale de 15V est requise.

## 2.4 Empilement de matériaux diélectriques

La dernière famille de diélectriques utilisés pour améliorer les performances des condensateurs intégrés comprend les structures MIM qui utilisent un empilement de plusieurs matériaux afin de combiner leurs propriétés dans le but d'optimiser les performances globales de la couche effective résultante.

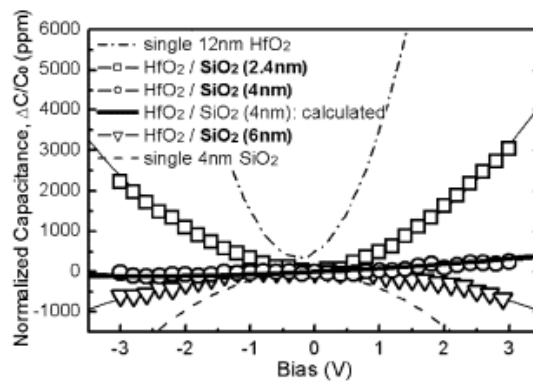
Dans de nombreuses études, nous retrouvons l'alumine au cœur des empilements tels  $\text{Si}_3\text{N}_4/\text{Al}_2\text{O}_3$  [48],  $\text{Ta}_2\text{O}_5/\text{Al}_2\text{O}_3$  [48,99],  $\text{HfO}_2/\text{Al}_2\text{O}_3$  [100-101, 59, 66, 102],  $\text{HfTiO}/\text{Al}_2\text{O}_3$  [83],  $\text{Nb}_2\text{O}_5/\text{Al}_2\text{O}_3$  [74],  $\text{ZrO}_2/\text{Al}_2\text{O}_3$  [103], et  $\text{Al}_2\text{O}_3/\text{Y}_2\text{O}_3$  [104]. En effet, l'alumine est un matériau intéressant à utiliser dans des structures multicouches car il est doté d'un grand gap énergétique (8,9eV) [83]. Son utilisation comme couche intermédiaire permet ainsi de réduire les courants de fuite en le plaçant entre les électrodes et un matériau High- $\kappa$ .

Les empilements peuvent être effectués à partir de deux couches minces diélectriques distinctes superposées, ou encore à partir d'un nombre de couches plus élevé afin de réaliser des structures en sandwich, ou encore laminées (c'est à dire des empilements d'un nombre de couches supérieures à 3 avec deux ou plusieurs matériaux alternés). Ce dernier cas nécessite l'utilisation de couches très fines (<5nm) pour que l'épaisseur de l'empilement reste limitée [98,100,59]. Les études menées sur ces différents empilements mettent en évidence la possibilité de contrôler les paramètres électriques de la capacité MIM ainsi formée. L'utilisation de



l'alumine permet de réduire les courants de fuite et d'améliorer conjointement les coefficients de linéarité. Cependant, l'ajout d'une couche de faible permittivité a pour effet de réduire la permittivité effective de l'empilement et donc la densité surfacique du condensateur. La recherche d'un point de fonctionnement optimal est effectuée pour permettre d'atteindre le meilleur compromis entre la densité, la linéarité et les fuites. Toutefois, les empilements cités n'ont pas, à notre connaissance, des caractéristiques électriques nécessairement supérieures à celles des diélectriques High- $\kappa$  seuls, ou à celles de capacités formées par des combinaisons de matériaux. Aussi, nous nous attacherons à présenter, par la suite, avec plus de détails les empilements, à notre sens, les plus prometteurs.

Une approche originale consiste à empiler des diélectriques aux coefficients quadratiques de signes opposés afin de compenser les non linéarités des diélectriques High- $\kappa$ . Cette démarche a été testée et validée pour du  $\text{HfO}_2$  [105], ou du  $\text{SrTiO}_3$  [106]. Des structures de  $\text{HfO}_2/\text{SiO}_2$  ont été réalisées [105], tirant avantage du fait que le coefficient quadratique du  $\text{SiO}_2$  soit négatif, et compensant ainsi les non linéarités du  $\text{HfO}_2$  comme l'illustre la figure suivante (Fig. 3-1).

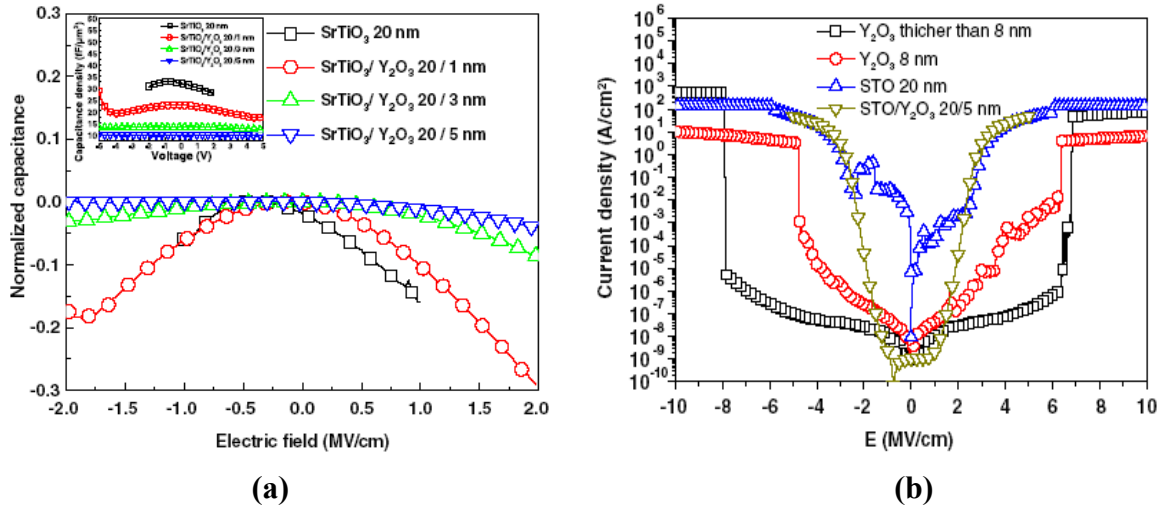


**Fig. 3-1- Non linéarités en tension du  $\text{HfO}_2$ , du  $\text{SiO}_2$  et de l'empilement résultant**

Sur ce graphe, nous observons que le coefficient de la parabole résultant de la variation de la capacité de  $\text{HfO}_2$  avec la tension est positif, alors que le coefficient relatif au  $\text{SiO}_2$  est négatif. Plus l'épaisseur d'oxyde de silicium est grande, plus les paraboles de la structure bicouches s'aplatissent. Aussi, une épaisseur importante de  $\text{SiO}_2$  stabilise la dépendance de la structure à la tension mais viendra dégrader la densité. Le condensateur MIM est réalisé entre des électrodes de TaN, où 12 nm d'oxyde d'hafnium et 4nm d'oxyde de silicium sont déposés. Pour une densité de  $6\text{fF}/\mu\text{m}^2$ , un coefficient quadratique  $\alpha$  de  $14\text{ppm}/\text{V}^2$  à  $100\text{kHz}$  a été déterminé et un TCC de  $54\text{ppm}/^\circ\text{C}$ . Des courants de fuite de  $10^{-8}\text{A}/\text{cm}^2$  à 4V pour 4nm de  $\text{SiO}_2$  mesurés à  $125^\circ\text{C}$  peuvent être notés. Enfin, la tension de claquage pour une densité de  $6\text{fF}/\mu\text{m}^2$  est de 4V, ce qui est inférieur à la valeur fixée par le cahier des charges.

Une démarche similaire a été adoptée pour des empilements réalisés avec du  $\text{SrTiO}_3$  et du  $\text{Y}_2\text{O}_3$  [106]. Ces deux matériaux ont été choisis car le  $\text{SrTiO}_3$  dispose d'un coefficient quadratique négatif et opposé à celui de l' $\text{Y}_2\text{O}_3$ . De plus, l'oxyde d'yttrium a une permittivité de l'ordre de 10-18, c'est-à-dire, supérieure à celle du  $\text{SiO}_2$  et il en est de même pour la permittivité du  $\text{SrTiO}_3$ , supérieure à celle du  $\text{HfO}_2$ . L'analyse de cet empilement a été effectuée pour plusieurs épaisseurs qui ont été comparées à un condensateur MIM composé uniquement de 20nm de  $\text{SrTiO}_3$ . La structure est réalisée sur  $\text{Pt}/\text{TiO}_2/\text{SiO}_2/\text{Si}$  et les dépôts de  $\text{SrTiO}_3$  et  $\text{Y}_2\text{O}_3$  ont été effectués à  $500^\circ\text{C}$ . Globalement, il a été observé que l'augmentation de l'épaisseur d' $\text{Y}_2\text{O}_3$  permet d'améliorer la linéarité tout en maintenant une densité

acceptable ( $10\text{fF}/\mu\text{m}^2$ ). Les figures suivantes mettent en évidence la linéarité en tension de la structure (Fig. 3-2a) et les fuites pour différentes épaisseurs d' $\text{Y}_2\text{O}_3$  (Fig. 3-2b).



**Fig. 3-2: Non linéarités en tension (a) et courant de fuite (b) des structures empilées  $\text{SrTiO}_3/\text{Y}_2\text{O}_3$**

Plus l'épaisseur d' $\text{Y}_2\text{O}_3$  est grande, plus le condensateur MIM est stable et moins les fuites sont importantes. Les courants de fuite pour 20nm de  $\text{SrTiO}_3$  et une couche de 8nm de  $\text{Y}_2\text{O}_3$  sont de l'ordre de  $10^{-3}\text{A}/\text{cm}^2$  à 5MV/cm, soit 14V, qui est aussi la tension de claquage de la structure. Ce dernier résultat est prometteur sachant que le  $\text{SrTiO}_3$  seul claque à 1MV/cm, soit 2V pour 20nm. L'influence de l'épaisseur d'oxyde d'yttrium sur la densité de l'empilement est illustrée par le tableau suivant (Tab. 3-6) pour des épaisseurs de  $\text{Y}_2\text{O}_3$  de 1 à 5nm :

Epaisseur $\text{Y}_2\text{O}_3$ (nm)	C ( $\text{fF}/\mu\text{m}^2$ )	$\alpha$ ( $\text{ppm}/\text{V}^2$ )
0	32	-26650
1	22.5	-16200
3	13	-2980
5	10	-750

**Tab. 3-6— Influence de l'épaisseur d'oxyde d'yttrium sur la densité et le coefficient quadratique des capacités  $\text{SrTiO}_3/\text{Y}_2\text{O}_3$**

Globalement, nous pouvons dire que l'optimisation réalisée sur la stabilité permet de réduire le coefficient quadratique d'un facteur 35 pour une réduction de la densité d'un facteur 3 seulement.

Un autre empilement intéressant qui utilise des diélectriques aux coefficients quadratiques opposés est le  $\text{Sm}_2\text{O}_3$ -6nm/ $\text{SiO}_2$ -4nm [107]. Le contrôle du coefficient de linéarité en tension par les épaisseurs est cette fois encore démontré et optimisé pour atteindre  $-50\text{ppm}/\text{V}^2$  à une densité de  $7.3\text{fF}/\mu\text{m}^2$ , avec des courants de fuite de l'ordre de  $10^{-7}\text{A}/\text{cm}^2$  à 3.3V. Ces résultats font également de cet empilement une solution prometteuse pour la réalisation de condensateurs MIM. Toutefois, des difficultés d'intégration et d'éventuels verrous relatifs à la gravure de ces structures sont à prévoir en raison de la complexité des matériaux empilés.

D'autres types d'empilements ont été testés, tels que des structures MIM Ta/ $\text{TiO}_2$ / $\text{Ta}_2\text{O}_5$ / $\text{Ta}/\text{Ti}$  [108] qui sont déposées par PVD et recuites à  $700^\circ\text{C}$  (température trop élevée pour une intégration dans le BEOL). Ensuite, des empilements de  $\text{Nb}_2\text{O}_5$  (8nm et 14nm)/ $\text{HfO}_2$  (3nm)/ $\text{Al}_2\text{O}_3$  (1nm) sont proposés [74] où les dépôts sont effectués par PVD. La couche de

HfO<sub>2</sub> est une couche de barrière pour réduire les fuites, et la couche d'Al<sub>2</sub>O<sub>3</sub> est une couche de contact avec les électrodes. La couche d'Al<sub>2</sub>O<sub>3</sub> joue aussi un rôle dans la réduction des fuites, et influe sur la densité de la structure. C'est pourquoi, il est important que l'épaisseur d'alumine soit très faible. Les densités obtenues sont de 17,6fF/um<sup>2</sup> à 8nm-NbO<sub>2</sub> et 15,4fF/um<sup>2</sup> à 14nm-NbO<sub>2</sub> avec des tensions de claquage relativement élevées, qui sont respectivement de 7V (8.7MV/cm) et de 9V (6.4MV/cm).

Des empilements autour de l'oxyde de zirconium tels que ZrO<sub>2</sub>/Al<sub>2</sub>O<sub>3</sub>/ZrO<sub>2</sub> ont également été étudiés [<sup>109</sup>], où l'objectif est de réaliser des condensateurs MIM intégrés pour des cellules DRAM. Bien qu'une densité de 28fF/um<sup>2</sup> soit obtenue, la formation de capacités pour des cellules mémoires induit des objectifs un peu différents de ceux des capacités analogiques. La différence provient d'une optimisation prioritaire des courants de fuite (démontrés ici inférieurs à 10<sup>-11</sup> à 3V), par rapport à la stabilité en tension ou température. L'empilement TiO<sub>2</sub>/ZrO<sub>2</sub> [<sup>110</sup>] tire avantage de la forte permittivité de l'oxyde de titane, ce qui permet d'atteindre une densité de 38fF/um<sup>2</sup> pour une épaisseur totale de diélectrique inférieure à 10nm. Des courants de fuite de l'ordre de 8.10<sup>-8</sup> A/cm<sup>2</sup> à 1V et 125°C y sont, par ailleurs, mesurés. Enfin, pour ces derniers empilements, nous ne disposons pas d'informations sur les coefficients de linéarité et les tensions de claquages.

Par rapport à nos objectifs de performances, l'empilement le plus prometteur est celui associant SrTiO<sub>3</sub> et Y<sub>2</sub>O<sub>3</sub>. En effet, ses caractéristiques électriques intéressantes et en particulier son champ de claquage élevé sont conformes aux contraintes d'utilisation des circuits réalisés dans la filière CMOS 0.5µm. Cependant, la complexité des diélectriques utilisés est susceptible de poser des problèmes pour l'intégration de l'empilement dans le processus de fabrication. De plus, les températures considérées restent a priori trop élevées (500°C) pour un positionnement dans le BEOL (où les températures sont limitées à 400°C). Les autres empilements considérés, bien qu'ils puissent bénéficier de propriétés électriques intéressantes ne sont pas adaptés pour être intégrés dans une filière 0.5µm, et ce, principalement car ils présentent des champs de claquage encore trop faibles (<10V pour les épaisseurs citées).

Cet état de l'art sur les matériaux utilisés pour la réalisation de condensateurs MIM met en évidence la difficulté d'optimiser conjointement les propriétés antagonistes en termes de densité, courants de fuite, stabilité et champs de claquage. En effet, lorsque la densité du matériau est augmentée, les courants de fuite et les coefficients de stabilité sont généralement plus importants, et la tension de claquage plus faible. Les densités atteignables sur les diélectriques High-κ les plus communs sont limitées à 5fF/um<sup>2</sup>. Cette limite est fixée afin de garantir les performances des capacités MIM en terme de linéarité pour une utilisation dans des applications analogiques. Deux approches distinctes peuvent être utilisées pour augmenter cette densité, elles consistent à mélanger ou empiler plusieurs matériaux qui disposent chacun d'un atout sur l'un de ses paramètres électriques. Pour les empilements, l'ajout aux interfaces entre le diélectrique et les électrodes d'un matériau à grand gap d'énergie peut permettre d'optimiser les performances en termes de courants de fuite, qui sont par ailleurs, étroitement liées aux performances de linéarité. Le contrôle des caractéristiques s'effectue alors au travers des épaisseurs des différentes couches de matériaux, et ce, comme pour les empilements de matériaux disposant de coefficients de linéarité de signes opposés. Dans toutes ces approches, un compromis entre densité, linéarité et courants de fuite est toujours à considérer.

Parmi les différents matériaux, combinaisons et empilements présentés, nous retiendrons la combinaison d'oxyde de titane et de tantale ( $\text{Ti}_x\text{Ta}_y\text{O}$ ) comme étant le matériau qui semble le mieux répondre aux spécifications électriques visées pour les condensateurs intégrés. Celui-ci dispose de caractéristiques de linéarité, densité et courants de fuite proches des objectifs tout en présentant une tension de claquage particulièrement élevée. En effet, un champ de claquage de l'ordre de 5MV/cm a été démontré, ce qui est intermédiaire entre ceux du  $\text{Ta}_2\text{O}_5$  (6MV/cm) et  $\text{HfO}_2$  (4MV/cm), et est équivalent à celui de l'oxyde d'yttrium, avec toutefois, une constante diélectrique du  $\text{Ti}_x\text{Ta}_y\text{O}$  ( $\epsilon_r=45$ ) qui est supérieure à ces trois autres diélectriques.

### 3. Caractérisation et étude des propriétés électriques de condensateurs MOS (Métal Oxyde Semi-conducteur) à base d'oxyde de titane et de tantale.

Dans cette partie nous effectuons une analyse des propriétés électriques de l'oxyde de titane et de tantale ( $\text{Ti}_x\text{Ta}_{(1-x)}\text{O}$ ) par la caractérisation du diélectrique High- $\kappa$  à travers des capacités MOS. La structure MOS considérée est illustrée sur la figure suivante (Fig. 3-3) :

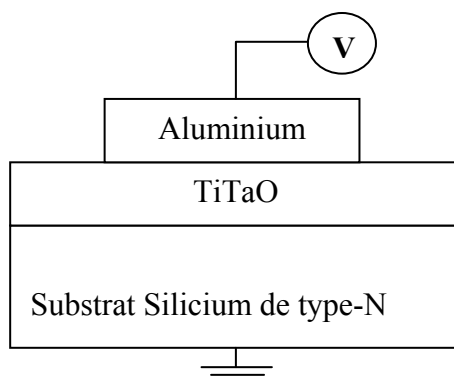


Fig. 3-3 – Schéma des capacités MOS réalisées avec du TiTaO

Les condensateurs MOS sont à la base de la caractérisation d'une filière technologique silicium. Ils constituent la première étape à valider avant la réalisation de transistors en raison de la grande sensibilité de leurs réponses électriques par rapport à la qualité du diélectrique en couches minces et des interfaces entre l'isolant et le silicium. De plus, les connaissances des phénomènes physiques mis en jeu dans ces structures en font un candidat idéal pour quantifier et juger des caractéristiques électriques du diélectrique autant pour ses propriétés volumiques qu'au niveau de son interface avec le silicium. Dans cette étude, la validation des propriétés du nouveau matériau diélectrique à travers des capacités MOS constitue ainsi la première étape avant le développement des capacités MIM à intégrer dans la filière technologique (BEOL). La simplicité de la structure et sa facilité de réalisation nous permet de caractériser électriquement le diélectrique sans avoir à l'introduire dans la filière CMOS. De cette manière, nous pouvons valider l'intérêt des propriétés de ce matériau avant d'entreprendre son intégration, qui nécessite un investissement non négligeable en termes de ressources, équipements et masques de fabrication.

La capacité équivalente d'une structure MOS est dépendante de la différence de tension entre l'électrode métallique supérieure et le substrat silicium. En effet, selon la polarité du champ

électrique appliqué au dispositif, la capacité équivalente varie en raison des phénomènes physiques propres au contact oxyde-silicium. Nous présentons dans cette partie une synthèse des régimes de fonctionnement d'une capacité MOS dans le cas de substrats de silicium dopés de type-n.

### 3.1 Capacité MOS idéale :

Une structure MOS peut-être considérée comme idéale si les conditions suivantes sont respectées [11] :

- Les travaux de sortie du métal et du silicium sont égaux ( $\Phi_m = \Phi_{sc}$ ), ce qui veut dire que les niveaux d'énergies des trois matériaux sont plats lorsque qu'aucune tension n'est appliquée à la structure.
- L'oxyde est considéré comme parfait, et aucune charge n'existe dans son volume ( $Q_m = Q_{ox} = 0$ ).
- L'interface Oxyde-Silicium est dépourvue de charges soit ( $Q_{it} = Q_f = 0$ )

Avec  $Q_m$  la quantité de charge sur l'électrode métallique,  $Q_{ox}$  la quantité de charge dans l'oxyde,  $Q_{it}$  la quantité de charge à l'interface Oxyde-Silicium.  $Q_f$  est la quantité de charge fixe dans le diélectrique à l'interface diélectrique silicium. La tension de grille  $V$  appliquée à la capacité est égale à la différence de tension dans le métal ( $V_m$ ) et le semi-conducteur ( $V_{sc}$ ) :

$$V = V_m - V_{sc} \quad (3-1)$$

En fonction de la tension  $V$  appliquée, les trois régimes de fonctionnement d'une capacité MOS se distinguent comme suit :

#### **V > 0 : Régime d'accumulation**

Lorsqu'une tension  $V$  positive est appliquée, le champ électrique est orienté du métal vers le silicium. Ainsi les électrons (porteurs majoritaires pour un substrat de type-n) sont attirés du silicium vers le métal. Un phénomène d'accumulation de charges à l'interface silicium-oxyde de quantité égale mais de signe opposé aux charges sur l'électrode métallique se crée ( $Q_m + Q_{sc} = 0$ ) afin de satisfaire les conditions d'équilibre électronique de la structure. Ainsi la capacité MOS se résume alors à la capacité d'oxyde :  $C \text{ (F.cm}^{-2}\text{)} = C_{ox} = \epsilon_0 \epsilon_{ox} / d$ ,  $d$  et  $\epsilon_{ox}$  étant respectivement l'épaisseur et la permittivité relative de l'oxyde.

#### **V < 0 : Régime de déplétion**

Lorsqu'une tension négative est appliquée, le champ électrique est orienté du silicium vers l'électrode de métal. Les électrons sont attirés vers le silicium et une zone de charge d'espace dépourvue de porteurs majoritaires se crée dans le silicium à l'interface oxyde-silicium. En augmentant la tension négative appliquée, l'accumulation des électrons sur l'électrode métallique se compense naturellement par les charges positives au niveau de l'interface oxyde-silicium afin de maintenir l'équilibre. Il se produit ainsi une zone de charge d'espace (ou de déplétion) dont la profondeur augmente avec  $V$ . La capacité équivalente  $C$  de la structure MOS s'obtient selon :

$$1/C = 1/C_{ox} + 1/C_s \quad (3-2)$$

$$\text{avec} \quad C_s = C_{dep} = \epsilon_0 \epsilon_s / x_d \quad (3-3)$$

Où  $x_d$  et  $\epsilon_s$  sont respectivement l'épaisseur de la zone déplétée et la permittivité relative du silicium.

### **V<0 : Régime d'inversion**

Pour des valeurs de tensions de grille suffisamment négatives, la courbure du diagramme de bandes énergétiques du semi-conducteur montre qu'il apparaît des charges d'inversion positives (trous) en plus de la zone de charge d'espace. Ces charges d'inversion se situent très proche de l'interface avec le diélectrique (1 à 10 nm), et la zone de charge d'espace est plus étendue que dans le cas du régime de déplétion. Lorsque la densité de charges d'inversion devient supérieure à la concentration de donneurs  $N_d$  du silicium, on considère que le régime d'inversion est atteint. Dans ce cas, toute variation de la tension sur la grille se traduit par une variation de la charge d'inversion, et la profondeur de la zone désertée est stabilisée à  $x_{dm}$  de telle sorte que  $C_s$  atteint sa valeur minimum.

Les trois régimes de fonctionnement de la structure MOS se distinguent sur la réponse capacité tension ( $C-V$ ) suivante (Fig. 3-4) du composant en HF (typiquement à 1 MHz):

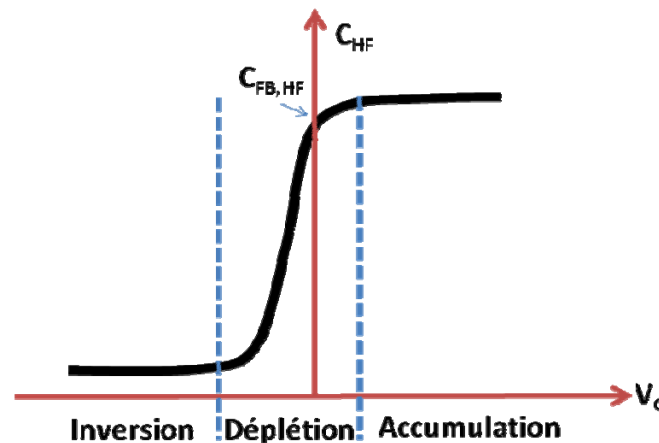


Fig. 3-4 - Régime de fonctionnement d'une structure MOS idéale en HF

La capacité de bande plate ( $C_{FB}$ ) d'une capacité MOS, illustrée sur la Fig. 3-4, est définie à partir de la tension de bande plate, c'est-à-dire la tension pour laquelle le potentiel à la surface du silicium (c'est-à-dire le potentiel électrique à l'interface oxyde-silicium) est nul. Ainsi, dans une structure idéale, la tension de bande plate est considérée comme nulle.

### **3.2 Capacité MOS réelle**

En pratique, dans une capacité MOS, les travaux de sortie du métal et du silicium ne sont pas égaux ( $\Phi_m \neq \Phi_{sc}$ ), et il existe des charges dans le volume du diélectrique et aux interfaces. De façon générale, les charges propres à toute capacité MOS réelle sont classifiées de la façon suivante [112]:

$Q_{ot}$  : quantité de charges piégées dans le volume du diélectrique.

$Q_m$  : charges mobiles ioniques dues aux impuretés présentes dans le volume d'oxyde susceptibles de se déplacer lorsqu'un stress thermique ou électrique est appliqué à la structure.

$Q_f$  : charges fixes dans l'oxyde ayant pour origine des défauts induits lors de la croissance du diélectrique, celles-ci sont localisées à proximité (1 à 3nm) de l'interface oxyde-silicium.

$Q_{it}$  : charges piégées à l'interface oxyde-silicium, dans le semi-conducteur.

Toutes ces charges ont pour effet de modifier la réponse  $C-V$  par rapport à la structure idéale, notamment par une translation de la tension de bande plate.

### Influence de la différence des travaux d'extraction métal-silicium

La différence de potentiel induite par différents travaux d'extraction entre métal et silicium produit naturellement (sans application d'une tension sur la grille), un champ électrique dans le diélectrique et à la surface du silicium. Ce champ électrique nécessite d'être compensé par l'application d'une différence de potentiel  $V_{FB1}$  afin d'annuler le potentiel de surface  $\psi_s$ . Cette tension se définit par :

$$V_{FB1} = \frac{\Phi_M - \Phi_{SC}}{q} \quad (3-4)$$

La différence des travaux d'extraction a pour effet de traduire la caractéristique  $C-V$  d'une tension  $V_{FB1}$ .

### Influence des charges distribuées dans l'oxyde.

Les charges distribuées dans le volume de l'oxyde (charges piégées ou ions mobiles) peuvent être représentées par une densité volumique de charge  $\rho(x)$ , variable selon la position  $x$  dans le diélectrique. En considérant l'origine de l'axe  $x$  à l'interface métal-oxyde, les charges comprises dans la couche définie par  $x+dx$  induisent une discontinuité du champ électrique  $\delta E_{ox}$  dans l'oxyde qui s'exprime par :

$$\delta E_{ox} = \frac{\rho(x)dx}{\epsilon_{ox}\epsilon_0} \quad (3-5)$$

En raison de la présence de ces charges, l'application d'une tension  $V_{FB2}$  est nécessaire pour respecter la condition de bandes plates ( $\psi_s=0$ ), cette tension s'exprime par :

$$\delta V_{FB2} = - \frac{\rho(x)xdx}{\epsilon_{ox}\epsilon_0} \quad (3-6)$$

$$\text{Soit} \quad V_{FB2} = - \int_0^d \frac{\rho(x)xdx}{\epsilon_{ox}\epsilon_0} \quad (3-7)$$

En sommant toutes les couches  $x+dx$  sur l'épaisseur de l'épaisseur de l'oxyde  $d$ .

L'influence des charges distribuées dans l'oxyde a aussi pour effet de traduire la caractéristique  $C-V$  par rapport au cas idéal, cette fois d'une tension  $V_{FB2}$ . L'effet de chaque couche de charge dépend de sa distance à l'interface oxyde-silicium, et les charges à l'interface métal-oxyde n'auront aucune influence sur la tension de bande plate.

### Influence des charges fixes dans l'oxyde

Les charges fixe d'oxydes sont localisées dans le diélectrique à proximité de l'interface oxyde-silicium. Ces charges induisent une translation de la caractéristique  $C-V$  selon l'équation (3-7), avec toutefois  $x=t_{ox}$ . Les charges fixes d'oxyde produisent une translation de la réponse  $C-V$  d'une tension  $V_{FB3}$  exprimée par :

$$V_{FB3} = \frac{Q_f d}{\epsilon_{ox} \epsilon_0} \quad (3-8)$$

### Influence des charges d'interface

L'interruption du réseau cristallin du silicium à l'interface avec l'oxyde induit des états électroniques (ou des pièges de charges) dont le niveau d'énergie est distribué dans la bande interdite du silicium. Ainsi, toute variation de la quantité de charge sur l'électrode va générer une variation de ces états d'interfaces, et également du potentiel de surface du silicium. La variation de la densité de charges piégées à l'interface induit une translation de la caractéristique  $C-V$  de la structure, mais modifie également la pente de la courbe dans la zone de déplétion, sans pour autant modifier les valeurs de capacités en inversion ou accumulation. Pour que les conditions de bandes plates soient respectées, les charges piégées à l'interface nécessitent l'application d'une tension  $V_{FB4}$ :

$$V_{FB4} = -\frac{Q_{it(FB)}d}{\epsilon_{ox} \epsilon_0} \quad (3-9)$$

La courbe suivante (Fig. 3-5) résume les contributions des différentes charges présentes aux interfaces et dans le volume du diélectrique sur la tension de bande plate de la capacité MOS.

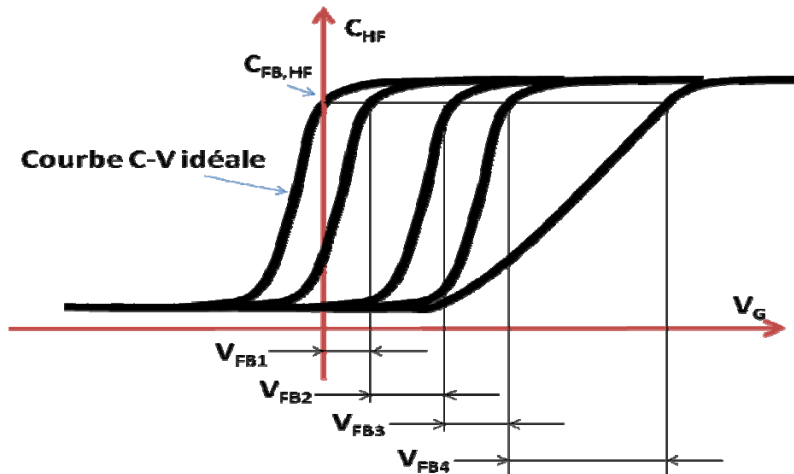


Fig. 3-5 – Influence des différents types de charges présentes dans la structure MOS sur la réponse  $C-V$

En pratique, lors d'une mesure  $C-V$ , la tension de bande plate mesurée s'exprime par :

$$V_{FB, meas} = V_{FB1} + V_{FB2} + V_{FB3} + V_{FB4} \quad (3-10)$$

L'entité  $V_{FB1}$  peut être calculée théoriquement sous réserve de connaître les travaux de sortie du métal et du silicium ( $\Phi_{ms}$ ). La distinction entre les entités  $V_{FB2}$  et  $V_{FB3}$  s'avère être impossible. Aussi, nous lierons par la suite ces entités par l'introduction d'une charge effective d'oxyde, qui induit une translation égale  $V_{FB2} + V_{FB3}$ . Enfin, la tension  $V_{FB4}$  peut être évaluée numériquement à partir de la réponse  $C-V$  mesurée en haute fréquence (1MHz dans notre cas) par la méthode de Terman [113].



### 3.3 Méthode de Terman

Cette méthode permet d'estimer numériquement la densité d'états d'interface  $D_{it}$  se trouvant dans la bande interdite du silicium. Lorsque une tension est appliquée aux bornes de la capacité MOS, les pièges (ou états électroniques) à l'interface oxyde-silicium se vident ou se remplissent. Cet échange de charges produit un aplatissement de la caractéristique  $C-V$ , comme cela est illustré sur la Fig. 3-5. La méthode de Terman permet d'estimer la densité d'états d'interfaces à partir de la variation  $\Delta V$  induite par la modification de la pente de la réponse  $C-V$  en régime de déplétion lorsque l'on se place à une valeur de capacité donnée par rapport au cas idéal :

$$\text{Pour } C_{\text{mesuré}} = C_{\text{idéal}} \quad \Delta V_G = (V_G)_{\text{mesuré}} - (V_G)_{\text{idéal}} \quad (3-11)$$

En générant par simulation la réponse  $C-V$  idéale de la structure, la différence  $\Delta V$  peut-être déduite pour chaque valeur de capacité, sachant qu'elle s'exprime comme :

$$\Delta V_G = \frac{Q_{it} + Q_f}{C_{ox}} + \frac{\phi_{MS}}{q} \quad (3-12)$$

Avec  $\Phi_{ms}$  la différence des travaux de sortie métal-silicium,  $C_{ox}$  la capacité d'oxyde en régime d'accumulation et  $Q_f$  la quantité de charges fixes présentes dans l'oxyde.

Sachant que le potentiel de surface dépend de la tension de grille, la dérivée de  $\Delta V_G(\psi_s)$  s'exprime comme :

$$\frac{1}{q} C_{ox} \frac{d(\Delta V_G(\psi_s))}{d\psi_s} = D_{it} = \frac{1}{q} \frac{dQ_{it}}{d\psi_s} \quad (3-13)$$

Cette approche permet de s'affranchir des paramètres  $Q_f$  et  $\Phi_{ms}$  pour le calcul. Ainsi, en insérant la différence  $\Delta V_G(\psi_s)$  calculée à partir des mesures, il est alors possible de déduire  $D_{it}$ . Cette méthode nécessite toutefois le calcul de la caractéristique  $C-V$  théorique de la structure, et du potentiel de surface en fonction de la tension appliquée [113], [111]. Le calcul de ces éléments n'est pas immédiat et il est nécessaire d'avoir recours à des méthodes de calcul numérique. Nous utiliserons dans notre cas les codes Matlab développés par D. Goghero [114] pour déduire le potentiel à la surface du silicium, ainsi que pour générer la caractéristique  $C-V$  idéale.

## 4. Réalisation des capacités MOS à base d'oxyde de titane et de tantale

La structure des capacités MOS réalisées pour notre étude est représentée sur la Fig. 3-3, où l'oxyde de titane et de tantale (TiTaO) est déposé sur un substrat silicium de type-n qui dispose d'une résistivité comprise entre 1 et 6  $\Omega \cdot \text{cm}$ . Les dépôts de TiTaO sont effectués par pulvérisation RF à 350°C à partir d'une cible d'oxyde de titane et de tantale de composition  $\text{Ti}_{0.6}\text{Ta}_{0.4}\text{O}$  dans une atmosphère d'argon et d'oxygène. La densité de puissance utilisée pour les dépôts est comprise entre 2.5 et 4.5  $\text{W} \cdot \text{cm}^{-2}$ , et la gamme de pression est de  $4.5 \cdot 10^{-4}$  à  $10^{-3}$  mbar. Le pourcentage du débit d'oxygène est de 20% par rapport au débit total. Les électrodes supérieures en aluminium sont déposées par évaporation à travers un masque physique pour former des plots de surface  $2.5 \cdot 10^{-4} \text{cm}^2$  et d'épaisseur 500nm. La composition chimique des couches de TiTaO est déterminée par EDS (Energy Dispersive Spectroscopy).

L'homogénéité des dépôts peut-être constatée à partir de la Fig. 3-6a, qui représente une image obtenue par Microscopie Electronique à Balayage (MEB) en coupe du TiTaO déposé sur substrat silicium pour une composition de  $\text{Ti}_{0,28}\text{Ta}_{0,19}\text{O}$ , et une épaisseur de 500nm. La Fig. 3-6b représente une vue de la surface des plots d'aluminium déposés sur le TiTaO :

Les capacités MOS Al/ $\text{Ti}_{0,28}\text{Ta}_{0,19}\text{O}$ /Si ont été réalisées pour des épaisseurs de 25nm à 320nm. Les caractérisations sont effectuées à partir d'un pico-ampèremètre HP4145 pour la mesure des caractéristiques  $I-V$ , et les mesures  $C-V$  à partir d'un analyseur d'impédances HP4194. Les techniques d'analyses considérées dans cette partie sont orientées autour de l'interprétation des caractéristiques capacité-tension mesurées à 1MHz et courant-tension mesurées en DC.

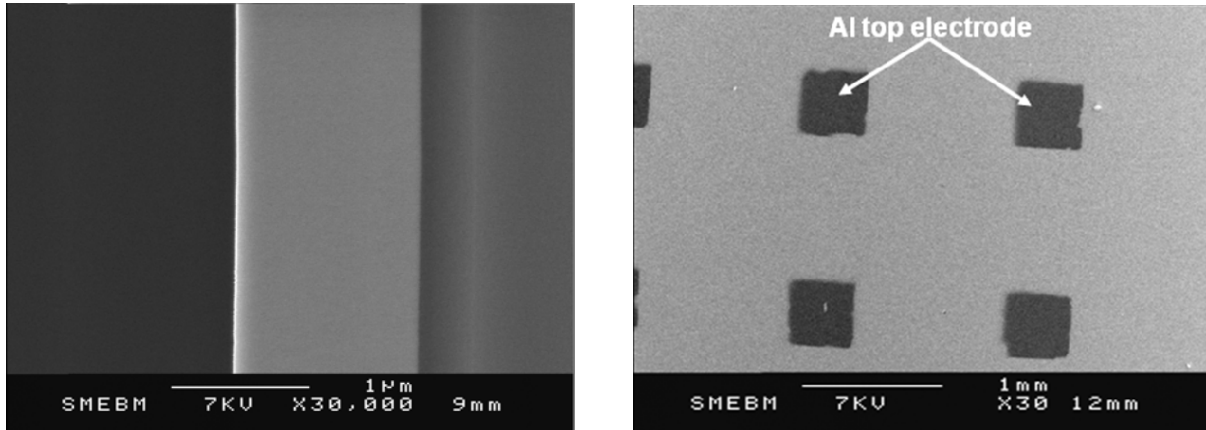
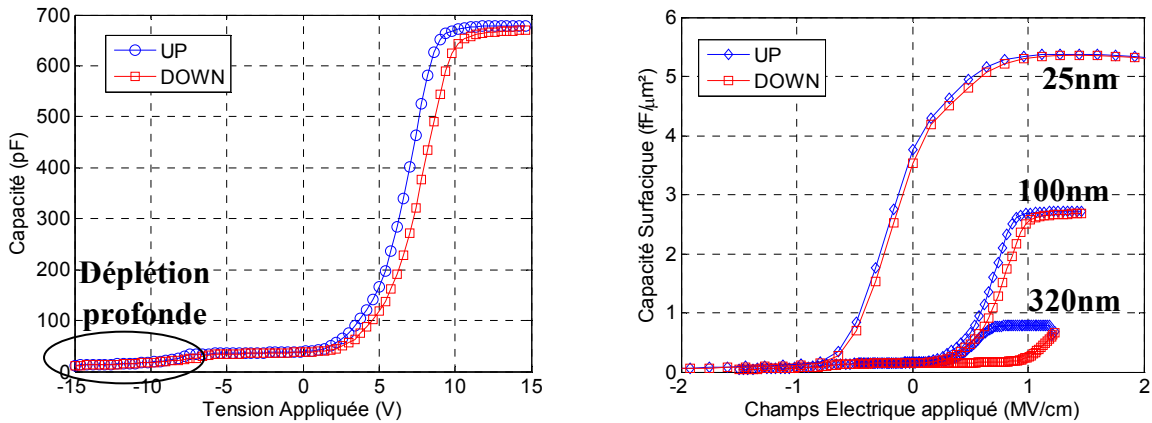


Fig. 3-6 - Image MEB (a) Vue en coupe d'une couche de  $\text{Ti}_{0,28}\text{Ta}_{0,19}\text{O}$  de 500nm et (b) Vue de la surface des plots d'aluminium déposés par évaporation

#### 4.1 Caractérisation Capacité-Tension ( $C-V$ )

La caractérisation  $C-V$  des capacités MOS permet d'extraire des informations sur le diélectrique et les interfaces oxyde/silicium. La figure suivante (Fig. 3-7a) illustre la réponse d'une mesure  $C-V$  effectuée pour une capacité MOS formée à partir d'une épaisseur de 100nm de TiTaO. La Fig. 3-7b représente la réponse  $C-V$  pour des épaisseurs de 320, 100 et 25nm. Ces réponses en capacités sont mesurées par application d'une rampe en tension croissante (UP) ou décroissante (DOWN) sur laquelle un signal à 1MHz de faible amplitude est superposé.

Les trois régimes de fonctionnement de la capacité peuvent être remarqués, ainsi qu'un régime de déplétion profonde observé pour la capacité formée à partir d'une couche de TiTaO de 100nm lorsque la tension négative appliquée devient inférieure à 7V. La déplétion profonde est généralement observée lorsqu'une rampe décroissante (pour un substrat de type-n) trop rapide est appliquée à la structure. Les charges d'inversion n'ont alors pas le temps de se créer. La profondeur de la zone déplétée à l'interface oxyde-silicium augmente et une réduction de la capacité peut être observée. Il est aisé de s'affranchir du régime de déplétion profonde lors de l'application d'une rampe positive, en maintenant une tension fixe pendant une durée donnée (~30sec à 1mn) à la tension de départ de la rampe (ici à -15 V).

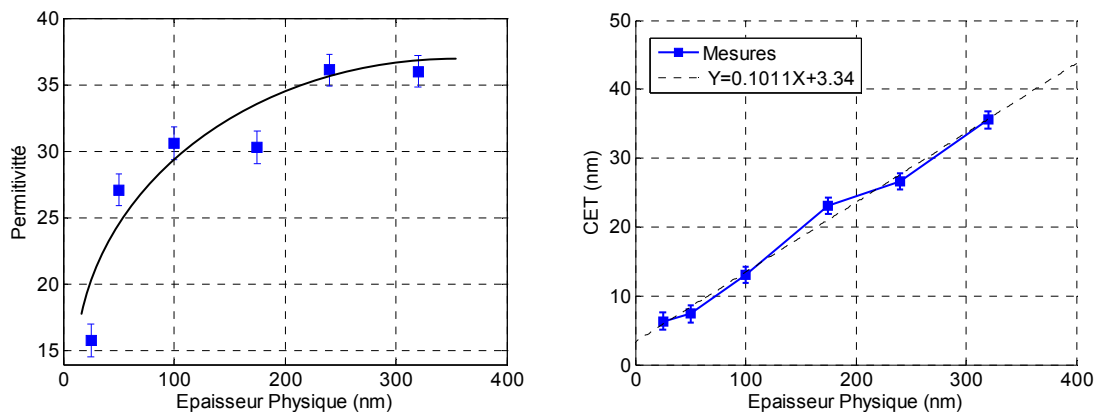


**Fig. 3-7 - Caractéristiques capacité-tension mesurées à 1MHz pour des épaisseurs de (a) 100nm de TiTaO et (b) 320, 100 et 25nm**

Nous pouvons remarquer une réduction du cycle d'hystérésis entre les mesures UP et DOWN lorsque que l'épaisseur de TiTaO diminue de 320 à 25nm. Le phénomène d'hystérésis résulte de la présence de charges piégées dans le diélectrique et/ou aux interfaces. Aussi, le sens de l'hystérésis (dans le sens des aiguilles d'une montre) met en évidence l'injection de charges qui proviennent du semi-conducteur dans le diélectrique, et qui sont piégées dans la couche d'oxyde au cours de la mesure  $C-V$ . La présence d'un cycle d'hystérésis est directement liée à la qualité du diélectrique.

#### 4.1.1 Extraction de la permittivité

Comme nous l'avons vu précédemment, la capacité en régime d'accumulation correspond à la capacité produite par la couche d'oxyde uniquement, le substrat silicium jouant le rôle d'électrode inférieure. Ainsi, à partir de la valeur de la capacité dans ce régime et connaissant les épaisseurs de diélectrique, la permittivité en fonction de l'épaisseur peut être extraite, comme cela est représenté pour des épaisseurs de 25 à 320 nm sur la Fig. 3-8a :



**Fig. 3-8 - (a) Dépendance de la permittivité effective du diélectrique de la structure MOS en régime d'accumulation et (b) Epaisseur de capacité équivalente en fonction de l'épaisseur physique de TiTaO**

Il peut-être observé sur cette courbe une dépendance importante de la permittivité à l'épaisseur de TiTaO, avec toutefois une saturation de la valeur de la constante diélectrique lorsque les épaisseurs deviennent importantes (>200nm). Cette dépendance à l'épaisseur peut

avoir pour origine la présence d'une interface d'oxyde de silicium natif, étant donné qu'aucun nettoyage de la surface du silicium n'a été entrepris avant le dépôt du TiTaO. Pour s'en assurer, considérons l'épaisseur de capacité équivalente (CET) de la structure MOS considérée, qui est définie par :

$$CET = \frac{\epsilon_0 \epsilon_{SiO_2} S}{C_{TiTaO}} = t_{TiTaO} \frac{\epsilon_{SiO_2}}{\epsilon_{TiTaO}} \quad (3-14)$$

L'épaisseur de capacité équivalente est l'épaisseur d'oxyde de silicium nécessaire pour obtenir une capacité égale à celle mesurée sur la même surface.

La Fig. 3-8b représente l'épaisseur de capacité équivalente en fonction de l'épaisseur physique de TiTaO mesurée par Microscopie électronique à Balayage. Par interpolation linéaire de la caractéristique, la permittivité intrinsèque de la couche de TiTaO est extraite à partir de la pente de la courbe qui est égale au ratio  $\epsilon_{SiO_2}/\epsilon_{TiTaO}$ . Une permittivité relative  $\epsilon_{rTiTaO}=40$  est obtenue pour le  $Ti_{0,28}Ta_{0,19}O$ , ce qui est cohérent avec les résultats antérieurs obtenus [94]. Lorsque l'épaisseur physique du TiTaO tend vers zéro, la CET résultante est égale à l'épaisseur d'oxyde natif présente à l'interface TiTaO-Si de la structure MOS. Nous déduisons ainsi une épaisseur d'oxyde natif à l'interface TiTaO-Si d'épaisseur 3nm. Ce résultat est confirmé par une analyse effectuée par Microscopie Electronique à Transmission (TEM), où une épaisseur de 3nm est mesurée, comme cela est illustré sur la Fig. 3-9.

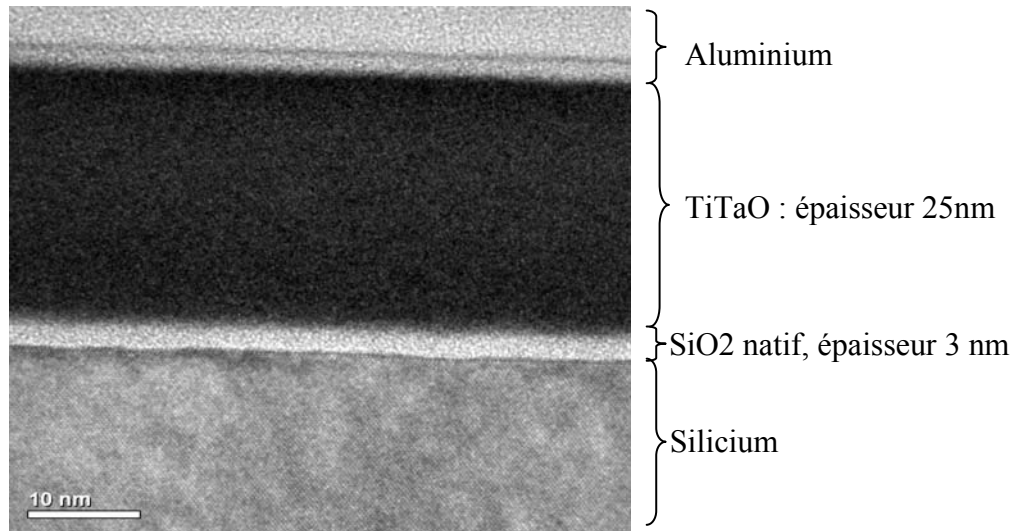
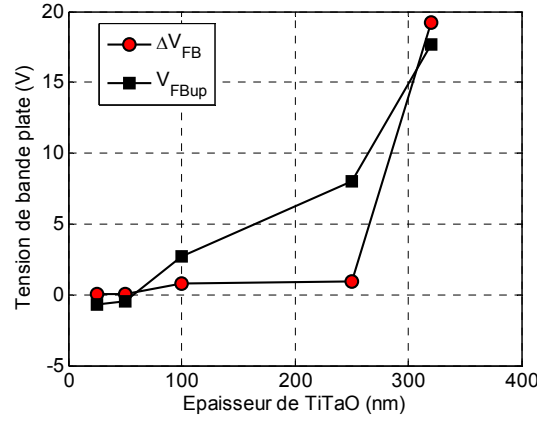


Fig. 3-9 – Image TEM d'une couche de TiTaO de 25nm et mise en évidence de l'interface d'oxyde natif entre le TiTaO et le substrat silicium

#### 4.1.2 Influence de l'épaisseur sur les charges piégées

La dépendance de la tension de bande plate à l'épaisseur du diélectrique a été constatée sur la Fig. 3-7. En effectuant une extraction du  $V_{FB}$  pour chacune des épaisseurs, ainsi que du  $\Delta V_{FB} = V_{FB}^{UP} - V_{FB}^{DOWN}$  induit par l'hystérésis observée entre les mesures vers les tensions croissantes (UP) et décroissantes (DOWN). La caractéristique suivante (Fig. 3-10) est obtenue pour des épaisseurs comprises entre 25 et 320nm, où l'on observe à la fois un cycle d'hystérésis et une translation de la tension de bande plate plus importants à mesure que l'épaisseur augmente, ce qui est dû aux différents phénomènes de piégeage de charges que nous avons pu citer auparavant. Le phénomène d'hystérésis est plus marqué pour les

épaisseurs importantes, nous supposons que les translations observées ont pour origine une contribution prépondérante des charges piégées dans le volume du diélectrique. Une inversion de la tension de bande plate peut par ailleurs être observée entre les films d'épaisseurs 50 à 100nm.



**Fig. 3-10 - Influence de l'épaisseur sur la tension de bande plate ( $V_{FBup}$ ) et sur le cycle d'hystérésis ( $\Delta V_{FB}$ )**

La différence des travaux de sortie du silicium et de l'aluminium s'exprime par :

$$\Phi_{ms} = (\Phi_m - \Phi_{si}) = \Phi_m - \chi_{sc} - \frac{E_g}{2} + \frac{kT}{q} \ln\left(\frac{N_d}{n_i}\right) \quad (3-15)$$

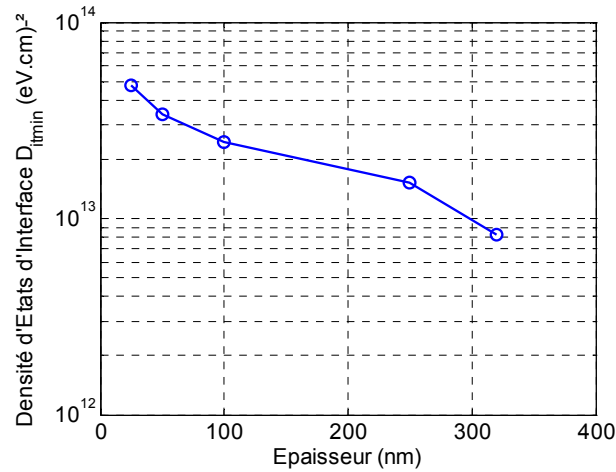
Avec  $\Phi_m$  le travail d'extraction de l'aluminium  $\Phi_m=4.3\text{eV}$ ,  $\chi_{sc}$  l'affinité électronique du silicium ( $\chi_{sc}=4.01\text{eV}$ ),  $E_g$  la largeur de bande interdite du silicium ( $E_g=1.12\text{eV}$ ),  $N_d$  et  $n_i$  respectivement le dopage et la concentration intrinsèque des donneurs ( $1.45^{10}\text{cm}^{-3}$ ). La valeur de  $\Phi_{ms}$  est comprise entre de  $-0.035\text{eV}$  et  $-0.048\text{eV}$ , selon la concentration de donneurs localisé au niveau de la capacité MOS et équivaut donc à un décalage en tension  $V_{FB1}$  compris entre  $-35\text{mV}$  et  $-48\text{mV}$ .

En appliquant la méthode de Terman à partir des données  $C-V$  mesurées, la densité d'état d'interfaces ( $D_{it}$ ) dans la bande interdite du silicium qui s'exprime selon l'équation (3-13), et consiste à dériver l'expression suivante :

$$Q_{it} = C_{ox}(V_{G \text{ exp}} - V_{G \text{ ideal}}) \quad (3-16)$$

La densité d'état d'interface (à la valeur de capacité de bande plate) dans la bande interdite du silicium en fonction de l'épaisseur de diélectrique est représentée sur la Fig. 3-11. La densité d'état d'interface est typiquement de l'ordre de  $10^{10}$ - $10^{11}\text{eV.cm}^{-2}$  pour une interface  $\text{SiO}_2\text{-Si}$  optimisée [116].

Nous pouvons observer que la densité de charges à l'interface varie de façon décroissante avec l'épaisseur de TiTaO. La dynamique de cette variation à l'épaisseur reste toutefois limitée (inférieure à une décade). En effet, théoriquement, la dépendance de la densité de charges à l'interface ne devrait pas varier avec l'épaisseur étant donné que des substrats et procédés de dépôts de l'oxyde similaires ont été utilisés pour chacune des épaisseurs. Néanmoins, les budgets thermiques alloués pour les dépôts plus épais sont supérieurs car la durée des dépôts est plus élevée.



**Fig. 3-11 – Minimum de la densité d'états d'interface à la tension de bande plate en fonction de l'épaisseur de TiTaO**

La variation du  $D_{it}$  peut être attribuée à un budget thermique supérieur pour les épaisseurs élevées qui modifie l'interface entre le silicium et l'oxyde, et ce, même pour des températures pouvant aller de 200 à 600°C [115].

Il est possible de déduire  $V_{FB4}$  pour chacune des épaisseurs considérées soit 25, 50, 100, 250 et 320nm à partir de l'équation (3-9). Les valeurs obtenues pour  $V_{FB4}$  sont résumées dans le tableau suivant (Tab. 3-7) pour chacune des épaisseurs de TiTaO considérées :

Épaisseur	320nm	250nm	100nm	50nm	25nm
$V_{FB4}$ (mV)	26	22	7	15	2

**Tab. 3-7– Tension de bande plate induite par les états d'interfaces dans les capacités MOS Al/TiTaO/Si**

Nous pouvons remarquer qu'il n'y a pas d'inversion de signe de la tension  $V_{FB4}$  lors du passage des films de 50 à 100nm, aussi le changement de signe de la tension de bande plate ne peut être attribué aux états d'interfaces entre l'oxyde et le silicium.

Les contributions des charges fixes et distribuées dans l'oxyde, ainsi que celles associées aux phénomènes de polarisation à l'interface TiTaO-SiO<sub>2</sub> ne peuvent-être différenciées à partir de nos expérimentations, aussi nous considérerons une charge effective  $Q_{eff}$  définie par :

$$Q_{eff} = -\frac{C_{ox}}{S}(V_{FB2} + V_{FB3}) \quad (3-17)$$

$$\text{soit } Q_{eff} = Q_{ot} + Q_f = \int_0^{t_{ox}} \frac{\rho(x)x}{\epsilon_{ox}\epsilon_0} dx + Q_f \quad (3-18)$$

$Q_{eff}$  représente la charge totale dans l'oxyde et prend ainsi en compte à la fois les charges distribuées dans le volume du diélectrique ( $Q_{ot}$ ), et les contributions des charges fixes ( $Q_f$ ). A partir des équations (3-10) et (3-17), la charge effective  $Q_{eff}$  est déduite en fonction de l'épaisseur.

Nous pouvons d'abord remarquer sur la Fig.3-12 un changement de polarité de la charge effective. Cette inversion de signe est étroitement liée à l'inversion du signe de la tension de bande plate qui est observée sur la Fig. 3-10. L'origine de ce phénomène ne semble pas être

corrélée aux états d'interface comme nous avons pu le voir précédemment. Les charges fixes  $Q_f$  présentes dans le diélectrique à l'interface oxyde silicium sont à notre connaissance reportées avec un signe positif pour un oxyde thermique [115] et de même pour un oxyde dont la croissance est effectuée par PECVD [116], et ce, pour un dopage de type n. Comme la densité de charges dans le volume de l'oxyde  $Q_{ot}$  est a priori plus importante pour les épaisseurs élevées, nous émettons l'hypothèse que les charges réparties dans le volume d'oxyde sont négatives. De ce fait, l'inversion de signe résulte d'une compensation des charges fixes d'oxyde avec celles réparties dans les épaisseurs de TiTaO et SiO<sub>2</sub>, qui sont par ailleurs prépondérantes pour les épaisseurs élevées.

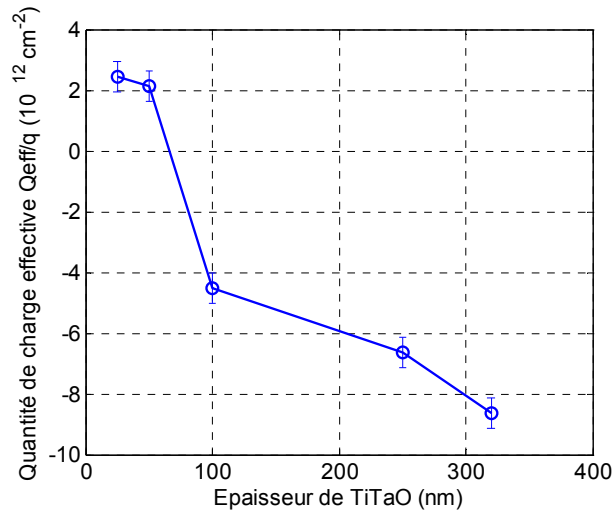


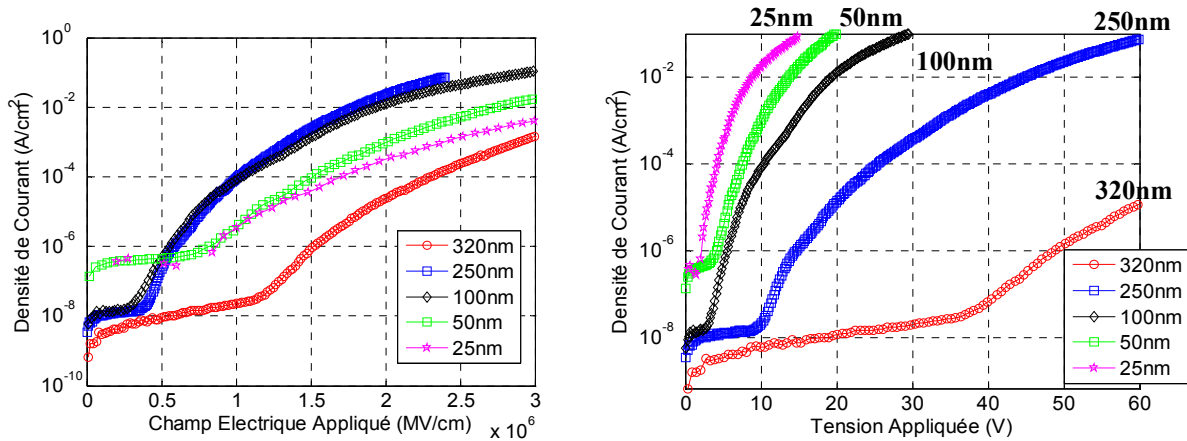
Fig.3-12 – Charge effective dans le TiTaO en fonction de l'épaisseur

Bien que la densité d'états d'interface semble être corrélée aux budgets thermiques requis pour la formation de l'oxyde de titane et de tantale, la charge effective est elle bien dépendante de l'épaisseur de TiTaO considérée. Le fait que des valeurs inférieures soient obtenues ( $2.10^{12} \text{ C.cm}^{-2}$ ) pour les faibles épaisseurs est un résultat intéressant dans la mesure où nous souhaitons contraindre l'épaisseur du diélectrique à une valeur limitée. En effet, nous avons évoqué précédemment que les capacités MIM à intégrer devront présenter une épaisseur totale inférieure à 100nm, afin d'éviter de trop grandes variations topologiques induites par l'introduction de couches supplémentaires dans le BEOL. De plus, la réduction d'épaisseur du diélectrique va dans le même sens que l'objectif d'augmenter la capacité surfacique, si toutefois les courants de fuite des capacités formées à partir des faibles épaisseurs de TiTaO sont suffisamment faibles.

#### 4.2 Caractérisation Courant-Tension ( $I-V$ ) et étude du mécanisme de conduction dans les films d'oxyde de titane et de tantale

La mesure des courants de fuite s'effectue en se plaçant en régime d'accumulation, c'est-à-dire à des tensions de grille positives pour une capacité MOS de type-n. En effet, de cette manière les courants mesurés sont ceux relatifs à la conduction dans le diélectrique uniquement et le substrat silicium joue le rôle de l'électrode inférieure de la capacité. Les réponses en courant pour les épaisseurs de 25, 50, 100, 250 et 320nm sont représentées sur la

Fig. 3-13a en fonction du champ électrique et, sur la Fig. 3-13b en fonction de la tension appliquée:



**Fig. 3-13 - Densité de courants dans le TiTaO (a) en fonction du champ électrique (b) en fonction de la tension appliquée, pour des épaisseurs de 25,50, 100, 250 et 320nm.**

Pour toutes les épaisseurs de TiTaO considérées, nous pouvons observer une forme des réponses en courants similaires. A faibles champs électriques ( $<0.5\text{MV/cm}$ ), les fuites sont décroissantes avec l'épaisseur. Cependant, pour des champs supérieurs, nous pouvons observer que la densité de courant dans les couches de 25 et 50nm est inférieure à celle des couches de 100 et 250nm.

Le mécanisme de conduction identifié dans le diélectrique est un courant limité par charge d'espace ou SCLC <sup>[11]</sup> (Space Charge Limited Current). La conduction limitée par charge d'espace est un mécanisme dépendant des propriétés volumique du diélectrique.

Les différents régimes de ce mécanisme de conduction se distinguent en fonction du champ électrique appliqué au diélectrique. La valeur  $E$  du champ électrique dans le diélectrique est imposée par la tension appliquée à la capacité, mais aussi par le champ induit des charges déjà présentes dans le matériau et qui participent au transport. Si l'on considère que des électrons traversent le diélectrique suivant une dimension, le transport du courant est décrit par l'équation suivante :

$$J(x,t) = qn(x,t)\mu E(x,t) + qD_n \frac{\partial n(x,t)}{\partial x} \quad (3-19)$$

$\mu$  et  $D_n$  sont respectivement la mobilité et le coefficient de diffusion des porteurs dans le diélectrique. La relation (3-19) exprime le courant en un point et un instant donné comme la somme d'un courant de transport sous l'action du champ  $E$ , et d'un courant de diffusion lié à un gradient de concentration de charge  $\delta n(x,t)/\delta x$ .

- Régime d'Injection Faible

A faibles champs, lorsque l'injection de porteurs est faible, le gradient de concentration  $dn/dx$  dans le diélectrique est négligeable et le champ électrique  $y$  est supposé constant. Un régime de conduction ohmique pilote alors le transport du courant, ceci car la densité de porteurs injectés dans le matériau est négligeable devant sa densité de charge intrinsèque. Le courant s'exprime alors comme suit :



$$J_{ohm} = qn_0\mu\frac{V}{d} \quad (3-20)$$

Avec  $q$  la charge électronique,  $n_0$  la densité de charges intrinsèques du diélectrique, et  $d$  l'épaisseur du diélectrique.

- Régime d'Injection Forte

Lorsque le champ électrique appliqué à la capacité augmente, la densité de porteurs injectés dans le matériau devient plus importante, et bien qu'une partie de ces derniers soit piégés dans le volume du diélectrique, la charge injectée constitue maintenant l'espèce dominante. Afin d'exprimer le courant, le ratio entre la densité d'électrons libres et de pièges remplis  $\theta$  est défini par :

$$\theta = \frac{N_c}{N_t} \exp\left(-\frac{\phi_t}{k_B T}\right) \quad (3-21)$$

Avec  $N_t$  la densité de pièges,  $N_c$  la densité d'états dans la bande de conduction, et  $\Phi_t$  la différence entre l'énergie du bas de la bande de conduction et d'un niveau de pièges dans le gap. Notons que  $\theta$  est indépendant de la tension appliquée à la structure.

Le courant qui traverse le diélectrique a une dépendance quadratique à la tension et s'exprime selon la loi de Child [11], caractérisant la conduction limitée par des charges d'espace :

$$J_{child} = \frac{9}{8} \mu \epsilon_{TiTaO} \epsilon_0 \theta \frac{V^2}{d^3} \quad (3-22)$$

Où la dépendance en  $1/d^3$  à l'épaisseur du diélectrique peut-être remarquée.

Une tension  $V_x$  est définie à la limite du passage de la conduction ohmique à la conduction limitée par charges d'espace, cette tension se déduit en considérant  $J_{ohm} = J_{child}$  :

$$V_x = \frac{8}{9} \frac{qn}{\epsilon_{TiTaO} \epsilon_0 \theta} d^2 \quad (3-23)$$

Les pièges sont graduellement remplis avec l'augmentation du champ appliqué à la capacité.

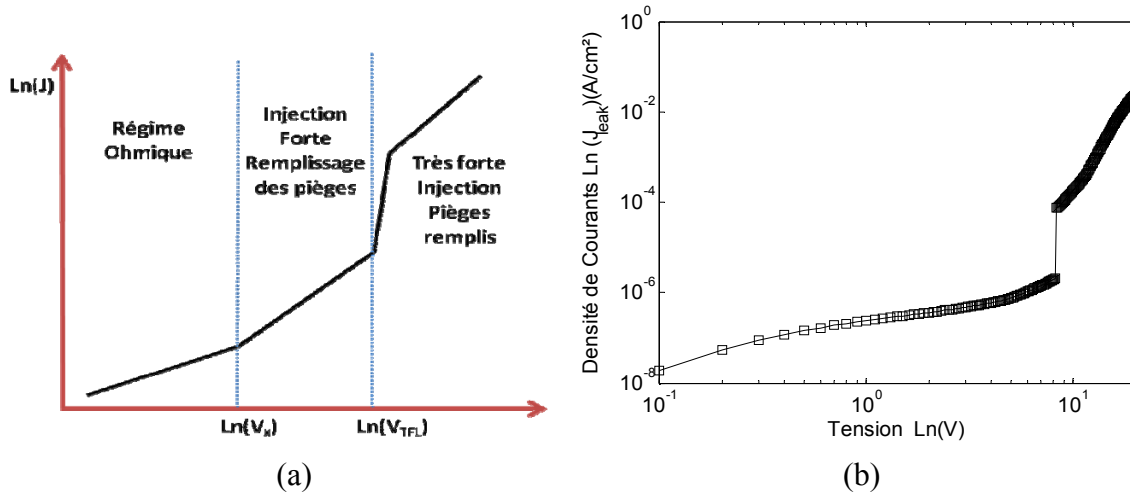
- Régime d'Injection Très Forte

Lorsque tous les pièges du diélectrique sont remplis, on parle alors d'injection forte. Le fait qu'il n'y ait plus de pièges disponibles produit un excès de charges libres injectées dans le matériau à l'origine d'une augmentation brusque du courant. L'expression du courant transporté est toujours définie selon l'équation de Child, avec toutefois le paramètre  $\theta=1$ , ce qui correspond par ailleurs au cas d'un diélectrique sans pièges de charges. La tension limite entre l'injection forte et l'injection très forte  $V_{TFL}$  ( $V_{TFL}$  : Trap Filled Limit voltage) est définie par :

$$V_{TFL} = \frac{q}{2} \frac{N_t}{\epsilon_{TiTaO} \epsilon_0} d^2 \quad (3-24)$$

La caractéristique  $I-V$  d'un mécanisme de conduction limité par charge d'espace permet de distinguer chacune des zones associées aux régimes de transport du courant présentés précédemment, comme cela est illustré sur la Fig. 3-14a. Une première discontinuité de la réponse en courant est observée lors du passage du régime ohmique à la conduction par les

charges d'espace (tension  $V_x$ ). Le régime d'injection forte induit alors un remplissage des pièges de charges dans le diélectrique jusqu'à une tension  $V_{TFL}$ , où le courant augmente brusquement, et caractérise le régime de très forte injection. La Fig. 3-14b met en évidence le résultat mesuré sur une capacité MOS Al/TiTaO/Si en régime d'accumulation qui dispose d'un diélectrique de composition  $Ti_{0,28}Ta_{0,19}O$  et d'une épaisseur de 100nm.

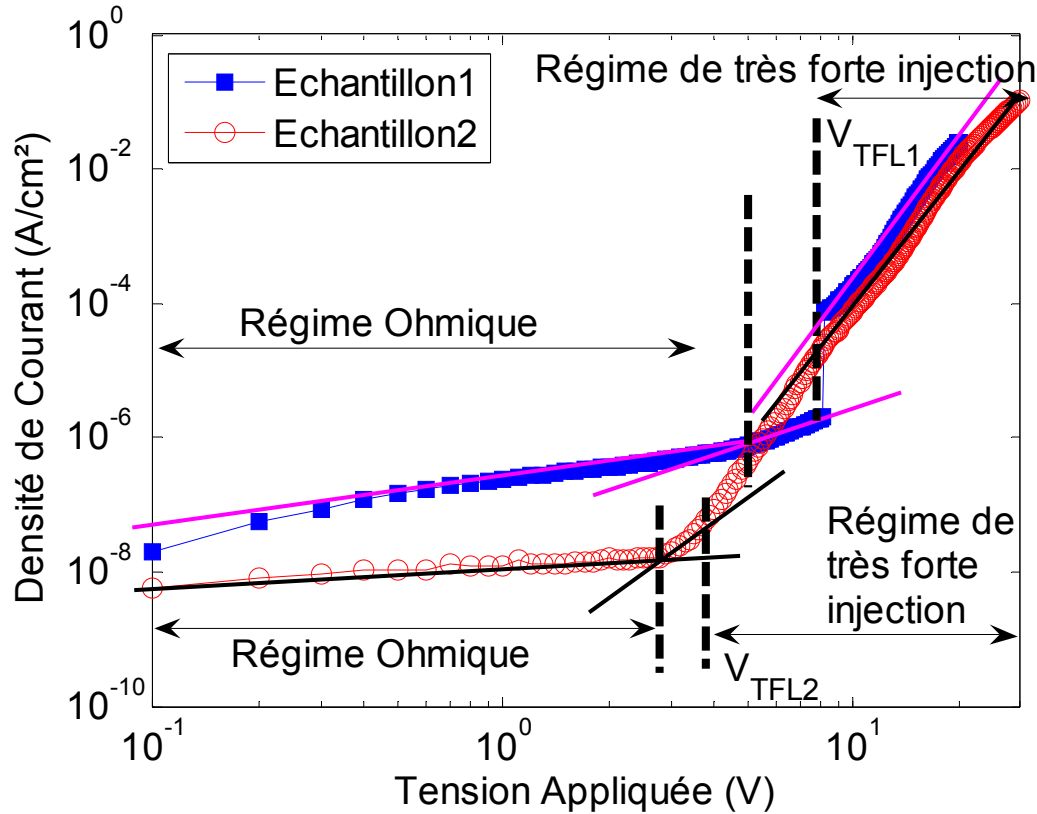


**Fig. 3-14 – (a) Illustration des régimes de conduction du mécanisme SCLC, (b) Résultat de mesure sur une capacité MOS construite avec 100nm de TiTaO**

Le début du régime de très forte injection n'est pas aussi marqué pour tous les échantillons mesurés. Il se définit par l'augmentation brusque du courant qui suivra ensuite une loi de Child (équation (3-22) avec  $\theta=1$ ). En effet, la pente de la courbe définissant le début du régime de très forte injection est en première approximation étroitement liée au ratio de la densité de charges dans le diélectrique et de la densité de pièges. Plus les pièges se remplissent rapidement, plus la pente est importante. De façon plus précise, la pente du courant en début de régime de très forte injection dépend de la quantité  $\theta$  définie dans l'équation (3-21). Plus la distribution des niveaux d'énergie des pièges est grande, plus la pente du début du régime de très forte injection est faible, et il est d'autant plus difficile de distinguer la tension de seuil  $V_{TFL}$ . Une interprétation à ce phénomène peut être que dans le cas d'une distribution large de l'énergie des pièges, l'injection de charge produite par l'incrément de tension a pour effet de favoriser le remplissage successif des pièges qui ont des énergies différentes. En revanche, si les pièges possèdent la même énergie, ces derniers seront tous remplis à une tension donnée, et le courant augmentera alors très brusquement.

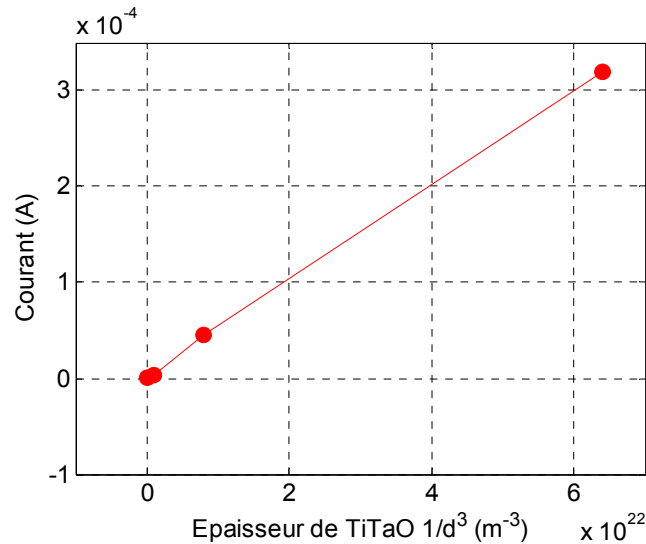
La figure suivante (Fig. 3-15) superpose la mesure  $I-V$  de la Fig. 3-14b (relative à la capacité nommée ici échantillon 1) et celle d'une capacité MOS réalisée sur un autre wafer, mais qui présente une composition et une épaisseur équivalente (échantillon 2). Les régimes de conduction mesurés sur ces deux capacités en régime d'accumulation sont attribués au mécanisme de type SCLC. Nous pouvons constater que la tension de seuil  $V_{TFL}$  se distingue bien moins nettement pour l'échantillon 2, notamment car la pente du début de régime de très forte injection est bien plus faible. Notons par ailleurs que la pente des courants de fuites en régime ohmique de l'échantillon 2 est inférieure à celle de la capacité de l'échantillon 1. Ceci signifie que la densité de charges libres dans le matériau de l'échantillon 2 est inférieure à celle de l'échantillon 1. De plus, comme le diélectrique de l'échantillon 2 présente aussi une tension  $V_{TFL}$  inférieure à celle de l'échantillon 1, nous pouvons affirmer que la densité de pièges y est également inférieure. L'origine des écarts observés entre les densités de charges

libres et de pièges de ces deux diélectriques reste difficile à déterminer, sachant que les deux capacités ont été formées à partir d'un même procédé. Toutefois, nous pouvons préciser que des imperfections présentes aux interfaces entre métal et diélectrique favorisent l'observation d'une augmentation très brusque du courant <sup>[117]</sup>, aussi, des écarts sur la qualité de l'interface aluminium-TiTaO entre les deux échantillons peut être une première hypothèse.



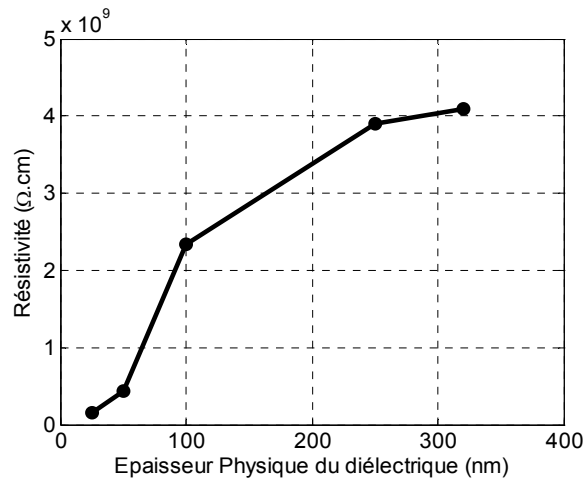
**Fig. 3-15 - Régime de conduction du courant SCLC dans le TiTaO pour une épaisseur de 50nm, caractéristique  $I-V$  mesurée sur une capacité MOS en régime d'accumulation.**

Nous pouvons constater sur la Fig. 3-15 que l'écart observé sur les courants de fuite à faible champ est pratiquement inexistant en régime de très forte injection. Dans les deux cas, le courant suit une loi similaire, qui est théoriquement une loi de Child. A une tension donnée, en régime de très forte injection, la loi de Child se vérifie si le courant est proportionnel à  $1/d^3$ . En nous plaçant ici à 15V, nous pouvons observer que la dépendance entre le courant et  $1/d^3$  est bien linéaire. Ceci confirme ainsi le mécanisme de conduction limitée par charge d'espace dans le  $Ti_{0,28}Ta_{0,19}O$ , et ce, pour des épaisseurs de 25nm à 250nm, comme cela est illustré sur la Fig. 3-16.



**Fig. 3-16 - Courant en régime de très forte inversion mesuré à 15V et validation de la dépendance à l'épaisseur selon la loi de Child.**

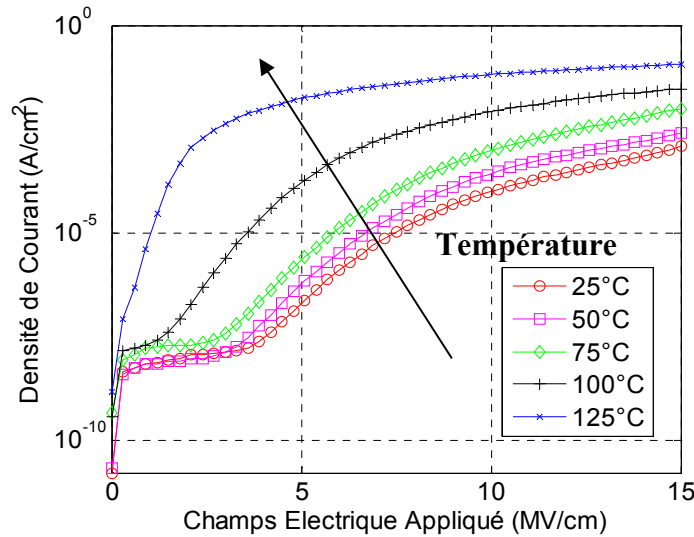
En régime Ohmique, il est possible d'extraire la résistivité des couches de  $Ti_{0,28}Ta_{0,19}O$  par simple interpolation linéaire de la densité de courant mesurée à faible champ :  $\rho_{TiTaO} = \Delta V / (\Delta J \cdot d)$ , avec  $J$  la densité de courant mesurée. La dépendance de la résistivité à l'épaisseur est représentée sur la Fig. 3-17. Une résistivité entre  $2 \cdot 10^9 \Omega \cdot cm$  et  $5 \cdot 10^9 \Omega \cdot cm$  peut être observée pour les couches de 100 à 320nm, et inférieure à  $10^9 \Omega \cdot cm$  pour les épaisseurs plus faibles. La variation de la résistivité en fonction de l'épaisseur peut avoir pour origine une modification de la composition des films lorsque l'épaisseur diminue. En effet la composition citée ( $Ti_{0,28}Ta_{0,19}O$ ) a été extraite par EDS sur des films de 500nm.



**Fig. 3-17 – Résistivité extraite en régime ohmique en fonction de l'épaisseur de TiTaO.**

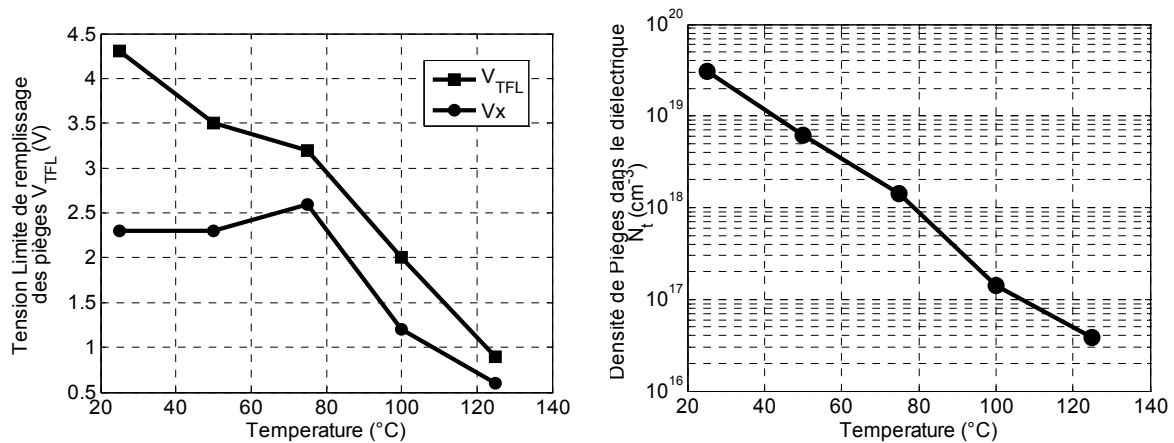
Comparée à la résistivité du  $SiO_2$ , qui est de l'ordre de  $10^{15} \Omega \cdot cm$ , la gamme de résistivités obtenue sur l'oxyde de titane et de tantale réalisé reste faible. De ce fait, les courants de fuite ne sont globalement pas inférieurs à  $10^{-8} A/cm^2$  si ce n'est à très faible champ pour la couche de 320nm (Cf Fig.3-12).

La dépendance des courants de fuites à la température est présentée sur la Fig. 3-18 pour une épaisseur de 100nm. Les mesures ont été effectuées de  $25^\circ C$  à  $125^\circ C$ , par pas de  $25^\circ C$ :



**Fig. 3-18 - Courants de fuite mesurés sur des couches de TiTaO ayant une épaisseur de 100nm entre 25°C et 125°C**

Nous pouvons observer que la tension de passage du régime ohmique au régime de conduction en forte injection ( $V_x$ ) diminue avec la température pour des températures supérieures à 75°C. Ainsi, pour ces températures, le passage au régime de forte injection est anticipé. L'augmentation de la température favorise la génération de porteurs de charges par activation thermique et fournit davantage d'énergie aux charges électriques à un champ électrique donné. La tension  $V_{TFL}$  de démarrage du régime de très forte injection a elle une dépendance décroissante et linéaire à la température, comme cela est représenté sur la Fig. 3-19a.



**Fig. 3-19 - (a) Dépendance des tensions  $V_x$  et  $V_{TFL}$  à la température, (b) Effet de la température sur la densité de pièges dans le TiTaO**

La connaissance de la tension  $V_{TFL}$  permet de déduire la densité de pièges de charges dans le diélectrique à partir de l'équation (3-24). Cette dernière est égale à  $3.10^{19} \text{ cm}^{-3}$  à température ambiante et est décroissante avec la température. Notons que des densités de pièges égales à  $10^{18}$ - $10^{19} \text{ cm}^{-3}$  sont reportées pour des couches de  $\text{SiO}_2$  d'épaisseurs 12nm et mesurées à l'ambiante et pour des champs électrique compris entre 6 et 8MV/cm [118]. L'énergie supplémentaire fournie par la température aux porteurs de charge facilite le remplissage des pièges, et réduit de ce fait la densité des pièges [119]. La densité de pièges dans le diélectrique diminue également avec l'épaisseur de diélectrique (équation (3-24)). La densité de pièges

dans le diélectrique, au même titre que la quantité de charge effective peuvent toutes deux être exploitées comme un critère de qualité du diélectrique. De ce fait, nous pouvons conclure que les couches de TiTaO d'épaisseur 25 à 50nm semblent présenter de meilleures qualités diélectriques. La charge effective et la densité de pièges dans le diélectrique sont plus faibles pour les diélectriques de 25 et 50nm. Ensuite, bien que la résistivité des couches croisse avec l'épaisseur, les couches de faibles épaisseurs disposent de courants de fuites plus faibles que les couches de 100 et 250nm lorsque l'on se place à forts champs électriques, et en particulier en régime de très forte injection. Ce phénomène résulte de la contribution des charges piégées. En effet, à faibles champs électriques, les charges n'ont pas suffisamment d'énergie pour être extraites dans la bande de conduction du diélectrique ; leur influence est alors négligeable. Cependant, lorsque le champ électrique augmente, les charges piégées bénéficient alors de l'énergie suffisante pour être extraites, ainsi la conduction dans le diélectrique disposant d'une densité de pièges plus importante sera facilitée.

## 5. Conclusion

Ce chapitre illustre l'étape d'analyse des propriétés microélectroniques d'un matériau dans le but de l'intégrer dans un second temps dans la filière technologique CMOS. L'étude est appliquée aux matériaux diélectriques High- $\kappa$  pour réaliser des condensateurs MIM de forte densité.

Dans un premier temps, nous avons dressé un état de l'art sur les propriétés électriques des diélectriques High- $\kappa$  pour la réalisation de condensateurs MIM. Une classification des matériaux les plus courants a été proposée, et ce, à travers les deux approches actuellement dominantes pour le développement de diélectriques à forte permittivité et haute linéarité : le mélange de matériaux diélectriques et les empilements. Cette analyse bibliographique nous a amené à considérer un mélange particulier qui est un très bon compromis en termes d'aptitude à l'intégration et de performances électriques, comme cela est démontré dans la littérature.

Ensuite, une analyse des performances de l'oxyde de titane et de tantale dans l'objectif de réaliser des capacités MIM intégrées dans le BEOL de la filière CMOS-0.5 $\mu\text{m}$  a été effectuée. L'analyse s'est focalisée sur les propriétés électriques du diélectrique évaluées à partir de mesures  $C-V$  et  $I-V$  accomplies sur des capacités n-MOS. Les mesures de capacités de l'oxyde de Titane et de Tantale déposé par PVD à 350°C, et de composition  $\text{Ti}_{0,28}\text{Ta}_{0,19}\text{O}$  ont permis d'extraire la permittivité du matériau et une valeur dix fois supérieure à l'oxyde de silicium a été obtenue ( $\epsilon_r=40$ ), et qui est cohérent avec la valeur démontrée dans la littérature ( $\epsilon_r=45$ ). L'interprétation des caractéristiques  $C-V$  et la sensibilité de la structure MOS nous a permis de mettre en évidence la présence de charges piégées dans le volume du diélectrique, ainsi qu'une interface d'oxyde de silicium natif dont on a déterminé l'épaisseur. La densité d'états d'interface a été extraite à partir de la méthode de Terman, et nous a permis de déduire la quantité de charge effective (ou charge totale) présente dans le diélectrique en fonction de l'épaisseur. Une charge effective égale à  $2.10^{12}\text{C.cm}^{-2}$  est aussi obtenue (à titre indicatif, nous rappelons que la densité de charge fixe dans l'oxyde de silicium est typiquement de l'ordre de  $10^{11}\text{C.cm}^{-2}$ ).

Les caractérisations  $I$ - $V$  effectuées sur les capacités MOS ont mis en évidence un mécanisme de conduction limité par charge d'espace, et donc un transport du courant dans le diélectrique piloté par ses propriétés volumiques. La résistivité des couches de TiTaO a été extraite à une valeur autour de  $10^9 \Omega \cdot \text{cm}$ , et une dépendance non négligeable des courants de fuite et des pièges de charges à la température est constatée.

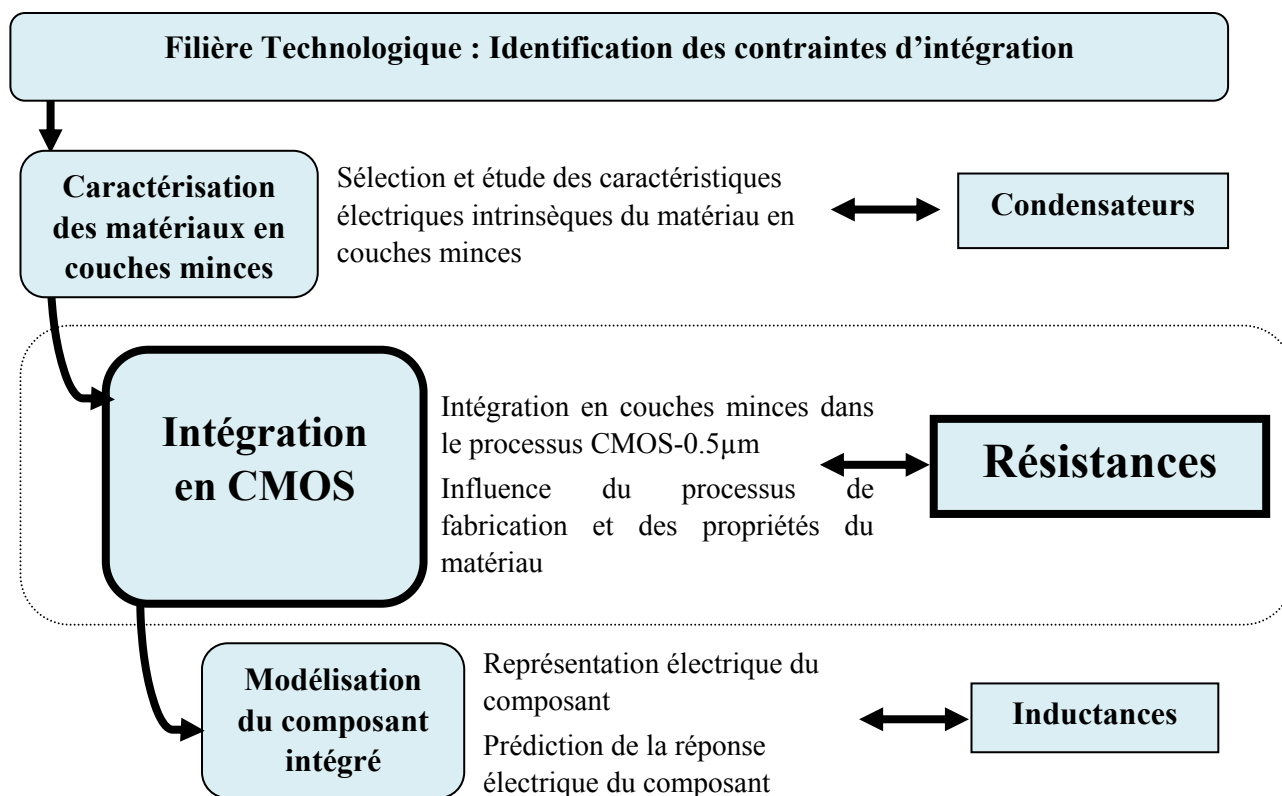
Enfin, pour des épaisseurs de 25nm, une densité de  $5.5 \text{ fF}/\mu\text{m}^2$  est obtenue, avec des courants de fuites de  $10^{-3} \text{ A}/\text{cm}^2$  à 5V mesurés à la température ambiante. De la même manière, pour 100nm de TiTaO, la densité est de  $2.7 \text{ fF}/\mu\text{m}^2$ , avec des courants de fuites de  $10^{-6} \text{ A}/\text{cm}^2$  à 5V. La densité ainsi obtenue pour 25nm est cinq fois supérieure à celle typiquement atteinte actuellement (limitée à  $1 \text{ fF}/\mu\text{m}^2$ ) par des composants standards réalisés dans le FEOL de la technologie CMOS, avec toutefois des courants de fuites supérieurs de six décades à 5V (les capacités MOS de la filière considérée présentent des courants de fuites de l'ordre de  $10^{-9} \text{ A}/\text{cm}^2$  à 5V). Notons, par ailleurs que la tension de claquage de l'oxyde de titane et de tantale réalisé n'a pas été relevée, ceci étant du au fait que le claquage du TiTaO n'a pas été observé aux tensions de mesures considérées (jusqu'à 100V pour 320nm). La présence de pièges dans la bande interdite du diélectrique et sa résistivité insuffisamment élevée facilitent tous deux le transit du courant entre les électrodes de la capacité, ce qui peut être une raison du non claquage du diélectrique.

Une permittivité relative  $\epsilon_r=40$  est extraite pour les couches de  $\text{Ti}_{0,28}\text{Ta}_{0,19}\text{O}$ , ainsi, en supprimant l'interface de  $\text{SiO}_2$  natif, une densité de  $15 \text{ fF}/\mu\text{m}^2$  peut-être atteinte pour une épaisseur de 25nm. Cependant le retrait de la couche d'oxyde de silicium peut avoir un effet non négligeable sur les courants de fuites, et notamment induire leur augmentation, comme nous avons pu le voir dans la section consacrée aux empilements.

Cette étude représente la première phase de développement des condensateurs MIM intégrés en couches minces. Cette phase a consisté en l'évaluation des performances électriques du matériau, étape incontournable à entreprendre avant son intégration dans la filière technologique. Les résultats obtenus en termes de constante diélectrique sont encourageants par rapport aux objectifs visés. Cependant, la charge effective, la densité de pièges et la résistivité du diélectrique nécessitent d'être réduits pour permettre de limiter les courants de fuites et dans le même temps améliorer les propriétés isolantes du matériau. Pour cela, une optimisation de la composition, ou un recuit des couches post-dépôt peuvent-être envisagés. L'étape suivante pour la réalisation des condensateurs intégrés doit consister en une analyse de l'influence des électrodes sur les caractéristiques électriques du composant, avec en particulier la considération des phénomènes d'interfaces pour de faibles épaisseurs de TiTaO. Enfin, l'estimation des coefficients de linéarité n'ayant pu être effectuée sur les capacités MOS, ceux-ci doivent être évalués à partir de mesures sur des structures MIM, et ce en fonction des électrodes considérées. Après la validation de cette dernière étape, les tests d'intégration des condensateurs pourront alors être entrepris.







# Chapitre 4. Intégration de Couches Minces

## Résistives d'Oxynitride de Titane en Technologie CMOS

### 1. Introduction

Le développement d'une technologie de composants passifs intégrés nécessite de positionner des couches minces de nouveaux matériaux dans le processus de fabrication. Comme nous l'avons évoqué dans le chapitre précédent, la première étape pour intégrer les couches minces dans la filière CMOS consiste à sélectionner des matériaux qui répondent aux objectifs de caractéristiques électriques et aux exigences des contraintes technologiques. Aussi, le choix du matériau s'effectue très souvent comme un compromis entre, critères technologiques, et performances électriques visées. A partir d'un matériau sélectionné, ayant des propriétés physiques maîtrisées et des caractéristiques électriques élémentaires validées, des solutions doivent être trouvées pour son positionnement dans la filière CMOS afin d'assurer la réalisation des composants. Cette étape, à l'interface entre le matériau et le composant, consistant à intégrer le matériau en couches minces dans le processus CMOS 0.5 $\mu$ m, est présentée dans notre étude au travers des résistances intégrées.

Les performances électriques des résistances intégrées résultent des propriétés physiques du matériau. Plusieurs matériaux en couches minces ont été reportés pour la réalisation de résistances intégrées comme les alliages NiCr [120], CrSi [121], TaN<sub>x</sub> [122,123], TiN<sub>x</sub> [124], NiP [125], et TiN<sub>x</sub>O<sub>y</sub> [126]. De façon générale, les alliages métalliques offrent des résistivités plus grandes que les métaux « purs ». Parmi les alliages cités, seuls NiCr, CrSi, TaN<sub>x</sub> et TiN<sub>x</sub> ont été, à notre connaissance, intégrés en couches minces dans des filières CMOS industrielles. Ces matériaux permettent d'atteindre des performances électriques de résistances très proches l'une de l'autre, et le choix de l'utilisation d'un de ces alliages est effectué selon des critères plutôt liés à son procédé de fabrication. La gamme de résistivité reportée par les alliages métalliques NiCr, CrSi, TiN<sub>x</sub> et TaN<sub>x</sub> est de l'ordre de quelques centaines d'ohm/carré (typiquement 20 à 100 $\Omega/\square$ ) pour des épaisseurs déposées de l'ordre de 50 nm [120,121,122,123,124]. Les résistances en NiP permettent elles, d'atteindre des valeurs plus élevées (entre 250 et 1k $\Omega/\square$ ), pour des épaisseurs de films supérieures de 100 à 400 nm [125]. Toutefois, ces valeurs de résistances surfacique restent encore insuffisantes par rapport à nos objectifs. Il a été démontré dans la littérature que la réalisation de résistances intégrées à partir de couches de TiN<sub>x</sub>O<sub>y</sub> permet d'atteindre des densités jusqu'à 2k $\Omega/\square$ . Les dépôts sont effectués sur substrat silicium, et les résistances construites présentent des caractéristiques de linéarité en température équivalentes aux autres matériaux cités [126]. La limite reportée à 2k $\Omega/\square$  pour ce matériau est fixée afin de conserver un coefficient de stabilité en température suffisamment faible, aussi, il est a priori possible avec un alliage en TiN<sub>x</sub>O<sub>y</sub> d'atteindre des densités nettement supérieures. De façon générale, pour tous ces matériaux, les coefficients de stabilité en température sont de l'ordre de  $\pm 100$ ppm/ $^{\circ}$ C et dépendent des paramètres de dépôt.

Peu d'informations sont disponibles sur la stabilité en tension des composants réalisés à partir de ces couches résistives. Nous rappelons dans le tableau suivant les objectifs de caractéristiques électriques des résistances intégrées à réaliser :

	Résistances intégrées
Densité	$> 10\text{-}20\text{k}\Omega/\square$
Stabilité en tension	100ppm/V
Stabilité en température	100ppm/°C

Tab. 4-1 – Objectif de spécifications électriques des résistances intégrées dans la filière CMOS

Dans la première partie de ce chapitre, nous présentons un état de l'art bibliographique sur les performances des résistances intégrées en oxynitride de titane. L'influence des paramètres de dépôt par voie physique sur la résistivité des couches de  $\text{TiN}_x\text{O}_y$  est ensuite analysée à partir de résultats expérimentaux. L'objectif de cette analyse est d'évaluer la faisabilité de couvrir la gamme de résistivités souhaitée avant d'entreprendre l'intégration du film.

Dans une seconde partie, nous discutons des approches d'intégration communément utilisées pour l'intégration de films résistifs dans le BEOL des filières CMOS. Les verrous associés à l'intégration du  $\text{TiN}_x\text{O}_y$  dans la filière technologique CMOS  $0.5\mu\text{m}$  considérée sont identifiés et nous proposons alors une solution alternative pour l'intégration des films afin de s'affranchir des limites des approches classiques. Enfin, le schéma d'intégration défini est testé et validé expérimentalement, et les performances électriques des résistances intégrées sont évaluées en fonction de facteurs technologiques et géométriques.

## 2. Etat de l'art des propriétés des résistances intégrées d'oxynitride de titane en couches minces.

Cette première partie présente les principaux résultats de notre étude bibliographique sur les couches minces de  $\text{TiN}_x\text{O}_y$  déposées par PVD à partir d'une cible de titane, sous atmosphère d' $\text{O}_2/\text{N}_2$ . Seules les études pour lesquelles la technique de synthèse de  $\text{TiN}_x\text{O}_y$  correspond à notre procédé de dépôt ont été retenues [126,127,128,129].

### 2.1 Résistivité

Le contrôle de la résistivité du film s'effectue à partir des conditions de dépôt de la couche de  $\text{TiN}_x\text{O}_y$  (pourcentage d'oxygène, pression d'azote, puissance de pulvérisation, température de dépôt...). Une étude menée par A. Shibuya et al a démontré que la résistivité des films augmente avec la proportion d'oxygène  $X$  ( $\text{Ti}(\text{N}_{1-X/2}\text{O}_X)_Y$ ) dans la couche [126]. Pour être plus précis, la résistivité des couches de  $\text{TiN}_x\text{O}_y$  est fixée grâce au remplacement de ses atomes d'azote par ceux d'oxygène. La quantité d'azote est elle fixée par la pression de  $\text{N}_2$  et la puissance de pulvérisation. La Fig. 4-1 met en évidence l'influence de la proportion d'oxygène dans le mélange gazeux ( $x$ ) sur la résistivité pour un film d'épaisseur 20 nm.

Une analyse morphologique du matériau a démontré trois modes de croissance du  $\text{TiN}_x\text{O}_y$  dans une gamme de température de  $450^\circ\text{C}$  à  $750^\circ\text{C}$  [130]. Il a par ailleurs été mis en évidence qu'une gamme de résistivités est associée à chacun de ces modes de croissance, et que la résistivité augmente lorsque la température de dépôt diminue (Fig. 4-2).

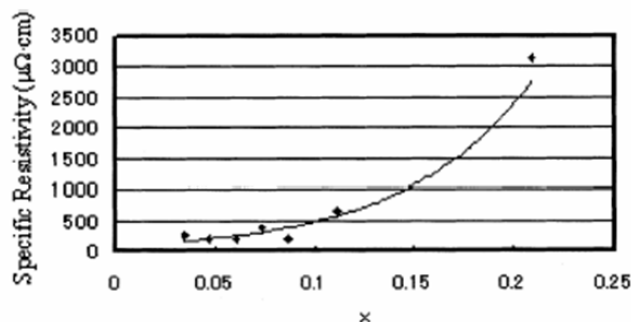


Fig. 4-1 : Résistivité en fonction de la fraction d'oxygène (x) dans le film

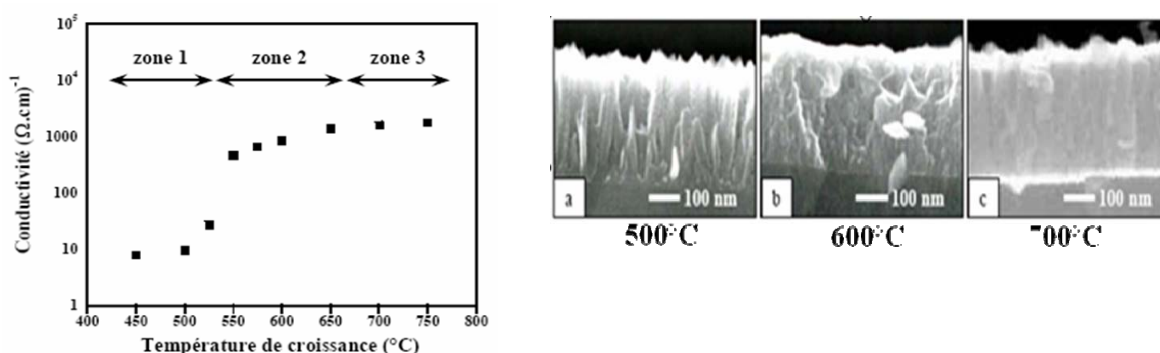


Fig. 4-2 - Conductivité électrique en fonction de la température de croissance [130].

Sur la Fig. 4-3 est présentée la résistance par carrée obtenue pour des dépôts effectués à température ambiante suivi d'un recuit thermique pendant 30mn sous atmosphère d'oxygène [129]. L'analyse est effectuée pour des températures de 100 à 500°C, soit pour des températures inférieures à celles des dépôts de la Fig. 4-2. Il est montré cette fois que dans le cas d'un dépôt à la température ambiante suivi d'un recuit, une augmentation de la résistivité du film est observée avec la température de recuit, et ce, sur toute la gamme de températures considérée (Fig. 4-3).

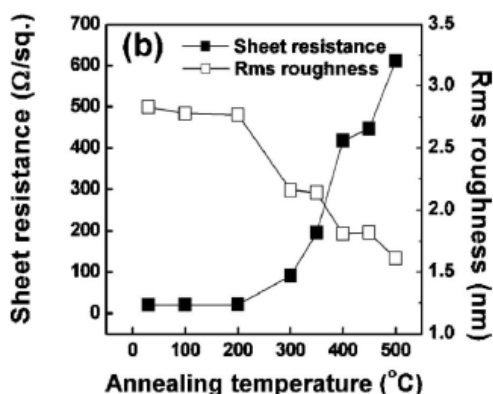


Fig. 4-3 : Résistance carrée en fonction de la température pour une durée de recuit de 30mn [129]

L'augmentation de la résistance par carrée avec la température de recuit observée sur la Fig. 4-3 s'apparente à la dépendance évoquée par A. Shibuya et al [126]. En effet, le recuit sous atmosphère d'O<sub>2</sub> densifie la couche mince par introduction d'atomes d'oxygène, ce qui a pour effet d'augmenter la résistivité. Bien que les courbes des Fig. 4-2 et Fig. 4-3 ne soient pas extraites pour les mêmes gammes de températures, nous constatons que pour ces deux

gammes distinctes, la résistivité des films diminue avec la température de dépôt et augmente avec celle de recuit.

La résistivité du film est dépendante de la morphologie de la couche mince d'oxynitride de titane, elle-même sensiblement liée aux budgets thermiques auxquels elle est soumise comme nous avons pu l'observer. Enfin la résistance par carrée maximale déterminée dans la littérature est de  $5\text{k}\Omega/\square$  pour des couches de 20nm, déposées sur substrat FR4, et de  $2.5\text{k}\Omega/\square$  pour des dépôts de mêmes épaisseurs sur substrat silicium [126].

## 2.2 Stabilité

Un paramètre critique des résistances intégrées est la stabilité en température (TCR). En effet, la dissipation de l'énergie par effet joule chauffe le composant, est susceptible d'induire une modification de la morphologie du matériau et donc de ses propriétés physiques. Des caractéristiques qui répondent à nos objectifs de performances en terme de stabilité en température ont été démontrées sur des résistances en oxynitride de titane ( $<100\text{ppm}/^\circ\text{C}$ ) [129,126]. Il a par ailleurs été mis en évidence que le coefficient de linéarité en température est (tout comme la résistivité) contrôlé par la température de recuit. En effet, la Fig. 4-4 montre que le TCR de films de 300nm déposés à l'ambiante décroît lorsque la température de recuit augmente, et ce, jusqu'à des valeurs négatives de TCR. Dans la même étude, Couong et al [127] ont validé la faisabilité de réaliser une résistance à partir d'un film de 300nm, déposé à l'ambiante et recuit à  $350^\circ\text{C}$  pendant 30mn. Cette résistance présente un TCR de  $-5\text{ppm}/^\circ\text{C}$  entre  $25^\circ\text{C}$  et  $120^\circ\text{C}$ . Toutefois, la densité obtenue reste assez faible, avec une valeur de résistance surfacique limitée à quelques centaines d'Ohms par carré [129].

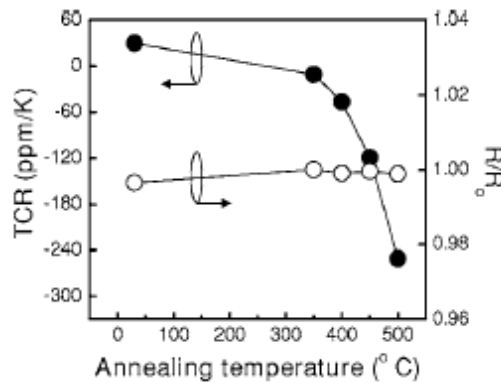


Fig. 4-4 : TCR et  $R/R_o$  en fonction de la température de recuit [129]

Enfin, Shibuya et al ont eux démontré que le coefficient de stabilité en température des films de  $\text{TiN}_x\text{O}_y$  se contrôle par la pression d'azote injecté dans la chambre de dépôt comme cela est illustré sur la Fig. 4-5 [126].

Ce résultat est obtenu sur des couches de 20nm déposées sur  $\text{Si}/\text{SiO}_2$ , avec la densité la plus élevée ( $2.5\text{k}\Omega/\square$ ) qui est reportée à notre connaissance dans la littérature. Notons un coefficient de stabilité en température compris entre  $\pm 100\text{ppm}/^\circ\text{C}$ .

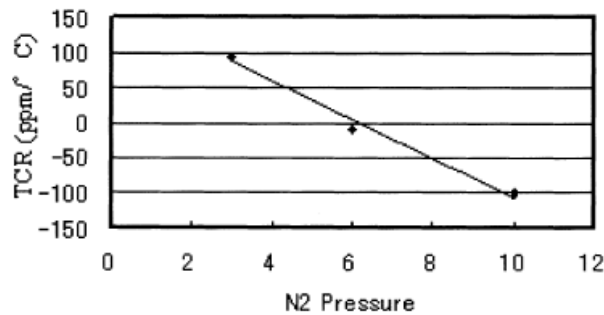


Fig. 4-5 : TCR en fonction de la pression d'azote

Ces données bibliographiques sur les couches minces d'oxynitride de titane mettent en évidence que la clé pour atteindre les caractéristiques électriques requises des résistances se trouve dans les paramètres de dépôts des films. Ainsi, le choix judicieux et le contrôle précis de ces paramètres peut permettre d'atteindre des valeurs de résistivité en accord avec le cahier des charges, tout en conservant a priori une stabilité en température pouvant être acceptable. Un autre paramètre important non évoqué dans cette partie est le coefficient de linéarité en tension des résistances (VCR). A notre connaissance, aucune donnée pour les résistances en  $\text{TiN}_x\text{O}_y$  n'existe dans la littérature pour ce paramètre, et ce, bien qu'il soit aussi important du point de vue de l'application du composant que la stabilité en température.

Dans la section suivante, nous présentons les résultats obtenus sur des dépôts de  $\text{TiN}_x\text{O}_y$  effectués par PVD, et identifions la gamme de résistivité pouvant être couverte par ce matériau.

### 3. Caractéristiques des couches minces d'oxynitride de titane réalisées par PVD.

Les couches de  $\text{TiN}_x\text{O}_y$  réalisées sont déposées par pulvérisation cathodique DC, à partir d'une cible de Titane, dans une atmosphère d'oxygène ( $\text{O}_2$ ), d'Argon (Ar) et d'Azote ( $\text{N}_2$ ). Les densités de puissance utilisées pour les dépôts sont comprises entre 2 et  $4\text{W}/\text{cm}^2$ , et la gamme de pressions considérée est de  $1.10^{-3}$  à  $3.10^{-3}$  mbar.

La dépendance de la résistivité des couches de  $\text{TiN}_x\text{O}_y$  aux conditions de dépôts des films (température, puissance et débit) a été mise en évidence dans la littérature. Aussi, l'obtention des densités de résistance visées réside dans une sélection optimale des conditions de dépôt. Afin de valider l'influence des paramètres machine sur la résistivité, des couches épaisses ( $\sim 500\text{nm}$ ) ont été déposées sur substrat silicium. Les effets de la puissance et de la pression sur la résistivité des couches sont présentés sur la Fig. 4-6. Les gammes de puissances et de températures considérées sont respectivement 150 à 300W et 200 à 350°C.

Une diminution de la résistivité est observée lorsque la puissance ou la température des dépôts augmente. L'effet de la température sur la résistivité est cohérent par rapport aux tendances observées par J.Guillot et Al. [130], et ce, bien que les températures considérées soient inférieures à celles de la Fig. 4-2. Une dépendance inverse de la résistivité est mise en évidence lorsque le débit d'oxygène augmente, en accord avec la littérature [126], c'est-à-dire que la résistivité des films croît avec le débit d'oxygène, et une tendance similaire est constatée lorsque le rapport oxygène sur azote des films de  $\text{TiN}_x\text{O}_y$  augmente (Fig. 4-7).

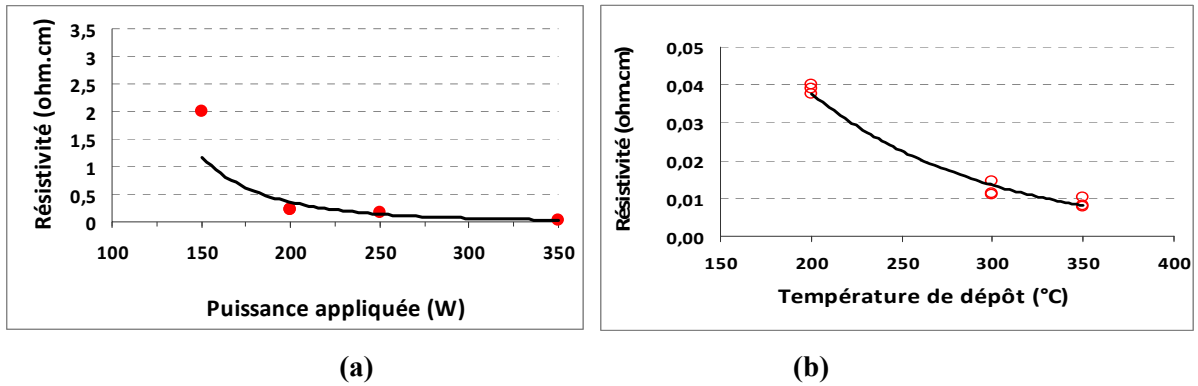


Fig. 4-6- (a) Résistivité en fonction de la puissance appliquée pour une température de substrat de 350°C et (b) Résistivité en fonction de la température de dépôt pour une puissance de 200W.

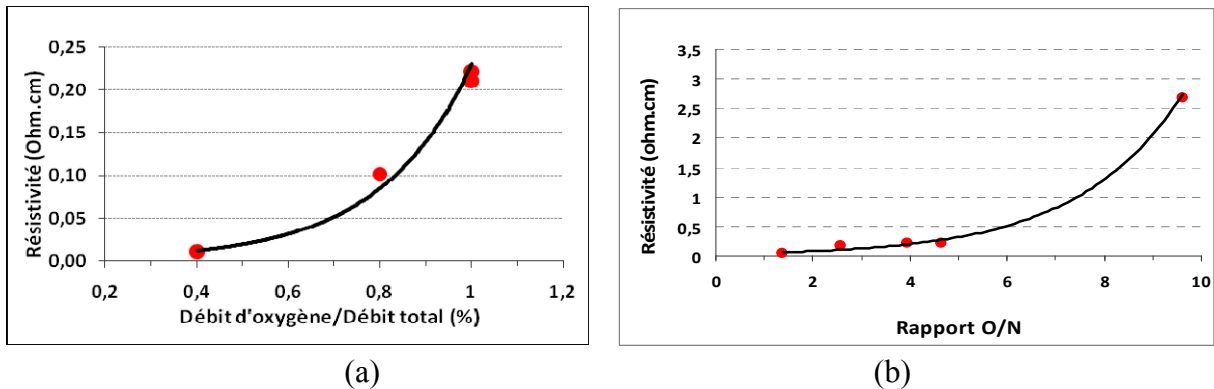


Fig. 4-7- (a) Résistivité en fonction du débit d'oxygène (b) Résistivité en fonction du rapport O/N

Pour quantifier l'influence du recuit sur la composition des films, un recuit sous atmosphère d'oxygène est effectué à 450°C pendant 30mn pour des dépôts préalablement réalisés à température ambiante et à 350°C. La Fig. 4-8 met en évidence l'influence du recuit sur la composition des films de  $TiN_xO_y$ . L'incrément d'oxygène dans le film suite au recuit est constant pour les films déposés à l'ambiante et à 350°C, et nous pouvons noter qu'en moyenne, le recuit considéré a pour effet d'augmenter le rapport O/N d'un facteur 1.7 environ. Le rapport O/N supérieur induit par le recuit augmente la résistivité des films, et ce, conformément aux résultats de la littérature [129].

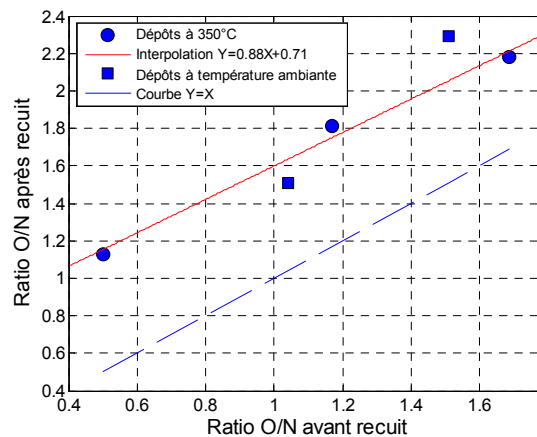
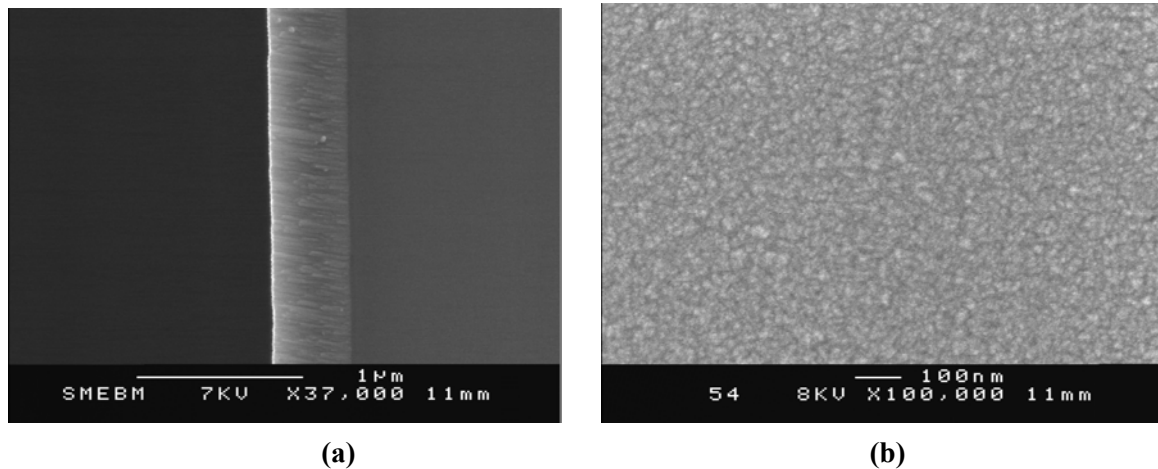


Fig. 4-8- Rapport O/N avant et après un recuit sous Oxygène à 450°C pendant 30mn

La caractérisation de films, déposés sur silicium dans une enceinte à 350°C, de composition  $TiN_{0.85}O_{0.68}$ , et qui disposent d'une épaisseur de couche de 500nm, a été

effectuée par microscopie électronique à balayage. Les images obtenues mettent en évidence une structure colonnaire sur la tranche du film (Fig. 4-9a) et la présence de grains en surface (Fig. 4-9b) :



**Fig. 4-9- (a) Vue en tranche et (b) de la surface d'une couche de  $\text{TiN}_{0.85}\text{O}_{0.68}$  déposée à 350°C**

La composition des films a été extraite par EDS (Energy Dispersive Spectroscopy) sur des films d'épaisseurs de 500nm.

Cette étude de l'influence des conditions de dépôt sur la résistivité des couches permet d'une part de vérifier les tendances observées dans la littérature et, d'autre part, de valider la possibilité d'obtenir la gamme de densités souhaitée avant d'entreprendre l'intégration des films dans le BEOL de la filière CMOS. Nous avons observé que la gamme de résistivités couverte est de  $0.01\Omega\cdot\text{cm}$  à  $3\Omega\cdot\text{cm}$  (Fig. 4-6 et Fig. 4-7). En considérant des films d'épaisseur de 50nm à intégrer dans la filière CMOS, cela nous permettra donc a priori de couvrir une gamme de densités de  $2\text{k}\Omega/\square$  à  $500\text{k}\Omega/\square$ . Ce résultat semble être tout à fait novateur puisque dans la littérature, nous sommes limités à  $2.5\text{k}\Omega/\square$ . Cette gamme de résistances par carrée des couches de  $\text{TiN}_x\text{O}_y$  permet donc de répondre aux objectifs du cahier des charges des résistances à réaliser ( $10\text{k}\Omega/\square$ ). Aussi, le choix des conditions de dépôt des films s'effectue de manière à ce que les films présentent des résistivités supérieures à  $0.05\Omega\cdot\text{cm}$  pour des films d'épaisseur 50nm afin d'atteindre les  $10\text{k}\Omega/\square$  requis.

#### **4. Développement du schéma d'intégration de couches minces résistives dans le BEOL de la filière CMOS**

Dans cette partie nous nous attachons, dans un premier temps, à décrire et d'identifier quelles sont les limites à l'utilisation des schémas d'intégration classique des résistances intégrées dans la filière CMOS considérée. Ensuite, une solution alternative est présentée afin de lever les verrous évoqués.

Cette section est confidentielle en raison d'un brevet déposé sur le schéma d'intégration des résistances intégrées. Le schéma d'intégration est présenté en annexe 3.

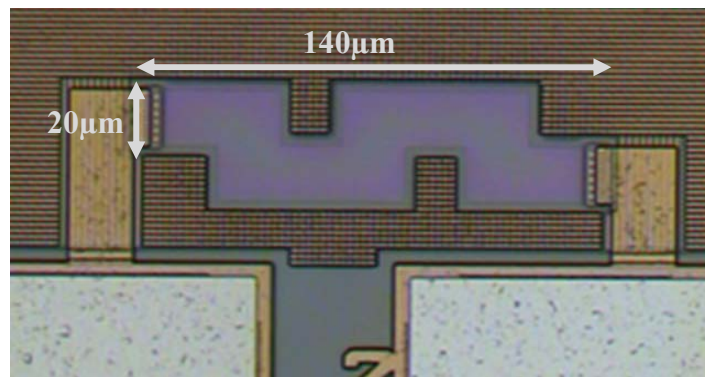


## 5. Intégration des couches minces résistives dans le BEOL de la filière CMOS.

Le schéma d'intégration proposé en annexe 3 a été testé expérimentalement, et les couches de  $\text{TiN}_x\text{O}_y$  ont été intégrées dans le BEOL de la filière CMOS  $0.5\mu\text{m}$  afin de réaliser les résistances. Un véhicule de test composé de plus de 200 composants a été conçu et développé pour permettre de tester le schéma d'intégration, mais aussi de caractériser les performances électriques des composants, et enfin de valider les règles de dessins associées. Le détail sur les tests d'intégration et la définition des règles de dessins, en mesure d'être effectués à partir du véhicule de test, sont présentés en annexe 4.

### 5.1 Caractérisation électrique des résistances intégrées

La caractérisation  $I-V$  des résistances est effectuée en mesurant le courant aux bornes de la résistance lorsque l'on y applique une rampe de tension. Sur la Fig. 4-10 est présentée une image réalisée par microscopie optique d'une résistance en serpentins composée de 10 carrés de  $20\mu\text{m} \times 20\mu\text{m}$ . Les caractérisations électriques sous pointes des résistances sont effectuées à partir d'un analyseur de paramètres semi-conducteurs Agilent 4155C.



**Fig. 4-10- Résistance intégrée composée de 10 carrés de  $20\mu\text{m} \times 20\mu\text{m}$  en serpentins**

Sur les premiers wafers fabriqués, la mesure sous pointes des résistances est effectuée de façon classique, c'est à dire en plaçant des pointes sur les deux plots partiellement représentés sur la Fig. 4-10 ci dessus. Ces mesures ont mis en évidence une caractéristique non linéaire du courant en fonction de la tension. De plus, lorsque la tension appliquée devient supérieure à 25V, une augmentation brusque du courant est induite (Fig. 4-11). Nous pouvons constater sur cette figure que le phénomène s'apparente à l'augmentation de courant induite par le claquage partiel ou total d'un matériau diélectrique. En répétant la mesure sur un même site, suite à ce « claquage », le courant mesuré devient supérieur, mais reste toutefois non linéaire avec la tension. Nous supposons alors que le claquage observé peut-être celui d'un diélectrique non désiré, mais tout de même présent entre la couche résistive et les vias qui se trouvent en dessous. En effet, une fois l'hypothétique interface « claquée », le passage du courant dans la résistance est facilité car il est supérieur à celui de la première mesure effectuée sur un même site.

Afin de confirmer la présence d'une interface au niveau des contacts du film résistif, et qui viennent modifier la réponse en courant du composant, nous avons entrepris des mesures sur des structures Kelvin définies à partir de motifs similaires à celui représenté sur la

Fig. 4-12a. Sur de telles structures, les mesures s'effectuent à partir de quatre zones de prise de contact sur la résistance. Les deux premières, similaires à celles des résistances classiques (placées aux extrémités) injectent une rampe de courant, et la différence de potentiel sur les deux autres prises de contact est alors mesurée. Le principe de la mesure Kelvin est illustré sur la Fig. 4-12b. En pratique, le courant de mesure est très faible, la chute de tension entre les tensions  $V_r$  et  $V_m$  est négligeable et ces dernières sont considérées égales. La résistance mesurée se déduit alors par l'expression  $R_x = V_r / I_s$ . L'intérêt de ce type de mesure est de permettre de s'affranchir des résistances de contacts et donc des problèmes d'interfaces associés.

Lorsque les mesures sont effectuées à partir de résistances Kelvin, une réponse linéaire en courant est cette fois constatée (Fig. 4-11). Ce résultat confirme l'hypothèse de la présence d'une interface diélectrique au niveau des contacts qui a pour effet de modifier la réponse en courant du composant. Afin de vérifier ce point, une analyse en coupe des contacts a été effectuée par microscopie électronique en transmission (TEM). La présence d'oxyde, a priori de l'oxyde ILD, aux bords du contact peut-être observée en annexe 3. La caractéristique non linéaire du courant et son augmentation brusque a donc pour origine, respectivement, la présence et le claquage de cette interface.

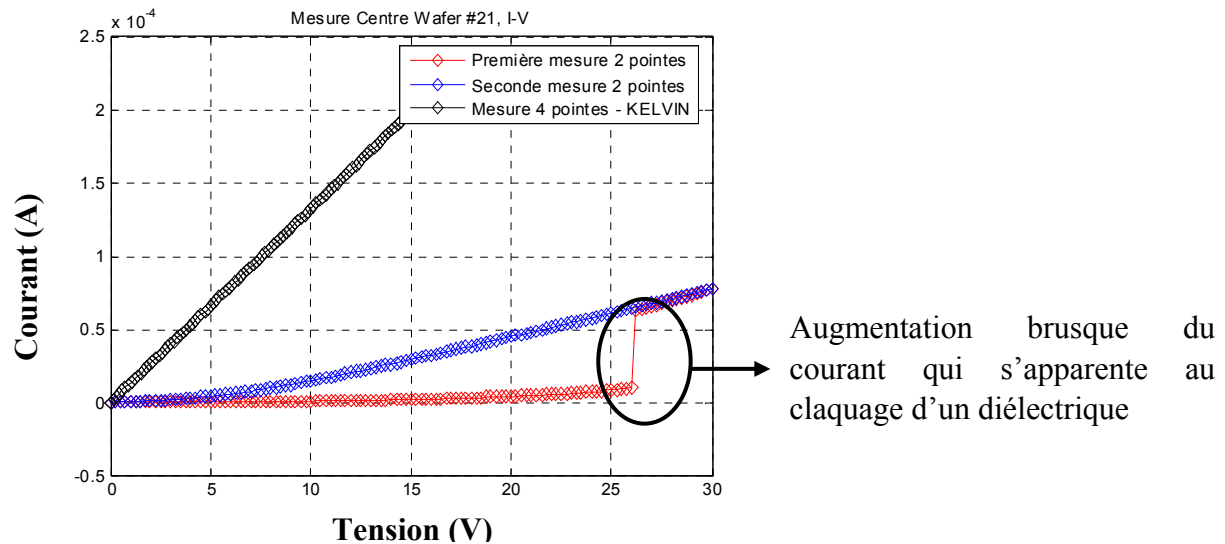


Fig. 4-11- Mesures deux points effectuées avant et après claquage de l'interface et mesure 4-points Kelvin

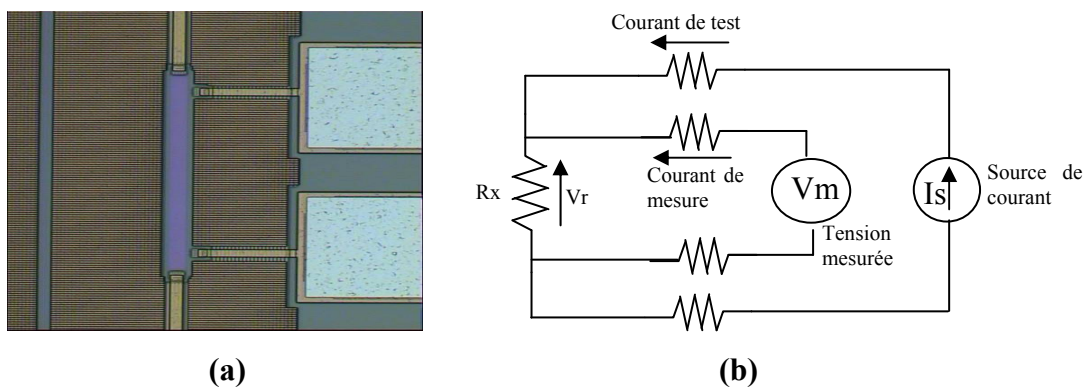


Fig. 4-12- (a) Résistance Kelvin composée de 16 carrés de  $10 \times 10 \mu\text{m}$ , et  
(b) Principe de la mesure Kelvin ou quatre points

La présence de cette interface d'oxyde entre les vias et la couche de  $\text{TiN}_x\text{O}_y$  résulte d'un mauvais contrôle du processus de formation des prises de contacts au niveau de la résistance. En effet, les résistances ayant été intégrées sur une nouvelle couche entre deux niveaux de métal, un nouveau processus de formation des plugs a été développé avec une taille des vias de l'ordre de la demi hauteur des vias standards à la filière. Une optimisation du procédé de formation des plugs a permis d'éviter par la suite la formation de cette interface susceptible de dégrader les performances électriques des résistances. En annexe 2, les résultats électriques des résistances ayant quatre électrodes (structures Kelvin) et un problème d'interface au niveau du contact, sont comparés aux résistances ayant deux électrodes (structures classiques), et un problème d'interface résolu.

## **5.2 Influence de la composition des films intégrés sur les performances électriques des résistances**

A partir des résistances intégrées pour lesquelles le problème de contact est résolu, une analyse des performances électriques post-intégration a été effectuée pour des résistances intégrées à partir de couches de  $\text{TiN}_x\text{O}_y$  formées à partir de:

- Dépôts à 350°C sans recuit.
- Dépôts à température ambiante sans recuit.
- Dépôts à 350°C avec un recuit à 450°C pendant 30mn.
- Dépôts à l'ambiante avec un recuit à 450°C pendant 30mn.

La dépendance de la résistance carrée en fonction de la composition du film résistif intégré est montrée sur la Fig. 4-13, où la composition du film est exprimée en fonction du rapport oxygène sur azote.

Une première tendance, quasi indépendante des conditions de dépôt peut-être constatée; la résistance carrée augmente de façon croissante avec la proportion d'oxygène dans le film. Ce résultat est cohérent avec ceux obtenus lors de l'analyse des films de  $\text{TiN}_x\text{O}_y$  sur silicium non intégrés dans la filière CMOS. Par un contrôle de la proportion d'oxygène dans le film, une large gamme de densités peut-être couverte, celle-ci s'étend de  $500\Omega/\square$  à  $800\text{M}\Omega/\square$ .

L'augmentation de la densité, qui équivaut à l'augmentation de la proportion d'oxygène dans le film ne s'effectue pas de façon indépendante aux valeurs des coefficients de linéarité des résistances. En effet, nous pouvons observer sur la Fig. 4-14 la dépendance du VCR à 10V (exprimé en ppm/V) en fonction de la composition du film. L'augmentation de la proportion d'oxygène dans le film a pour effet de faire tendre vers zéro le VCR des résistances, qui est par ailleurs de signe négatif. Pour des rapports O/N supérieurs à 1.5, nous pouvons observer une inversion du signe de la dépendance à la tension, et les coefficients de linéarité deviennent alors positifs. Ce phénomène peut avoir un intérêt pour l'obtention de résistances ultra-linéaires en tension en plaçant en parallèle une résistance disposant d'un VCR positif avec une résistance disposant d'un VCR négatif, et ce, dans le but d'annuler ainsi le coefficient de linéarité résultant [<sup>131</sup>].

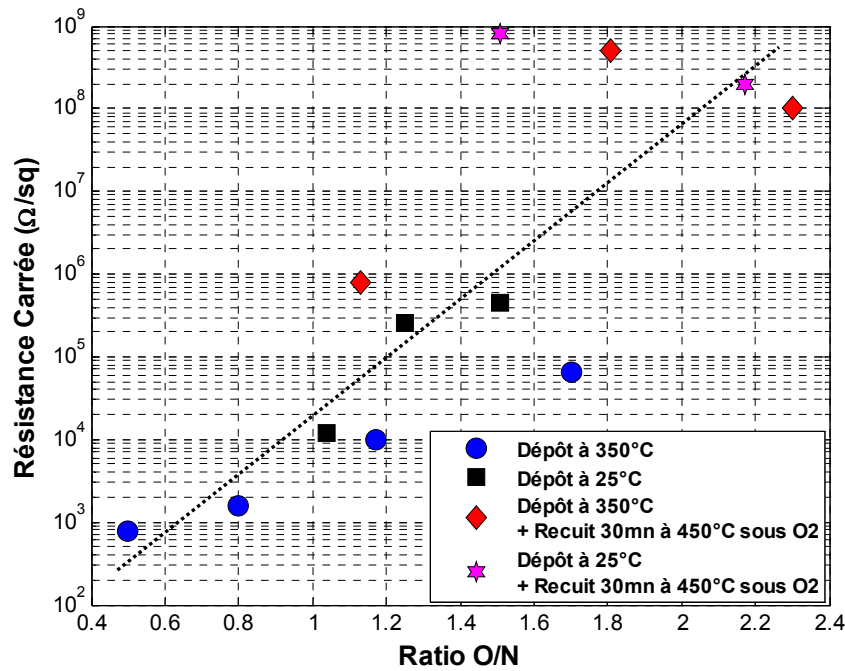


Fig. 4-13- Influence de la composition (ratio O/N) sur la valeur de résistance carrée pour plusieurs types de dépôts

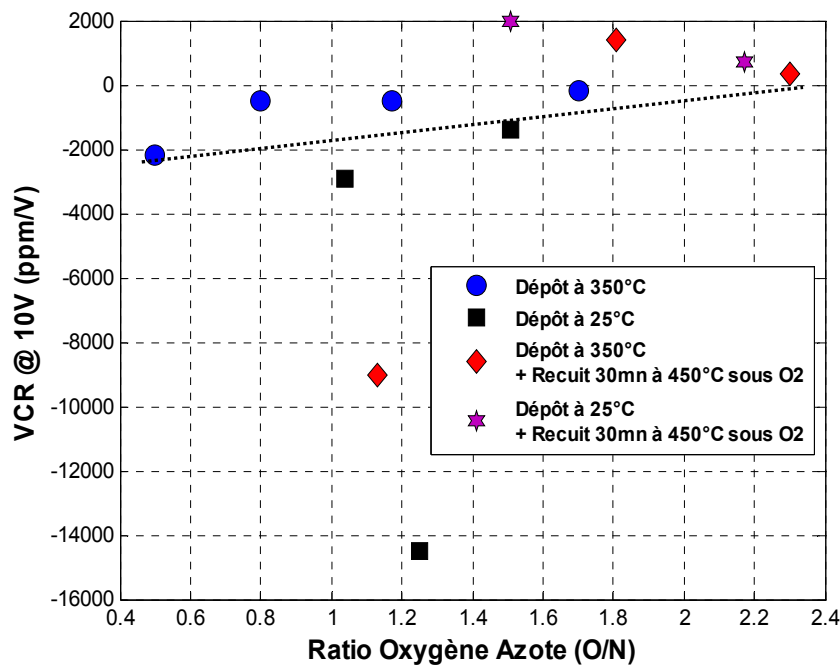


Fig. 4-14- Influence de la composition (ratio O/N) sur le VCR à 10V des résistances intégrées

Le coefficient de stabilité en température des résistances (exprimé en ppm/°C), mesuré à 125°C, augmente avec la proportion d'oxygène dans le film, comme cela est illustré sur la Fig. 4-15. De plus, nous observons une dispersion croissante autour de la valeur moyenne des TCR mesurés lorsque le rapport O/N augmente. Le TCR négatif illustre une diminution de la valeur des résistances lorsque la température augmente, et son signe est vérifié pour tous les types de dépôts considérés. Les modifications des valeurs de résistances par carrée extraites

des mesures en températures sont réversibles, et ce, pour toute la gamme de température considérée (de l'ambiante à 125°C).

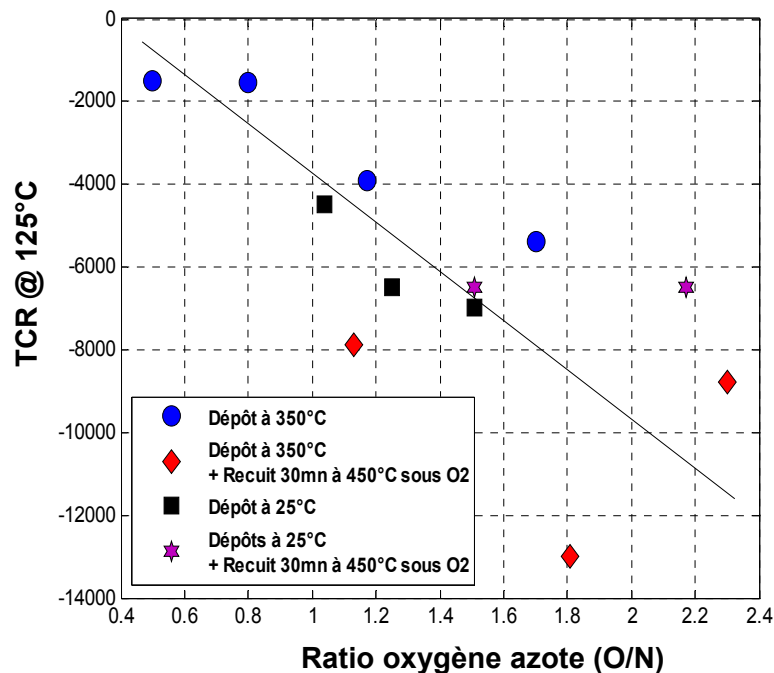


Fig. 4-15- Influence de la composition (ratio O/N) sur le TCR à 125°C des résistances intégrées

### 5.3 Influence de la passivation

En fin du processus de fabrication des puces CMOS, une couche de passivation est déposée. Le rôle de cette couche est à la fois d'isoler électriquement les circuits et de les protéger mécaniquement du monde extérieur. La couche de passivation est formée à partir de dépôts successifs de 240nm de  $\text{SiO}_2$  et de 540nm de  $\text{Si}_3\text{N}_4$ , recuits à 390°C pendant 45mn. Nous avons testé l'influence de la passivation sur la densité des résistances, les densités mesurées avant et après l'étape de passivation sont représentées sur la Fig. 4-16 pour des dépôts effectués à 350°C. La formation de la couche de passivation a pour effet de réduire la densité des résistances. L'hypothèse la plus avancée de l'origine de cette diminution semble être celle associée aux budgets thermiques de l'étape de passivation. En effet, la diffusion d'espèces de la couche de passivation dans le film résistif est peu probable car les résistances sont enfouies sous une couche d'ILD. La dépendance de la résistance carrée à la température a été mise en évidence précédemment par la mesure d'un TCR négatif, et ce, pour des couches passivées. Bien que les mesures électriques en température effectuées jusqu'à 125°C soient réversibles, l'hypothèse d'un stress en température à 390°C pendant 45mn qui modifie de façon irréversible les caractéristiques des résistances peut toutefois être avancée.

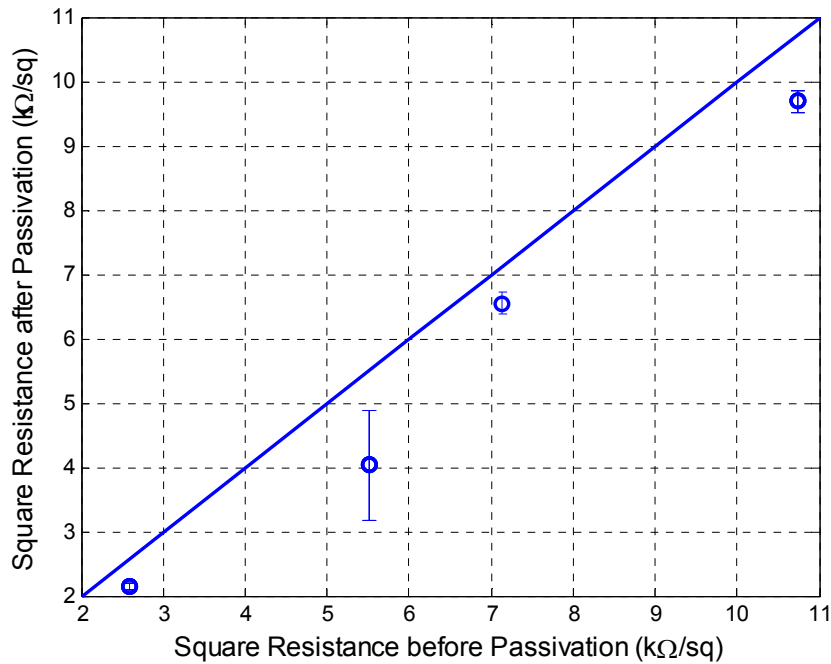


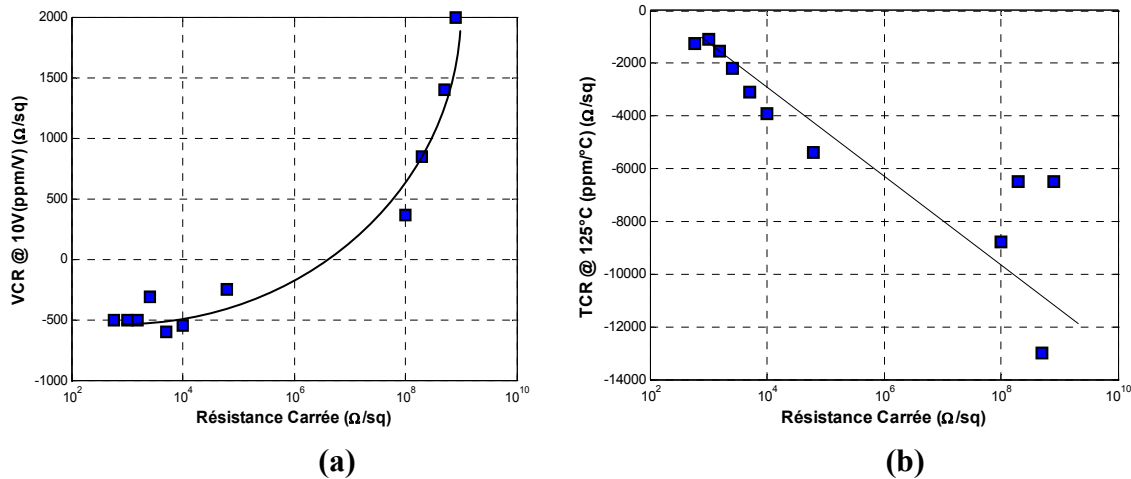
Fig. 4-16- Densité de résistance avant et après l'étape de passivation

#### 5.4 Influence des coefficients de linéarité en fonction de la densité des résistances

L'analyse de l'influence de la composition des films sur les performances électriques des résistances intégrées a mis en évidence des tendances sur les coefficients de linéarité qui sont vérifiées quasi-indépendamment des conditions de dépôt. Il est par conséquent possible d'analyser les performances en termes de stabilité en tension et température des résistances en fonction de la résistance par carrée des couches intégrées, sans nécessairement considérer la composition des films. Ceci permet notamment de confirmer les tendances sur un nombre de mesures plus important.

La Fig. 4-17b met en évidence une augmentation quasi-linéaire du TCR en fonction de la résistance carrée, avec une dispersion plus importante pour les couches de forte densité, confirmant la tendance démontrée précédemment. Les VCR mesurés ont eux, une dépendance parabolique avec la densité et une inversion du signe de la dépendance à la tension pour des résistances carré supérieures au  $M\Omega/\square$ , comme cela a pu être noté pour la dépendance du VCR à la composition des films.

A partir de cette analyse portée sur les films intégrés pour différentes conditions de dépôts et compositions, nous pouvons observer que globalement, les films formés à partir de dépôts à  $350^{\circ}\text{C}$  sans recuit sont ceux qui semblent présenter le meilleur compromis en termes de densité et de linéarité en tension et en température. Ce sont par ailleurs les films qui ont les densités les plus faibles, soient de  $550\Omega/\square$  à  $60\text{k}\Omega/\square$ .



**Fig. 4-17- (a) VCR à 10V et (b) TCR à 125°C en fonction de la densité de résistance**

Les résistances réalisées à partir de films déposés à 350°C représentent le meilleurs compromis, et seront retenues dans la suite de l'étude sur l'influence des facteurs géométriques des résistances sur leurs caractéristiques électriques. De plus, précisons que les substrats considérés dans la suite disposent tous de la couche de passivation afin de se placer au plus près du contexte réel d'utilisation des résistances.

Notons tout particulièrement, dans le tableau suivant, les performances électriques associées à la composition suivante vis-à-vis de nos objectifs :

	Objectifs de performances	Performances atteintes $\text{TiO}_{0.81}\text{N}_{0.69}$
<b>Densité</b>	$> 10\text{-}20\text{k}\Omega/\square$	$10\text{k}\Omega/\square$
<b>Stabilité en tension</b>	100ppm/V	-500ppm/V à 10V
<b>Stabilité en température</b>	100ppm/°C	-3900ppm/°C à 125°C

### 5.5 Tests des règles de conception des résistances intégrées

La valeur théorique d'une résistance est fixée à partir de la résistance par carrée de la couche mince (en  $\Omega/\square$ ), et du nombre de carrés utilisés pour définir le motif de la résistance. En pratique d'autres facteurs peuvent intervenir et sont donc à considérer lors de la conception des résistances. Nous pouvons par exemple citer le nombre de prises de contact sur la résistance, la taille des carrés, le type de géométrie résultant de l'association des carrés (méandre ou rectiligne) ou encore la présence de lignes transportant du courant à proximité des résistances. Ces différents paramètres ou configurations peuvent tous avoir une influence non négligeable sur les caractéristiques électriques des résistances intégrées. Si cela se vérifie, des contraintes ou des critères de conception doivent être définis à travers les règles de dessins de la technologie mises à disposition des concepteurs de circuits.

Nous présentons dans cette partie les résultats d'une analyse portée sur l'influence du nombre de contacts sur les caractéristiques électriques des résistances intégrées. Nous présenterons également l'influence du nombre de carrés et leur taille sur les performances électriques du composant. L'objectif est d'illustrer de cette manière les tests qui doivent être effectués pour définir des critères de conception des résistances. Ces critères doivent servir d'une part pour prédire aisément la valeur du composant, et d'autre part pour permettre d'assurer leur bon fonctionnement en évitant de favoriser les imperfections technologiques. Les films considérés pour les résistances ont des densités de  $1,5\text{k}\Omega/\square$ ,  $5\text{k}\Omega/\square$ ,  $10\text{k}\Omega/\square$  et  $62\text{k}\Omega/\square$ . Ces valeurs de



densité ont été extraites de mesures effectuées à partir de structures Kelvin et sont utilisées comme valeurs de référence pour constater des dérives des caractéristiques des composants. Les quatre films ont été déposés à 350°C et sont caractérisés afin d’extraire la densité ( $\Omega/\text{sq}$ ), ou la valeur de résistance ( $\Omega$ ), les coefficients de linéarité en tension à 10V (ppm/V), et les coefficients de linéarité en température à 125° (ppm/°C).

### 5.5.1. Influence du nombre de contacts

La qualité des prises de contacts au niveau des films résistifs peut-être déterminante sur la réponse en courant de la résistance comme nous avons pu le constater précédemment. De plus, pour des films de forte résistivité, la résistance de contact peut être élevée et contribuer de façon non négligeable sur la valeur du composant. Aussi, nous avons testé l’influence du nombre de prises de contacts sur les caractéristiques électriques des résistances afin de définir le nombre minimal de contacts requis pour garantir des interconnexions assurant de ne pas dégrader ou modifier sensiblement la valeur du composant.

IMAGE CONFIDENTIELLE

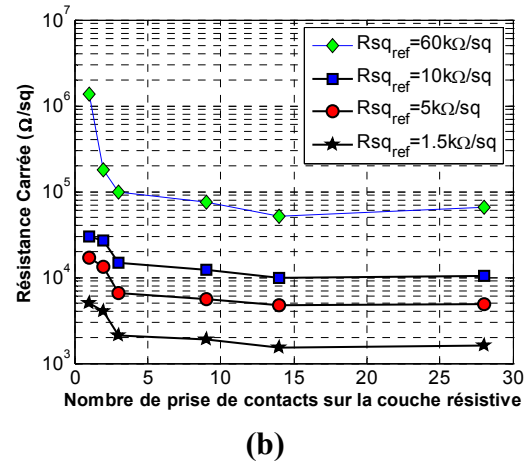


Fig. 4-18- (a) Structure schématique de la zone de contacts intégrés au niveau de la résistance et (b)  $R_{\square}$  en fonction du nombre de contacts

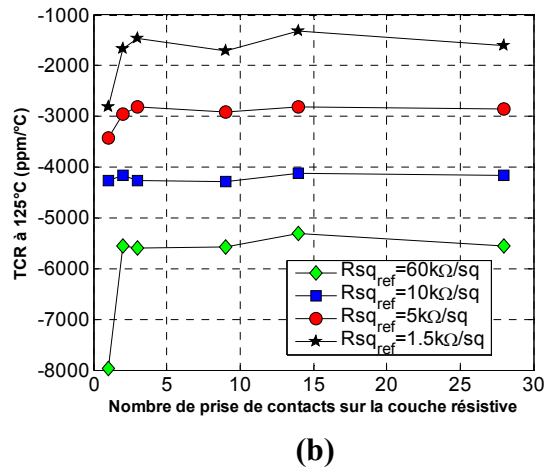
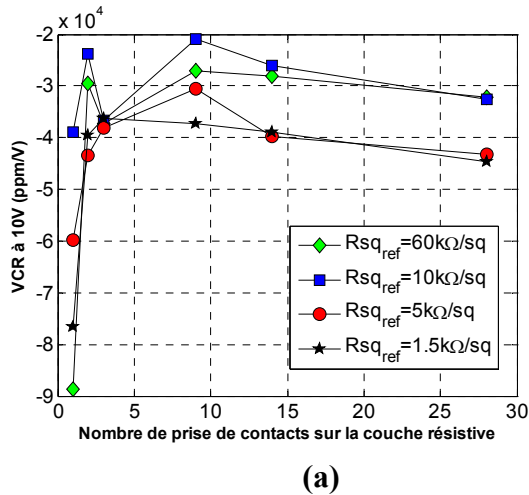


Fig. 4-19- (a) VCR à 10V et (b) TCR à 125°C en fonction du nombre de contacts

Les mesures de l’influence du nombre de contacts ont été effectuées sur des résistances construites à partir d’un unique carré de 50 $\mu\text{m}$  de côté et pour des nombres de 1, 2, 3, 9, 14 et 28 contacts. Une tendance similaire pour les quatre films testés peut être observée sur la Fig. 4-18b, où l’augmentation du nombre de contacts a pour effet de diminuer la résistance carrée.



Nous pouvons observer que la valeur mesurée se stabilise au delà de 9 prises de contacts à la valeur de résistance carrée extraite des structures Kelvin. En effet, la connexion de la résistance à partir de plusieurs contacts équivaut à mettre en parallèle les résistances équivalentes qu'ils induisent. Cela a donc pour effet de diminuer la contribution globale des résistances de contact, comme cela est présenté sur la Fig. 4-18b.

La dépendance du nombre de contacts au VCR est présentée sur la Fig. 4-19a. Nous pouvons d'abord remarquer une forte dépendance du VCR au nombre de contact, avec a priori un nombre nécessaire de contacts à utiliser supérieur à 9. Ensuite, un recouvrement des VCR entre les films de  $1,5\text{k}\Omega/\square$  et  $5\text{k}\Omega/\square$ , ainsi qu'entre les films de  $10\text{k}\Omega/\square$  et  $62\text{k}\Omega/\square$  à partir de 14 contacts est observé. Contrairement au VCR, le TCR est lui moins sensible au nombre de contacts. En effet, des variations négligeables sont observées pour un nombre de contact supérieur à 2 (Fig. 4-19b). Finalement, nous pouvons conclure qu'il est préférable de connecter les films de  $\text{TiN}_x\text{O}_y$  avec au minimum cinq à neuf prises de contact sous la résistance, dans la mesure où les carrés de la résistance sont inférieurs à  $50\mu\text{m}$ , ce qui correspond aux dimensions maximales considérées ici.

### 5.5.2. Influence de la taille des carrés

Un autre test indispensable à effectuer est celui qui permet de définir la taille minimum des carrés pouvant-être utilisée pour fabriquer les résistances et garantir leurs performances électriques. En effet, les limites en dimension ont un impact direct sur l'espace occupé par les composants, et donc sur les performances d'intégration des circuits qui utilisent soit un grand nombre de résistances, soit des résistances de très fortes valeurs. A partir de résistances composées d'un unique carré et d'un nombre de contacts suffisant, les caractéristiques électriques de résistances composées de carrés de dimensions  $3\mu\text{m}$ ,  $5\mu\text{m}$ ,  $10\mu\text{m}$ ,  $20\mu\text{m}$  et  $40\mu\text{m}$  de côté sont étudiées.

Pour les films de densité  $1,5\text{k}\Omega/\square$  et  $5\text{k}\Omega/\square$ , une résistance carrée très élevée est mesurée pour des motifs de dimensions inférieures à  $10\mu\text{m}$ , comme cela peut-être observé sur la Fig. 4-20b. Ces valeurs trop importantes, bien qu'elles soient reproductibles, ont très certainement pour origine un problème d'interconnexion ou d'interface au niveau des contacts, car les valeurs ne sont pas cohérentes avec celles attendues. Ainsi, il est recommandé de construire les résistances à partir de carrés au minimum de dimensions  $10\mu\text{m} \times 10\mu\text{m}$ , où une résistance par carré équivalente à celle des structures en Kelvin est mesurée. Ensuite, pour les quatre films considérés, nous pouvons remarquer que la densité est constante avec la taille des carrés, si cette dernière est située entre  $10\mu\text{m}$  et  $50\mu\text{m}$ .

La dépendance du coefficient de linéarité en tension aux dimensions des résistances est importante. En effet, nous pouvons observer sur la Fig. 4-21a, une réduction non négligeable du VCR lorsque la taille des carrés augmente. Une tendance à la saturation de la valeur des VCR pour des dimensions de carrés supérieures à  $20\mu\text{m}$  peut toutefois être remarquée. Un recouvrement des coefficients de linéarité en tension pour les films de  $1.5\text{k}\Omega/\square$  et  $5\text{k}\Omega/\square$ , ainsi que  $10\text{k}\Omega/\square$  et  $62\text{k}\Omega/\square$  est observé sur la Fig. 4-21a, et ce, pour des dimensions des carrés supérieures à  $10\mu\text{m}$ . Ce recouvrement de VCR entre les composants de ces mêmes densités avait déjà été remarqué lorsque le nombre de contacts sur la résistance était suffisant (Fig. 4-19a). La Fig. 4-21 fait apparaître que le VCR est plus sensible que le TCR à la taille des carrés formant les résistances. Les variations de TCR sont négligeables lorsque les dimensions des résistances sont supérieures à  $10 \times 10\mu\text{m}^2$ .

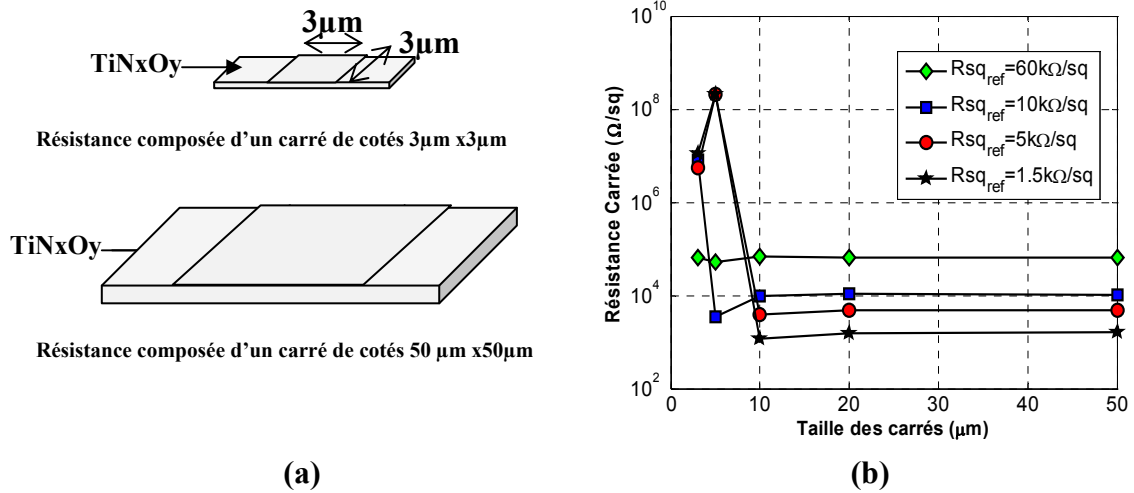


Fig. 4-20- (a) Illustration du test de la taille des carrés et (b)  $R_{\square}$  en fonction de la taille des carrés

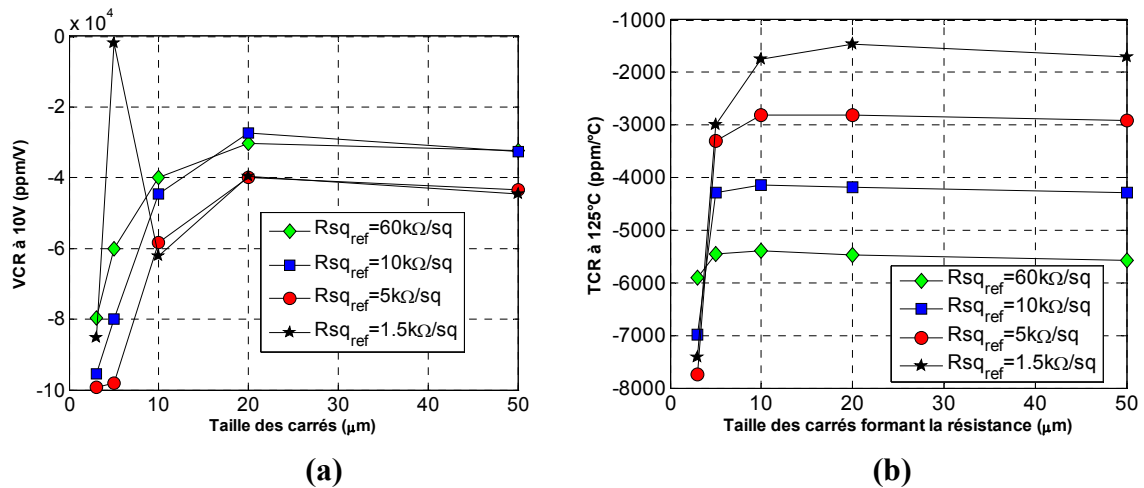


Fig. 4-21- (a) VCR à 10V et (b) TCR à 125°C en fonction de la taille des carrés

### 5.5.3. Influence du nombre de carrés de la résistance

Le dernier point qui sera considéré ici pour la conception des résistances consiste en l'assemblage d'un nombre de carrés donné pour obtenir la valeur souhaitée du composant. La valeur de la résistance est théoriquement une fonction linéaire du nombre de carrés qui la composent, comme cela est montré sur la Fig. 4-22b (en échelle semi-logarithmique), où le nombre de carrés des résistances varie entre 1 et 80 carrés. Les valeurs mesurées sont comparées aux valeurs théoriques calculées à partir de la densité de la couche résistive mesurée en Kelvin, et un très bon accord entre le résultat théorique et la mesure est observée.

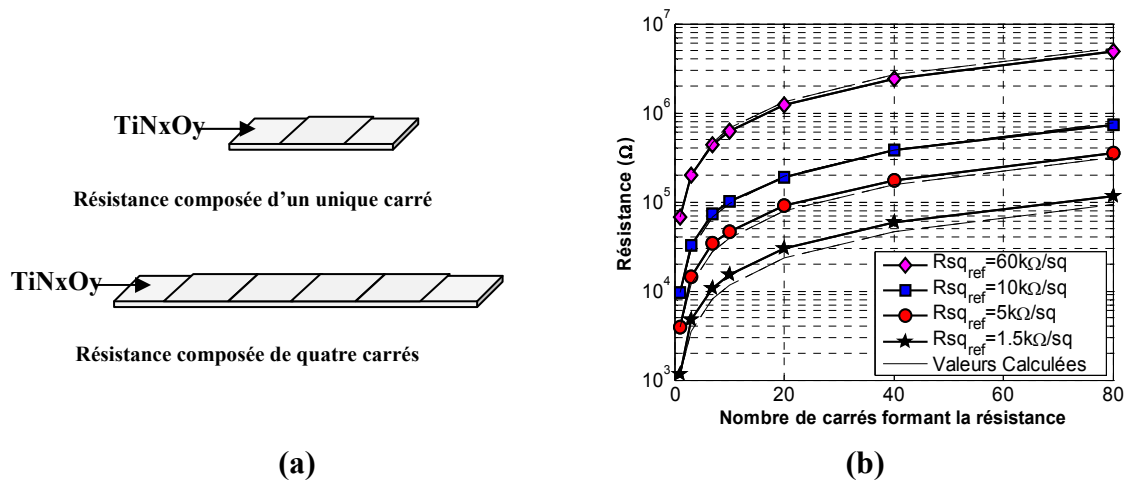


Fig. 4-22- (a) Schéma de la structure d'une résistance composée de 1 ou 4 carrés et (b) Valeur de résistance en fonction du nombre de carrés

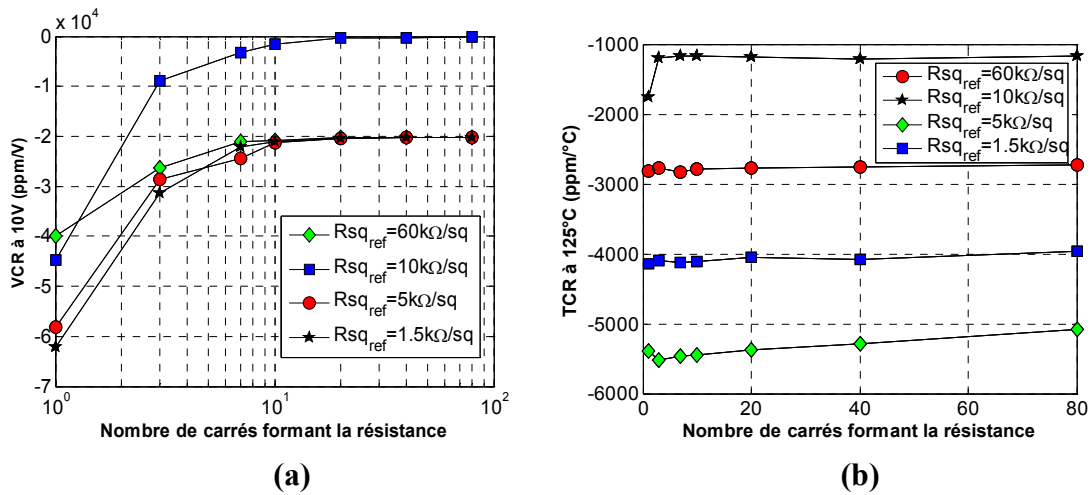


Fig. 4-23- (a) VCR à 10V et (b) TCR à 125°C en fonction du nombre de carrés

Le VCR des résistances intégrées est encore cette fois très dépendant du paramètre variable considéré ici, soit le nombre de carrés. Nous pouvons observer sur la Fig. 4-23a qu'en augmentant le nombre de carrés, le VCR diminue jusqu'à tendre vers une valeur autour de -2000  $\text{ppm/V}$  pour les films de 1,5  $\text{k}\Omega/\square$ , 5  $\text{k}\Omega/\square$  et 62  $\text{k}\Omega/\square$ , et quelques centaines de  $\text{ppm/V}$  (typiquement 500  $\text{ppm/V}$ ) pour le film de 10  $\text{k}\Omega/\square$ . Ainsi, les résistances longues disposent d'une meilleure linéarité en tension. En revanche, le nombre de carrés n'a quasiment aucune influence sur la linéarité en température des résistances, comme cela peut-être observé sur la Fig. 4-23b.

Cette étude sur les tendances des caractéristiques électriques en fonction du nombre de contact et des paramètres géométriques des résistances intégrées nous permet de définir quelques règles de dessins des résistances. D'abord, nous avons constaté que pour un nombre de contact supérieur à 5, les contributions des résistances de contact deviennent négligeables. L'analyse de la dépendance des paramètres électriques à la géométrie nous a permis de mettre en avant les tendances suivantes:

- Une taille minimale des carrés peut-être définie à  $10\mu\text{m}$  de côté pour garantir d'une part les caractéristiques électriques en termes de valeur de résistance et, d'autre part, des valeurs de VCR et TCR stabilisées.
- L'augmentation de la taille des carrés n'a pas d'influence sur la valeur de résistance, mais permet cependant de diminuer la dépendance à la tension
- L'augmentation du nombre de carrés engendre une diminution du VCR, jusqu'à une valeur limite.
- Enfin, aucune dépendance significative à la température n'a été observée à travers ces tests. Contrairement au coefficient de linéarité en tension qui semble être à la fois dépendant de la géométrie et des propriétés des matériaux utilisés pour les résistances, le coefficient de linéarité en température reste lui indépendant de la géométrie des résistances, et semble donc dépendre uniquement des propriétés du matériau.

## 6. Conclusion

Dans ce chapitre, nous avons présenté la démarche adoptée pour intégrer des films minces d'oxynitride de titane dans le BEOL d'une technologie CMOS afin de réaliser des résistances intégrées de forte densité et haute linéarité.

L'état de l'art des performances des résistances formées à partir de couches minces résistives de  $\text{TiN}_x\text{O}_y$  a d'abord été présenté. Ensuite, nous avons analysé les caractéristiques électriques des films résistifs déposés par PVD et quantifié l'influence des conditions de dépôt sur la résistivité des couches. L'intégration des couches minces de  $\text{TiN}_x\text{O}_y$  dans le BEOL de la filière CMOS a été effectuée à partir d'un nouveau schéma d'intégration qui permet de s'affranchir des problèmes liés à l'incompatibilité des procédés de formation des électrodes avec le matériau résistif considéré. Le schéma d'intégration a été validé expérimentalement à partir d'un véhicule de test conçu dans le même temps pour caractériser électriquement les résistances intégrées dans le BEOL. Ce schéma d'intégration des résistances a par ailleurs fait l'objet d'un brevet qui a été soumis.

Les caractéristiques électriques des résistances intégrées ont été analysées en fonction de facteurs technologiques tels que la composition des films ou encore l'influence de l'étape de passivation. Cette analyse a été effectuée afin de sélectionner d'une part les paramètres optimaux de croissance des films minces, et d'autre part pour mettre en évidence la nécessité de prendre en considération les étapes de la filière succédant à la fabrication de la résistance. Ces étapes peuvent induire une modification non négligeable et irréversible des caractéristiques électriques des composants. Ensuite, une analyse des performances électriques des résistances en fonction de facteurs géométriques tels que le nombre de contacts, la taille ou le nombre de carrés utilisé pour construire les composants a été présentée. Ceci a été effectué dans le but de définir des règles de dessins pour la conception des résistances intégrées.

La faisabilité d'intégrer des résistances à base d'oxynitride de titane en couches minces dans le BEOL d'une filière CMOS a été démontré. Nous avons mis en évidence la possibilité de couvrir une très large gamme de densités à partir d'un même matériau ( $500\Omega/\square$  à  $800\text{M}\Omega/\square$ ). La densité maximale ayant été répertoriée dans la littérature pour des résistances intégrées en couches minces de  $\text{TiN}_x\text{O}_y$  est, à notre connaissance, de  $5\text{k}\Omega/\square$  [126]. Sachant qu'aucune donnée n'est disponible dans la littérature concernant les performances en terme de

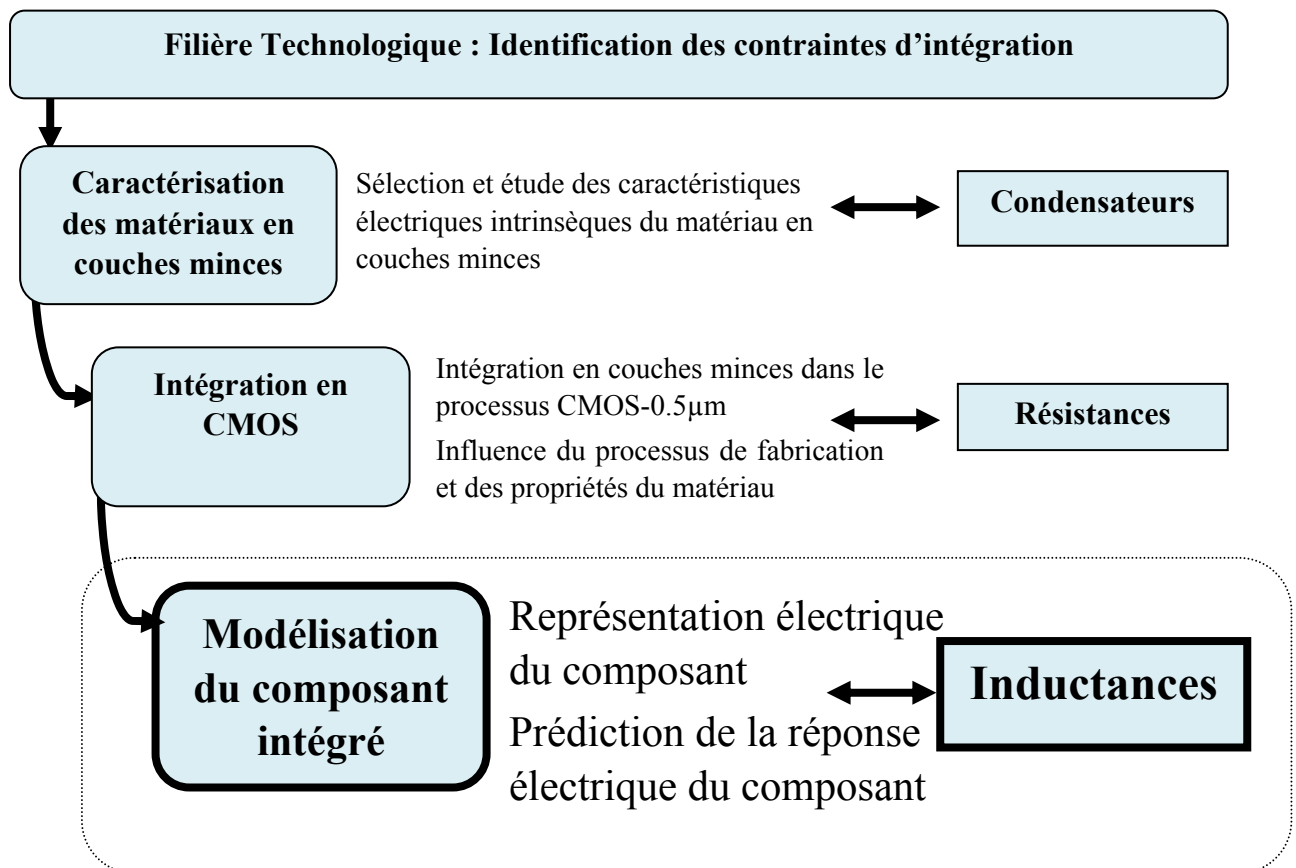
linéarité en tension, très souvent masquée à travers la tolérance des composants ; nous avons démontré des performances intéressantes sur la stabilité en tension des résistances, avec des VCR de l'ordre de -500ppm/V sur une très large gamme de densité (typiquement 500Ω/□ à 62kΩ/□, Cf Fig. 4-17a). Enfin, le facteur « linéarité en température » reste encore un paramètre critique à l'heure actuelle par rapport à l'état de l'art. En effet, un TCR de 50ppm/°C a été démontré pour des films de densité 2.5kΩ/□ [126], ce qui est en dessous du coefficient de stabilité en température minimal obtenu lors de nos développements (<-1200ppm/°C). Nous n'avons cependant trouvé aucune dépendance du TCR par rapport aux paramètres géométriques des résistances ; ainsi son optimisation réside dans une optimisation des propriétés du matériau.

Enfin, les résistances intégrées dans le BEOL de la filière CMOS permettent d'améliorer les performances actuelles des résistances standards disponibles de la filière CMOS 0.5μm. Une large gamme de densité de résistance peut être couverte, tout en conservant des performances équivalentes en terme de linéarité en température par rapport aux résistances en poly silicium intégrées dans le FEOL.

L'étude menée a été focalisée sur les trois paramètres ( $R_{\square}$ , VCR et TCR) largement évoqués au cours de ce chapitre. Cependant, la fabrication des résistances intégrées en  $TiN_xO_y$  dans la filière CMOS à une échelle industrielle nécessite de considérer l'influence des facteurs géométriques (tels que la forme, les dimensions, l'espace inter résistances...) et technologiques (composition des films, influence des étapes du processus de fabrication post-dépôt...) sur l'ensemble des paramètres caractéristiques des résistances qui ont été présentés dans le chapitre 1 et ce, de façon quantitative. Les tests pouvant être effectués à partir du véhicule de test conçu sont par ailleurs présentés en annexe 4.

Nous avons illustré dans ce chapitre le niveau d'analyse intermédiaire entre les propriétés du matériau et celles du composant, qui consiste en l'intégration de couches minces dans la filière CMOS. Dans le chapitre suivant, nous nous intéressons cette fois à l'étude au niveau du composant et en particulier à sa représentation électrique.





# Chapitre 5. Modélisation d'inductances spirales intégrées en CMOS

## 1. Introduction

La conception d'un circuit électronique intégré nécessite un travail de collaboration entre fabricant et concepteur. En effet, selon l'implication de ces deux acteurs, différents niveaux de conception de circuits intégrés sont définis :

- Circuits programmables : le fabricant propose une matrice d'interconnexions préconçue sur laquelle le concepteur définit des interrupteurs par programmation.
- Circuits prédéfinis : le concepteur définit lui-même les masques des interconnexions à partir d'un circuit matriciel proposé par le fabricant.
- Circuits précaractérisés : Le fabricant fournit une bibliothèque de cellules de composants discrets ou de blocs fonctionnels avec les dimensions extérieures et des spécifications électriques.

Les composants non disponibles sous forme de cellules sont dessinés par le concepteur en utilisant les règles et les spécifications électriques fournies par le fabricant.

- Circuits personnalisés : Tous les masques sont dessinés par le concepteur qui se base sur les règles de dessin et les spécifications électriques de la technologie proposée par le fabricant.

Ces deux derniers niveaux de conception sont incontournables pour la réalisation de circuits analogiques. L'étude et l'optimisation des caractéristiques des composants passifs intégrés se situent essentiellement dans le contexte des circuits personnalisés.

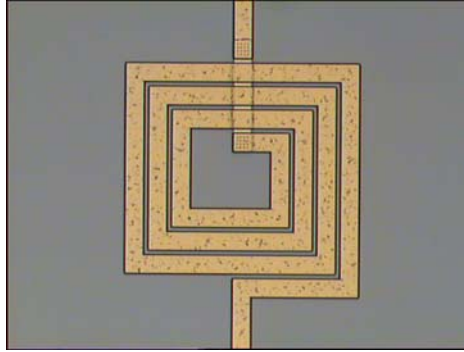
En effet, c'est à partir de règles de dessins spécifiées par le fabricant que le concepteur doit être en mesure de dessiner les différents motifs permettant de réaliser les composants passifs du circuit. Les spécifications électriques sont généralement fournies sous forme de kit de conception (ensemble de données permettant de simuler des composants génériques de la technologie à disposition des concepteurs). La phase de développement des kits de conception est donc une étape indispensable au développement d'une technologie de composant.

Les kits de conception pour les composants passifs sont très largement composés de modèles circuits dont les paramètres ont été extraits à partir de caractérisations électriques. Disposer de tels modèles est un atout majeur pour le concepteur qui peut aisément intégrer par simulation le modèle du composant dans un circuit plus complexe. Cependant, ces modèles sont relatifs à des dispositifs passifs « figés » c'est-à-dire qu'ils ne permettent pas de prédire la réponse d'un composant dont le layout est défini par le concepteur. Ce dernier n'est, de ce fait, pas dans la base des kits proposés par le fabricant. Disposer de modèles de composants électriques « prédictifs » est une valeur ajoutée pour le fabricant. En effet, cela permet au concepteur d'optimiser le temps de conception en effectuant une première estimation rapide de la réponse du passif, et ce, en fonction de sa géométrie, et des paramètres technologiques de la filière. Cette estimation peut, de cette manière, s'effectuer avant d'avoir recours à l'utilisation de logiciels de simulation électromagnétique 2.5D ou 3D, coûteux en ressources. Nous proposons ici d'adopter une démarche qui montre la possibilité de développer des modèles électriques prédictifs et localisés de composants passifs. Ces modèles permettent de simuler la



réponse du composant en fonction de ses paramètres géométriques et technologiques. Cette approche est appliquée aux inductances spirales intégrées en technologie CMOS.

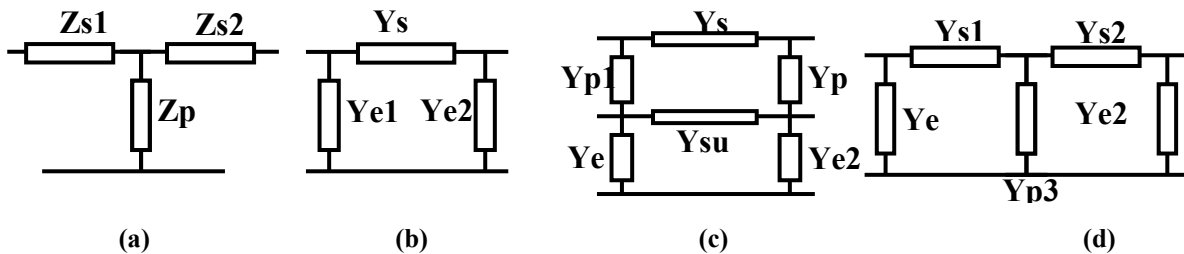
Les inductances spirales intégrées en technologie silicium standard sont des éléments critiques pour la réalisation de circuits intégrés radiofréquences (RFIC) faible coût tel que filtres, amplificateurs, oscillateurs ou mélangeurs <sup>[132,133]</sup>, comme nous avons pu le voir précédemment. La figure ci-dessous (Fig. 5-1) représente une inductance spirale intégrée de 3.5 tours en technologies CMOS.



**Fig. 5-1 – Image effectuée au microscope optique d'inductances spirales réalisées en technologie CMOS 0.5 $\mu$ m**

La conception de dispositifs analogiques RF nécessite de disposer de modèles électriques d'inductances afin de prédire, simuler et optimiser la réponse des circuits. Nous avons mis en évidence dans le Chapitre 1, les limites induites par des circuits utilisant des inductances de faibles facteurs de qualité. Cependant, au-delà du paramètre le plus critique qu'est le facteur de qualité, les inductances spirales sont des dispositifs complexes, dont les nombreux paramètres géométriques déterminent la valeur du composant. De plus, lors d'une utilisation d'inductances pour la réalisation de dispositifs radiofréquences, les variations fréquentielles de la réponse des composants ne peuvent être négligées. Ces variations trouvent leur origine dans les éléments parasites associés à la géométrie de l'inductance et aux propriétés du substrat utilisé.

De nombreux modèles localisés d'inductances spirales sont reportés dans la littérature, ces modèles sont basés sur les réseaux simple- $\pi$  <sup>[134,135,136,137,138]</sup> les réseaux en T <sup>[139,140]</sup> en double- $\pi$  <sup>[141,142]</sup>, <sup>[143, 144]</sup> et enfin les modèles simple- $\pi$  améliorés <sup>[145,146,147,148]</sup> comme le montre la Fig. 5-2.



**Fig. 5-2 – (a) Réseau en T, (b) simple- $\pi$ , (c) simple- $\pi$  amélioré, (d) double- $\pi$**

Les réseaux simple- $\pi$  améliorés et double- $\pi$  ont été introduits pour modéliser des effets parasites qui ne peuvent être pris en compte par les modèles simple- $\pi$  et T classiques comme le couplage induit via le substrat entre les deux accès de l'inductance.

En augmentant la complexité du modèle pour construire un réseau double- $\pi$ , le nombre d'éléments à estimer devient plus important. La structure étant plus «distribuée», elle permet d'améliorer la précision du modèle. Plusieurs approches ont été proposées pour évaluer les valeurs des paramètres électriques du modèle à partir de mesures. Citons les méthodes d'extraction de paramètres par interpolation des données de mesure qui utilisent des algorithmes génétiques [149], ou encore les méthodes itératives [150]. Ces méthodes permettent d'extraire les paramètres avec une précision élevée mais nécessitent des ressources informatiques importantes pour l'exécution des algorithmes et le traitement des données.

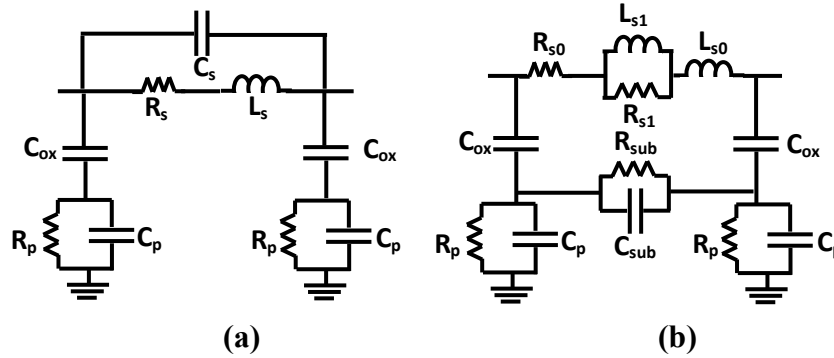
Des méthodes analytiques d'extraction de paramètres basées sur une analyse circuit [134,135,136] et des techniques d'interpolation [145,151,152,153] ont aussi été reportées. Leurs principes consistent à diviser le modèle électrique en sous-circuits pour ensuite déduire les valeurs des paramètres électriques du modèle. Les méthodes analytiques ont démontré leurs potentiels pour extraire les paramètres avec une très grande précision et une excellente efficacité [145]. L'extraction des paramètres s'effectue à partir d'équations linéaires qui permettent de déduire facilement un lien entre les éléments du modèle et les phénomènes physiques associés à l'inductance. Cependant, ces méthodes ne permettent pas de prédire la réponse fréquentielle du composant et de disposer de modèles d'échelles, aujourd'hui outils indispensables pour réduire le temps de conception des RFICs.

Plusieurs solutions pour aboutir à des modèles prédictifs d'échelles empiriques ont été explorées. Par exemple, à partir d'un grand nombre de mesures et en effectuant une analyse paramétrique, des équations analytiques ont été proposées permettant de prédire les valeurs des paramètres. Cette approche a été reportée sur des réseaux en T [139,140], double- $\pi$  [154], des versions double- $\pi$  étendues [141], qui considèrent l'asymétrie de l'inductance spirale [142]. Bien que ces modèles s'appliquent aisément aux inductances sur substrats semi-conducteurs, leur utilisation nécessite une calibration sur un grand nombre de mesures pour chaque processus de fabrication afin de déduire les coefficients d'interpolation. De plus, la complexité de ces modèles à laquelle est associé un grand nombre de paramètres électriques ne facilite pas l'interprétation physique des phénomènes mis en jeu et leurs liens avec les variations de la valeur de l'inductance avec la fréquence.

Une estimation des paramètres d'un quadripôle compact basée sur une analyse physique ou électromagnétique est préférable afin de maîtriser l'origine et l'influence des phénomènes physiques sur la réponse du composant. De plus, une solution d'échelle linéaire sans manipulation mathématique complexe est plus adaptée pour une implémentation aisée des kits de conception par les fondeurs de circuits. L'approche physique et analytique basée sur le réseau simple- $\pi$  représenté sur la Fig. 5-3a et proposé par [134,135,136] semble particulièrement bien adapté pour modéliser le comportement des inductances spirales sur substrats isolants.

Cependant, la structure simple- $\pi$  ne permet pas de décrire les inductances sur substrat semi-conducteurs, et ne considère pas l'effet de proximité. Des modèles simple- $\pi$  améliorés (Fig. 5-3b) ont ensuite été introduits pour ajouter aux modèles précédents la considération de phénomènes supplémentaires, comme le couplage entre les ports d'entrée et sortie du composant via le substrat semi-conducteur et ce, en conservant un nombre de paramètres réduits à estimer. Dans les modèles simple- $\pi$  améliorés, le couplage via le substrat est modélisé en connectant un circuit RL [146], ou RC [147] entre les impédances parallèles pour représenter les propriétés conductrices du substrat. Bien que plusieurs études basées sur une modélisation par interpolation des caractéristiques soient reportées [147], aucun modèle

physique et analytique n'a aujourd'hui été proposé pour les inductances spirales intégrées en technologie CMOS.



**Fig. 5-3 – Réseau (a) simple- $\pi$  et (b) simple- $\pi$  amélioré d'inductances spirales en technologie CMOS**

Nous proposons d'effectuer une modélisation des inductances spirales intégrées en CMOS à partir d'une approche d'échelle physique et analytique [155]. Sous approximation quasi-statique des phénomènes électromagnétiques qui se produisent dans le composant, nous présentons des équations permettant de calculer les valeurs des éléments du modèle en considérant à la fois les paramètres géométriques et technologiques de l'inductance. L'objectif de ce modèle d'échelle est de fournir aisément et rapidement une estimation de la réponse fréquentielle de l'inductance spirale en prenant en compte les principaux phénomènes parasites affectant ses performances.

Les travaux sur la modélisation des inductances spirales sont nombreux et le niveau des connaissances sur ce domaine est mature. Il existe donc des modèles de grande complexité et très précis. Cependant, la valeur des inductances et des éléments parasites associés, bien qu'ils soient fixés par les dimensions et la géométrie du composant, sont très dépendants de son environnement. Ils sont fonctions, par exemple, de la position des plans de masse, de la proximité avec d'autres composants ou avec des lignes de métal. Ainsi, pour connaître de façon exacte la réponse d'une inductance comme élément d'un circuit plus complexe, des caractérisations électriques dans son environnement d'utilisation sont indispensables. De ce fait, disposer de modèles physiques ou électriques, analytiques, prédictifs, simples à interpréter et à implanter prend alors tout son sens, même s'ils ne peuvent fournir une précision équivalente à celle obtenue par exploitation de modèles électromagnétiques 2.5D ou 3D ou encore à celle des approches circuit de complexité supérieure.

## 2. Développement du modèle d'échelle physique et analytique

Le quadripôle simple- $\pi$  amélioré est considéré (Fig. 5-3b) ici pour modéliser les inductances spirales réalisées en technologie CMOS. Les paramètres du modèle simple- $\pi$  amélioré peuvent être traités en dissociant l'impédance série ( $L_{s0}$ ,  $L_{s1}$ ,  $R_{s0}$ ,  $R_{s1}$ ), les impédances parallèles ( $C_{ox}$ ,  $C_p$ , et  $R_p$ ) et l'impédance représentant le couplage par le substrat ( $C_{sub}$ ,  $R_{sub}$ ).

Les couples d'éléments ( $L_{s0}$ ,  $L_{s1}$ ) et ( $R_{s0}$ ,  $R_{s1}$ ) modélisent respectivement les inductances et résistances séries.

Les admittances parallèles en entrée et sortie du modèle sont composées de la capacité d'oxyde  $C_{ox}$ , et du réseau  $R_p$ - $C_p$  qui représente les résistances et capacités parallèles dues au substrat silicium.

Enfin, l'admittance  $R_{sub}$ - $C_{sub}$  modélise le couplage latéral induit entre les deux ports de l'inductance via le substrat silicium. Les figures suivantes (Fig. 5-4a et Fig. 5-4b) définissent les paramètres géométriques des inductances spirales qui seront largement utilisés dans cette partie.

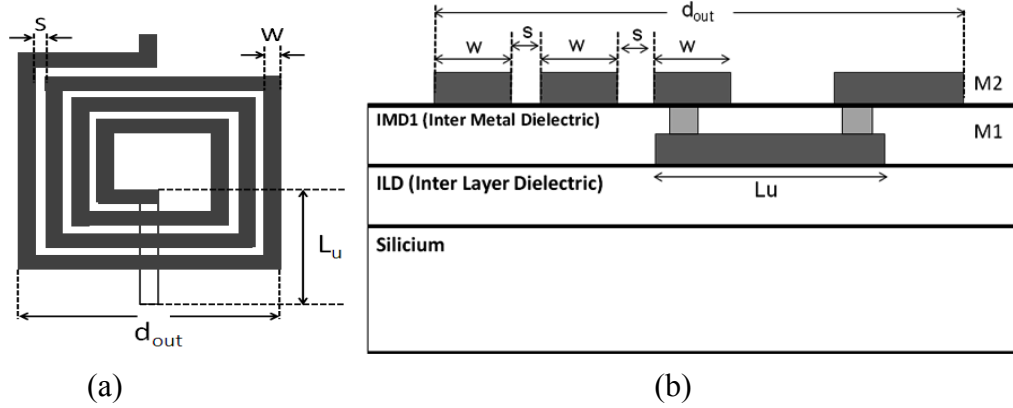


Fig. 5-4– Définition des paramètres géométriques des inductances spirales intégrées (a) Vue de dessus, (b) Vue en coupe.

## 2.1 Modélisation des paramètres de l'admittance $Y_s$

### 2.1.1 Calcul des inductances séries

Les phénomènes inductifs mis en jeu dans la self peuvent-être interprétés comme résultants d'une inductance globale  $L_{s0}$  [156], et d'une inductance intrinsèque  $L_{s1}$  associée à chaque ligne de métal.  $L_{s1}$  prend en compte la dépendance fréquentielle de l'inductance série due à l'effet de proximité.  $L_{s0}$  est elle, évaluée comme l'inductance qui résulte de courants uniformes et équirépartis circulant dans un anneau de métal de dimensions équivalentes à l'inductance, où l'on considère l'espace interlignes comme rempli par du métal [157] (Fig. 5-5).

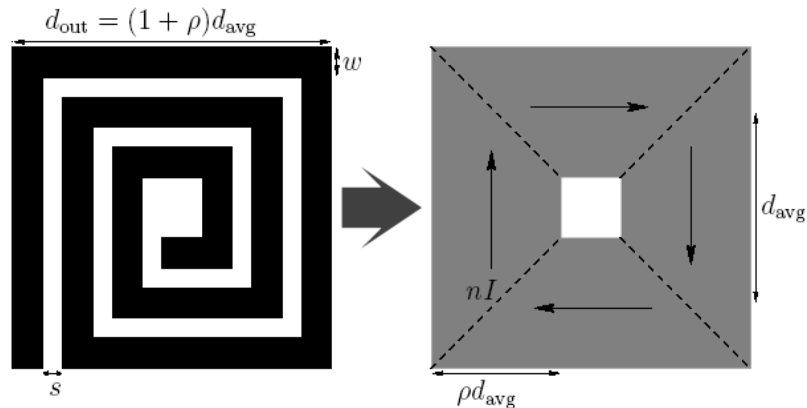


Fig. 5-5 – Approximation de l'inductance comme un anneau symétrique formé de conducteurs infiniment plats et parcourus par des courants uniformes

Selon cette géométrie symétrique, des courants identiques circulent sur chaque coté de l'anneau. Les courants en regard se propagent dans des sens opposés et sont orthogonaux aux

courants adjacents. En considérant la symétrie de cette géométrie, et le fait que l'inductance mutuelle entre des courants perpendiculaires soit nulle, le calcul de l'inductance globale se réduit à l'évaluation de la self-inductance produite par un coté auquel s'ajoute la contribution de l'inductance mutuelle du coté opposé. Les self-inductances ( $L_{self}$ ) et inductances mutuelles ( $L_{mut}$ ) de chaque coté sont évaluées en considérant le concept des distances moyennes géométriques (GMD) et arithmétiques (AMD) <sup>(1)</sup>.

L'expression de l'inductance globale, s'exprime alors comme <sup>[154]</sup>:

$$L_{s0} = 4(L_{self} + L_{mut}) \quad (5-1)$$

$$L_{s0} = \frac{\mu n^2 d_{avg} c_1}{2\pi} \left( \ln\left(\frac{c_2}{\rho}\right) + c_3 \rho + c_4 \rho^2 \right) \quad (5-2)$$

Avec  $c_1=1.27$ ,  $c_2=2.07$ ,  $c_3=0.18$ , et  $c_4=0.13$  pour une inductance spirale carrée, et  $\rho$  un coefficient caractérisant le taux de remplissage de l'inductance ( $\rho=(d_{out}-d_{in})/(d_{out}+d_{in})$ ).

L'inductance intrinsèque  $L_{s1}$  modélise l'effet de proximité induit par les lignes de métal parallèles. En effet, lorsqu'un courant alternatif se propage dans deux conducteurs parallèles placés proches l'un de l'autre, le champ magnétique généré par le courant d'un des conducteurs vient modifier la distribution de courants dans l'autre. La Fig.5-6 illustre ce phénomène. Dans le cas où les courants dans les deux conducteurs se propagent dans le même sens, la distribution de courant vient se concentrer à l'extérieur des conducteurs, et le phénomène inverse se produit lorsque les courants se propagent dans des sens opposés. Ce phénomène est d'autant plus prononcé que la fréquence est élevée et que l'espace entre conducteur est faible.

Dans une inductance spirale, la densité de courants, modifiée par l'effet de proximité, peut alors être considérée comme étant uniformément répartie dans une largeur réduite  $w/4$  à partir des deux bords de la ligne (Fig.5-6) <sup>[158]</sup>. La dépendance fréquentielle de l'inductance série a pour origine la modification des distributions de courant dans les lignes de métal. Pour considérer cette dépendance,  $L_{s1}$  est calculée comme l'inductance intrinsèque générée par une ligne de longueur  $L_g$  et de largeur réduite  $w_i=w/2$ , et s'exprime par <sup>[141]</sup> :

$$L_{s1} = \frac{\mu_0}{2\pi} \left( \ln\left(\frac{2L_g}{w_i + t_m}\right) + 0.5 + \frac{\sqrt{w_i^2 + t_m^2} + 0.46 t_m w_i}{3L_g} - \frac{w_i^2 + t_m^2}{24L_g^2} \right) \quad (5-3)$$

Avec  $t_m$  l'épaisseur des lignes de métal,  $L_g$  la longueur totale de l'inductance et  $w_i=w/2$  la largeur réduite des lignes.

<sup>1</sup> GMD : distance pour laquelle l'inductance mutuelle entre deux filaments conducteurs infiniment fins est égale à l'inductance mutuelle des conducteurs originaux considérés

AMD : distance moyenne entre tous les points de deux conducteurs).

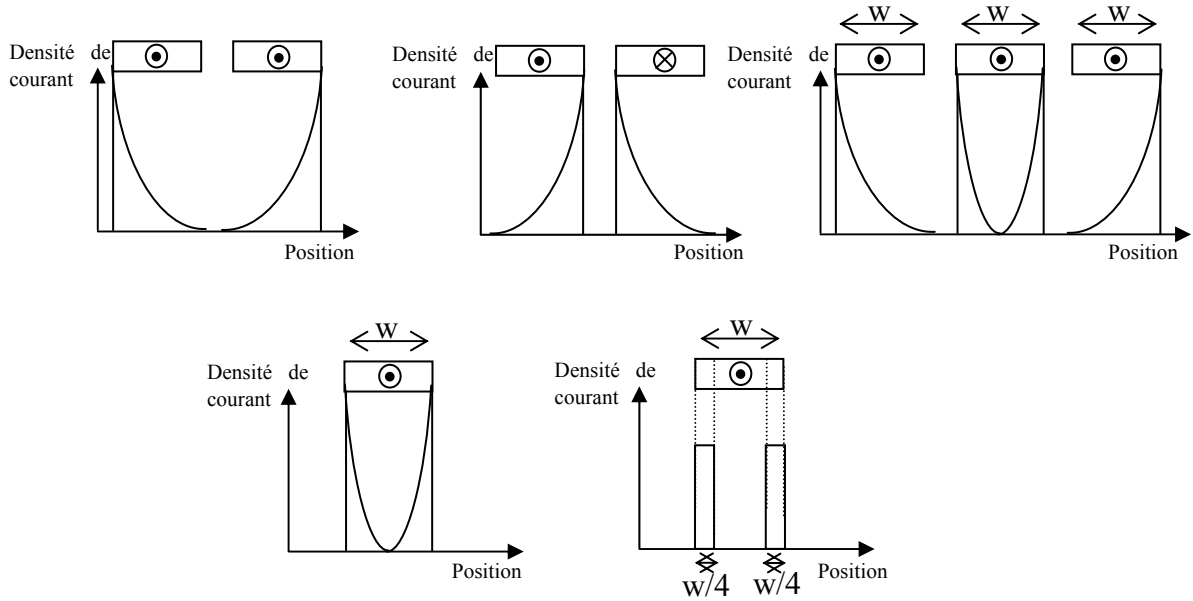


Fig.5-6 – Description de l'effet de proximité et distribution de courant associée

### 2.1.2 Calcul des résistances séries

La résistance série  $R_{s0}$  représente la résistance DC des lignes de métal, et  $R_{s1}$  est la résistance modélisant la dépendance fréquentielle de la partie active de l'impédance série due à l'effet de peau.

A partir des paramètres géométriques de l'inductance,  $R_{s0}$  s'exprime comme une résistance DC classique par :

$$R_{s0} = \frac{\rho_m L_g}{w t_m} \quad (5-4)$$

Avec  $\rho_m$  la résistivité du métal.

La résistance  $R_{s1}$  est la résistance due à l'effet de peau et s'écrit :

$$R_{s1} = \frac{\rho_m L_g}{w} \left( \frac{1}{\delta(1 - e^{-t_m/\delta})} - \frac{1}{t_m} \right) \quad (5-5)$$

$$\text{avec} \quad \delta = \sqrt{\frac{\rho_m}{\pi f \mu_0}} \quad (5-6)$$

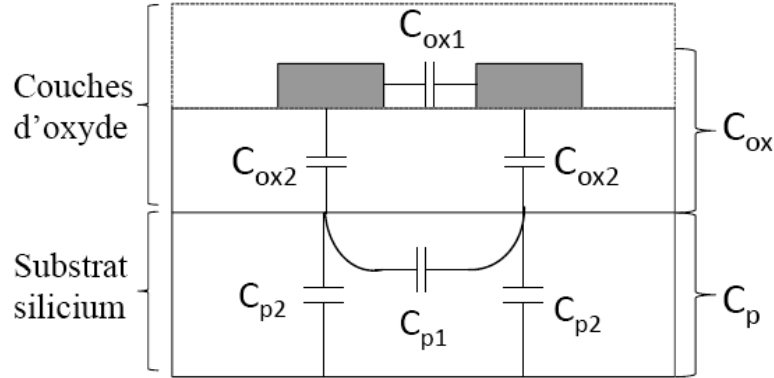
Le paramètre  $\delta$  est l'épaisseur de peau.  $R_{s1}$  est exprimée comme la différence de deux termes. Le premier est une résistance haute fréquence calculée sur l'épaisseur de peau, et le second la résistance DC de l'équation (5-4).

## 2.2 Modélisation des paramètres des admittances $Y_{e1}$ et $Y_{e2}$

### 2.2.1 Calcul de la capacité d'oxyde

Lorsque la fréquence d'utilisation de l'inductance est inférieure à la fréquence de relaxation du substrat ( $\omega = \sigma/\epsilon$ ), le silicium agit comme un plan de masse <sup>[159]</sup>. Ainsi,

l'admittance parallèle se limite à la capacité d'oxyde  $C_{ox}$  (Fig.5-7). Dans les modèles antérieurs d'inductance spirale [134, 136, 141, 146],  $C_{ox}$  est considérée comme la capacité entre les lignes de métal et le substrat silicium ( $C_{ox2}$ ), comme cela est représenté sur la figure suivante :



**Fig.5-7 – Représentation des différentes capacités parasites des inductances spirales en technologie CMOS**

En raison de la géométrie des inductances spirales en technologie CMOS, le couplage inter-lignes doit aussi être considéré. En effet, généralement, une couche d'oxyde (ou de passivation) est déposée au dessus de l'inductance, et l'espace inter-lignes est réduit à quelques microns. Diminuer l'espace inter-lignes permet d'une part de réduire la taille globale du composant et, d'autre part, de limiter la contribution de la résistance DC série en élargissant les lignes de métal. De plus, les inductances sont très souvent réalisées dans les derniers niveaux de métal de la filière CMOS où des épaisseurs de métal de plusieurs microns peuvent être déposées. Ce dernier niveau de métal peut être plus épais (jusqu'à  $3\mu m$ ) que les autres niveaux, où l'épaisseur est typiquement limitée à  $0.7-1\mu m$ . Ainsi, la contribution des phénomènes capacitifs résultant des lignes de métal en regard sur la grande longueur de l'inductance ( $L_g$ , de l'ordre de quelques millimètres) ne peut être négligée.

Nous proposons donc d'approximer la capacité d'oxyde comme résultant du couplage produit entre les lignes de métal et le substrat silicium ( $C_{ox2}$ ) et du couplage inter-lignes ( $C_{ox1}$ ). Par conséquent, l'expression étendue de  $C_{ox}$  est :

$$C_{ox} = \frac{1}{2} \cdot L_g \cdot \epsilon_0 \cdot \epsilon_r \cdot \left( \frac{W}{t_{ox}} + \frac{t_m}{s} \right) \quad (5-7)$$

Avec  $t_{ox}$  l'épaisseur d'oxyde entre le substrat et les lignes de métal. Il peut-être remarqué que le couplage produit entre les lignes de l'inductance et les plans de masses coplanaires est négligé car leur espacement est bien supérieur à  $s$ .

### 2.2.2 Calcul de la capacité parallèle du substrat

Lorsque la fréquence des signaux devient supérieure à la fréquence de relaxation du substrat, le silicium n'agit plus comme un plan de masse. La capacité parallèle totale comprend alors à la fois la capacité  $C_{ox}$  et la capacité du substrat  $C_p$  :

$$C_{shunt} = \frac{C_p \cdot C_{ox}}{C_p + C_{ox}} \quad (5-8)$$

Dans des études précédentes,  $C_p$  a été modélisée comme résultant du couplage entre le haut du substrat silicium (ou l'interface oxyde/silicium) et le plan de masse inférieur.  $C_p$  est dans ce cas évaluée comme une simple capacité avec des électrodes équivalentes à la surface couverte par les métallisations de l'inductance sur l'épaisseur de silicium [134], [136]. Cependant, la proximité des lignes de métal  $s \ll (t_{si} + t_{ox})$ , nécessite de considérer à la fois le couplage inter-lignes ( $C_{p1}$ ) via le substrat silicium et le couplage entre les métallisations et le plan de masse inférieur ( $C_{p2}$ ), comme cela est montré sur la Fig.5-7.

Nous proposons de calculer la capacité parallèle totale par transformation conforme sur un substrat bicouches [160]. La première couche est l'oxyde de silicium et la seconde le substrat silicium. Afin de simplifier le calcul de cette capacité; seul le couplage électrique entre les deux plus proches lignes de métal est considérée. De plus, la distribution du couplage est supposée uniforme le long des lignes de métal. A partir de ces approximations, le calcul de  $C_{shunt}$  revient à évaluer la capacité entre deux lignes coplanaires de longueur  $L_g/2$ , largeur  $w$  et espace inter-lignes  $s$ . L'expression de  $C_{shunt}$  est la suivante :

$$C_{shunt} = \frac{1}{2} \cdot L_g \cdot \epsilon_0 \cdot \epsilon_{eff} \cdot \frac{K(k'_0)}{K(k_0)}, \quad k'_0 = \sqrt{1 - k_0^2} \quad (5-9)$$

Avec  $K$  l'intégrale elliptique du premier ordre,  $k_0 = w/(w+2s)$ , et  $\epsilon_{eff}$  la permittivité effective des deux couches exprimée par :

$$\epsilon_{eff} = 1 + (\epsilon_{ox} - 1) \cdot q_1 + (\epsilon_{si} - \epsilon_{ox}) \cdot q_2 \quad (5-10)$$

$$q_{i(=1,2)} = \frac{1}{2} \cdot \frac{K(k'_i)}{K(k_i)} \cdot \frac{K(k_0)}{K(k'_0)}, \quad k'_i = \sqrt{1 - k_i^2} \quad (5-11)$$

$$\text{et} \quad k_i = \tanh\left(\frac{\pi \cdot w}{4 \cdot (t_{ox} + t_{si})}\right) / \tanh\left(\frac{\pi(s + w/2)}{2 \cdot (t_{ox} + t_{si})}\right) \quad (5-12)$$

Enfin, la capacité de substrat  $C_p$  s'extrait de l'expression ( 5-8 ).

### 2.2.3 Calcul de la résistance parallèle du substrat

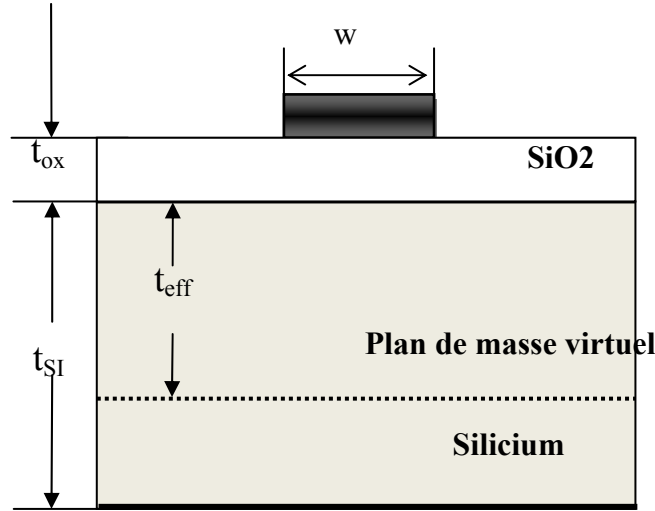
Les équations proposées précédemment [134] pour le calcul de la résistance de substrat permettent d'estimer de façon précise  $R_p$  pour les inductances sur substrat isolant. Dans ce cas, la résistance est exprimée comme une résistance de longueur égale à l'épaisseur de silicium et a pour section la surface occupée par l'inductance. Cependant, cette approche surestime  $R_p$  pour des inductances sur substrat silicium. En effet, en technologie CMOS, des pertes supplémentaires sont générées par des courants de Foucault dans le substrat. Ces courants résultent de l'interaction de champs magnétiques variables au cours du temps et des propriétés semi-conductrices du substrat. Les courants induits dans le substrat ne sont pas distribués uniformément dans toute son épaisseur, et il est évident que la densité de courants transversaux est atténuée à mesure que l'on s'éloigne de l'inductance. Les pertes résistives du substrat peuvent être évaluées en effectuant dans un premier temps le calcul de la résistance transverse par unité de longueur (p.u.l). En considérant l'inductance comme une ligne de transmission MIS (Métal Isolant Silicium) coplanaire dans un régime de propagation à onde lente (slow wave mode) [161], la résistance p.u.l  $R_t$  s'exprime en  $\Omega \cdot \text{cm}$  par :



$$R_t = \frac{\rho_{si}}{2F}, F = \begin{cases} \frac{1}{\pi} \ln\left(2 \frac{(1+\sqrt{k_0})}{(1-\sqrt{k_0})}\right) & 0.707 \leq k_0 \leq 1 \\ \frac{\pi}{\ln\left(2 \frac{1+\sqrt{k'_0}}{1-\sqrt{k'_0}}\right)} & 0 \leq k_0 \leq 0.707 \end{cases} \quad (5-13)$$

avec  $\rho_{si}$  la résistivité du silicium et  $F$  un facteur de forme pour les lignes de métal de l'inductance. Cette résistance intermédiaire sera utilisée comme résistivité équivalente pour le calcul de la résistance parallèle du substrat.

Les courants qui sont induits dans le substrat agissent comme un plan de masse virtuel (Fig. 5-8) dont la position complexe est déduite par la théorie des images [159]. Ainsi, pour évaluer la résistance parallèle  $R_p$ , une épaisseur effective de substrat, inférieure à l'épaisseur physique est considérée.



**Fig. 5-8 – Représentation du plan de masse virtuel formé par les courants induits dans le silicium**

L'épaisseur effective  $t_{eff}$  est définie comme la partie réelle de la position complexe du plan de masse virtuel exprimée comme :

$$t_{eff} = \text{Re} \left\{ \frac{1-j}{2} \delta_{si} \tanh \left[ (1+j) \frac{t_{si}}{\delta_{si}} \right] \right\} \quad (5-14)$$

Avec  $\delta_{si}$  l'épaisseur de peau du substrat exprimée de façon similaire à l'équation ( 5-6 ), avec toutefois les paramètres caractéristiques du silicium.

Finalement, la résistance parallèle  $R_p$  est simplement exprimée à partir de la résistance transverse par unité de longueur. Sa longueur est égale à l'épaisseur effective de substrat et sa section équivalente aux dimensions  $d_{out}$  de la spirale ( $d_{out} * d_{out}$ ) :

$$R_p = \frac{R_t t_{eff}}{d_{out}^2} \quad (5-15)$$

Nous pouvons noter que  $C_{shunt}$  est proportionnelle à la surface de l'inductance et  $R_p$  inversement.

## 2.3 Modélisation des paramètres de l'admittance $Y_{sub}$

### 2.3.1 Calcul de la capacité de couplage du substrat

Le réseau parallèle  $R_{sub}C_{sub}$  représente le couplage entre les deux ports de l'inductance.  $C_{sub}$  modélise la capacité formée entre les spirales et le pont inférieur. Cette capacité se décompose en deux parties ; la capacité  $C_{sub1}$  entre les lignes de métal parallèles et le pont inférieur, et la capacité  $C_{sub2}$  entre le pont inférieur et le substrat silicium, comme cela est représenté sur la Fig.5-9.

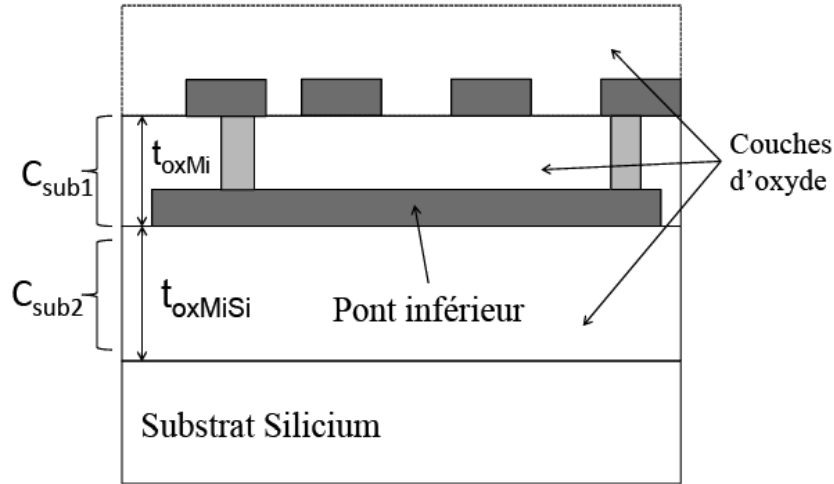


Fig.5-9 – Vue en coupe de l'inductance et de la capacité parasite associée à la région du pont inférieur

L'expression suivante de  $C_{sub}$  est déduite :

$$C_{sub} = C_{sub1} + C_{sub2} = w \cdot \epsilon_0 \cdot \epsilon_{ox} \cdot \left( \frac{n_{co} \cdot w}{t_{oxMi}} + \frac{L_u}{t_{oxMiSi}} \right) \quad (5-16)$$

Avec  $L_u$  la longueur du pont inférieur,  $t_{oxMiSi}$  l'épaisseur d'oxyde entre le pont inférieur et le substrat silicium, et  $n_{co}$  le nombre de croisements entre les lignes de métal et le pont inférieur.

### 2.3.2 Calcul de la résistance de couplage du substrat

La résistance  $R_{sub}$  modélise le courant qui se propage dans le substrat sous la région du pont inférieur. Pour l'évaluer, nous considérons l'épaisseur de substrat effective calculée à partir de l'équation (5-12), et  $R_{sub}$  est simplifiée pour être vue comme la résistance d'épaisseur  $t_{eff}$ , de largeur  $w$  et de longueur  $L_u$ . Elle est exprimée par :

$$R_{sub} = \frac{\rho_{si} \cdot L_u}{w \cdot t_{eff}} \quad (5-17)$$

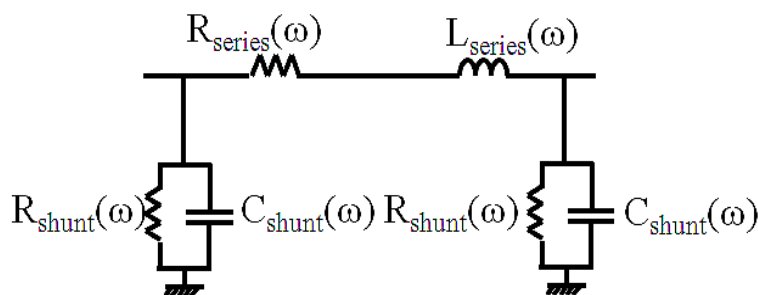
Contrairement à  $R_p$ , la résistance de couplage du substrat est inversement proportionnelle à l'épaisseur effective du substrat.

### 3. Validation du modèle

#### 3.1 Validation à partir de mesures d'inductances spirales en technologie CMOS

Le modèle d'échelle développé est validé à partir de mesures sur des inductances spirales réalisées en technologie CMOS 0.5 $\mu$ m. Les inductances caractérisées ont des nombres de tours, diamètres extérieurs, largeurs de ligne et espaces inter-lignes variables. Les contributions parasites dues aux pads ont été extraites de la mesure pour obtenir les paramètres S de la spirale uniquement.

Pour caractériser le comportement fréquentiel de l'inductance, l'utilisation de la simple impédance d'entrée du composant ne permet pas d'obtenir une sensibilité suffisante à tous les paramètres du modèle. Nous considérons donc le réseau en  $\pi$  suivant (Fig.5-10) afin de dissocier la réponse en fréquence des admittances séries et parallèles de l'inductance. L'admittance série se décompose en ses parties réelles et imaginaires à travers l'inductance  $L_{series}(\omega)$  et la résistance série  $R_{series}(\omega)$  respectivement. De même, les admittances parallèles se décomposent en  $R_{shunt}(\omega)$  et  $C_{shunt}(\omega)$ . La contribution de l'admittance  $Y_{sub}$ , non représentée sur ce circuit est donc incluse et répartie entre les admittances séries et parallèles, comme nous allons pouvoir l'observer à partir des résultats de mesures et de modélisation.



**Fig.5-10 – Réseau en  $\pi$  construit à partir de quatre éléments dépendants de la fréquence et utilisé pour caractériser le comportement fréquentiel des inductances spirales.**

Les paramètres calculés par le modèle d'échelle que nous proposons sont comparés à ceux obtenus par optimisation. L'optimisation des valeurs des paramètres du modèle est effectuée à partir de la méthode des gradients sous ADS avec comme objectif de reproduire les réponses fréquentielles mesurées des éléments  $R_{series}$ ,  $L_{series}$ ,  $R_{shunt}$  et  $C_{shunt}$  du modèle de la Fig.5-10. Des inductances carrées de 7.5, 5.5 et 3.5 tours sont testées. La largeur des lignes est de  $w=12\mu$ m, l'espace inter-lignes est de  $s=4\mu$ m et les diamètres extérieurs des inductances sont respectivement  $d_{out}=300$ , 280 and 160 $\mu$ m. Les résultats obtenus par optimisation et comparés aux valeurs calculées à partir des équations analytiques que nous proposons, sont listés dans le Tab. 5-1.

Les valeurs des éléments obtenues par optimisation sont proches de celles calculées analytiquement. Une erreur moyenne de 14.1% pour les paramètres de l'inductance de 7.5tours, 18.8% et 32.2% pour les inductances de 5.5 et 3.5 tours.

Paramètres du modèle	Valeurs calculées analytiquement / Valeur obtenues par optimisation					
	7.5- turn		5.5-turn		3.5-turn	
$L_{s0}$ (nH)	10.0	11.0	7	6.9	2.7	1.2
$L_{s1}$ (nH)	9.0	9.4	6.2	6.0	2.4	2.0
$R_{s0}$ ( $\Omega$ )	16.5	14.3	12.9	11.5	4.8	5.0
$R_{s1}$ ( $\Omega$ )	2.3	4.3	1.8	1.2	0.7	1.0
$C_{ox}$ (fF)	450	492	326	285	185	141
$C_p$ (fF)	197	177	160	120	65	53
$R_p$ ( $\Omega$ )	567	510	651	722	2.2k	1.8k
$C_{sub}$ (fF)	59	64	50	64	49	42
$R_{sub}$ (k $\Omega$ )	5.9	7.1	2.3	3.0	4.1	3.2

Tab. 5-1– Comparaison entre paramètres calculés à partir des équations analytiques du modèle d'échelle, et résultats obtenus par optimisation, pour des inductances de 7.5, 5.5 et 3.5 tours, avec une longueur de ligne  $w=12\mu m$ ,  $s=4\mu m$  et des diamètres extérieurs respectivement  $d_{out}=300$ , 280 and  $160\mu m$ .

Le modèle et la mesure des réponses fréquentielles de l'inductance série équivalente  $L_{series}(\omega)$  et de la résistance équivalente série  $R_{series}(\omega)$  sont représentés sur la Fig. 5-11. L'accord du comportement fréquentiel des données mesurées et modélisées est mis en évidence.

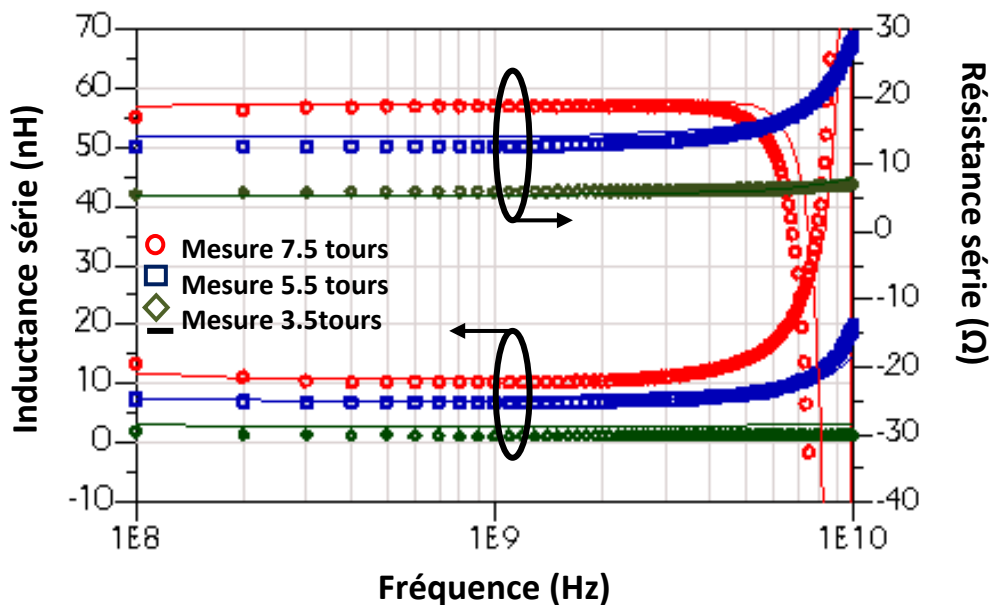
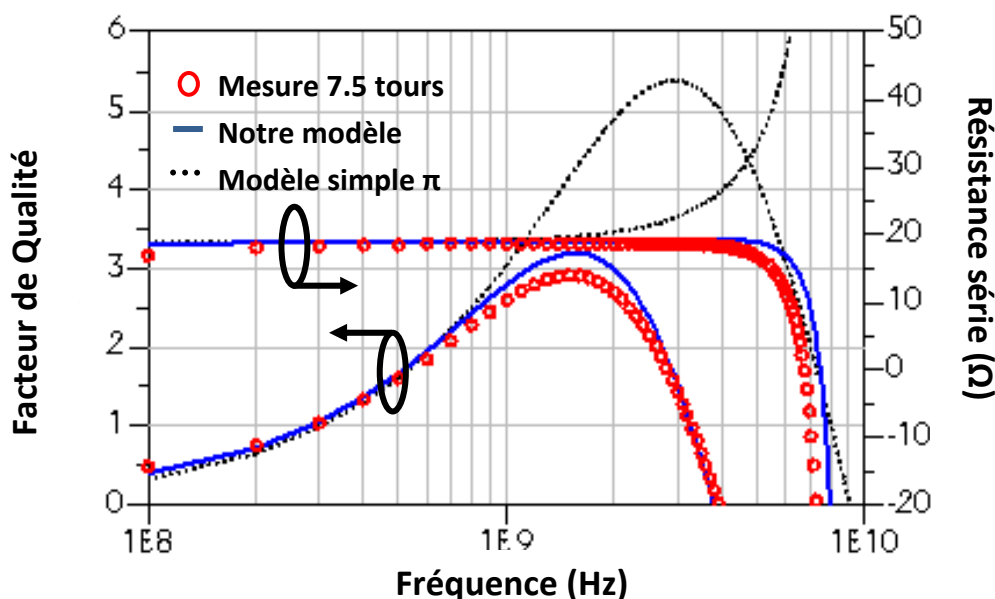


Fig. 5-11- Comparaison entre données mesurées et modélisées de l'inductance équivalente série  $L_{series}(\omega)$  et de la résistance équivalente série  $R_{series}(\omega)$  pour des inductances CMOS de 3.5, 5.5 and 7.5-tours.

La Fig. 5-12 illustre elle, la réponse du facteur de l'inductance de 7.5-tours. Le facteur de qualité mesuré et celui modélisé sont comparés à la fois à partir du modèle d'échelle que nous avons développé et celui précédemment proposé dans [134], où un réseau simple- $\pi$  est utilisé. Nous pouvons remarquer que l'estimation du facteur de qualité est meilleure à partir de notre modèle. En effet, le coefficient de surtension est surestimé par le modèle analytique proposé par [134].



**Fig. 5-12 - Comparaison entre données mesurées et modélisées (à partir de notre modèle d'échelle et celui précédemment proposé par [134]) du facteur de qualité et de la résistance équivalente série  $R_{series}(\omega)$  de l'inductance spirale CMOS de 7.5-tours.**

De plus, nous pouvons observer que le modèle simple- $\pi$  ne permet pas de reproduire la décroissance de la résistance équivalente série observée sur les inductances réalisées sur substrat semi-conducteur [141], [142], [146], [147]. Ce phénomène de décroissance de  $R_{series}(\omega)$ , jusqu'à atteindre une valeur négative, n'a évidemment pas de sens physique. Une résistance négative ne peut-être générée à partir d'un composant passif. La décroissance de  $R_{series}(\omega)$  met en évidence une limite de l'utilisation de modèles localisés pour caractériser le comportement de l'inductance. En effet, les phénomènes sont distribués sur toute la longueur du composant, et de plus, répartis de façon non uniforme. La décroissance de la résistance équivalente série ne s'observe que sur des inductances spirales réalisées sur substrat semi-conducteur. Son origine est attribuée au couplage produit entre les ports d'entrée et sortie de l'inductance via le silicium. Ce couplage est par ailleurs facilité par la présence du pont inférieur. Le couplage via le substrat ne peut être mis en évidence à partir d'un modèle simple- $\pi$  classique, et c'est pourquoi ce type de quadripôle est plutôt adapté à la modélisation compacte des inductances réalisées sur substrat isolant. Dans le réseau simple- $\pi$  amélioré, le couplage via le substrat est modélisé par le réseau  $R_{sub}$ - $C_{sub}$ , et l'impact de ce réseau est visible sur la résistance équivalente série  $R_{series}(\omega)$  extraite du modèle présenté Fig.5-10.

Les Fig.5-13 et Fig. 5-14 représentent les variations en fonction de la fréquence de la capacité équivalente parallèle  $C_{shunt}(\omega)$ , et de la résistance équivalente parallèle  $R_{shunt}(\omega)$ . Les courbes représentées correspondent aux mêmes inductances mesurées et modélisées que précédemment (de 3.5, 5.5 et 7.5 tours). Les réponses de  $C_{shunt}(\omega)$  et de  $R_{shunt}(\omega)$  sont également comparées sur ces figures avec celles obtenues à partir du modèle physique (simple- $\pi$ ) précédemment proposé par P. Yue et al. [134] pour l'inductance de 7.5-tours. Nous pouvons remarquer une meilleure précision de l'estimation de ces deux paramètres par l'utilisation du modèle simple- $\pi$  amélioré. Ceci est du à la prise en compte des phénomènes physiques propres aux substrats semi-conducteurs, qui ne sont pas considérés dans les équations analytiques du modèle simple- $\pi$ .

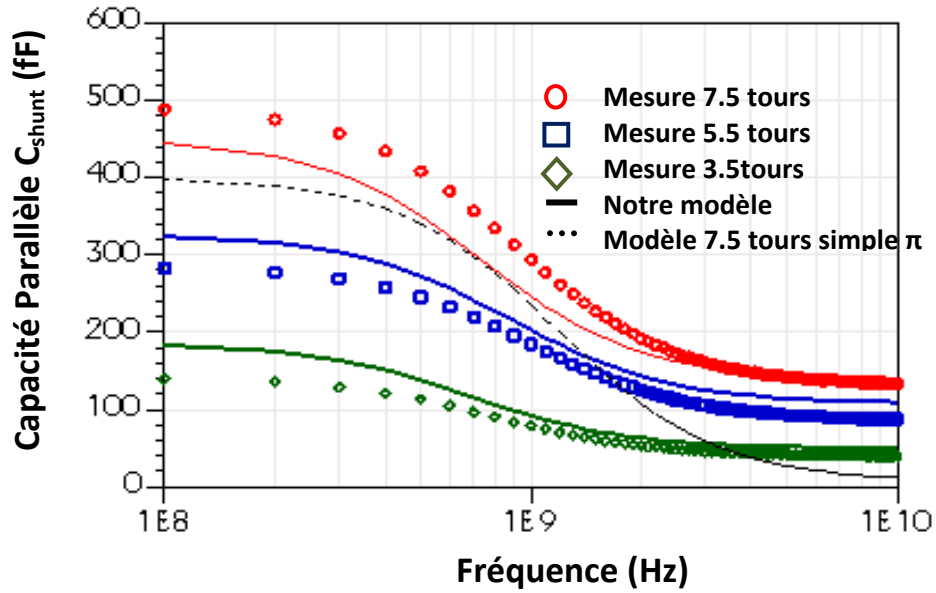


Fig.5-13 - Comparaison entre données mesurées et modélisées (à partir du modèle d'échelle que nous avons développé et celui précédemment proposé par [134]) pour la capacité équivalente parallèle  $C_{shunt}(\omega)$  des inductances spirales en CMOS de 3.5, 5.5 et 7.5 tours.

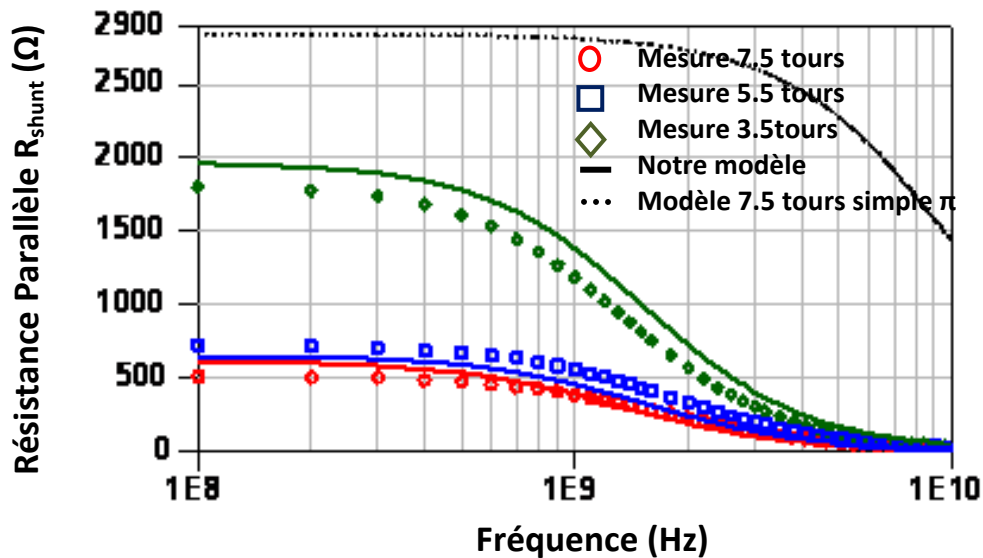


Fig. 5-14 - Comparaison entre données mesurées et modélisées (à partir du modèle d'échelle que nous avons développé et celui précédemment proposé par [134]) pour la résistance équivalente parallèle  $R_{shunt}(\omega)$  pour des inductances spirales en CMOS de 3.5, 5.5 et 7.5 tours.

Des inductances de 3.5 tours et 7.5 tours ont également été réalisées avec un espace inter-lignes et un diamètre extérieur différent, ( $w=12\mu\text{m}$ ,  $s=2.5\mu\text{m}$  and  $d_{out}=145\mu\text{m}$ ). Sur la Fig.5-15, la modélisation de la dépendance fréquentielle de l'inductance équivalente série  $L_{serie}(\omega)$  et de la résistance équivalente  $R_{serie}(\omega)$ , due à l'effet de proximité et à l'effet de peau (non pris en compte dans le modèle simple- $\pi$  [134]), est démontrée. De même, la validation de l'estimation des paramètres de l'admittance parallèle du modèle est mise en évidence sur la Fig.5-15.

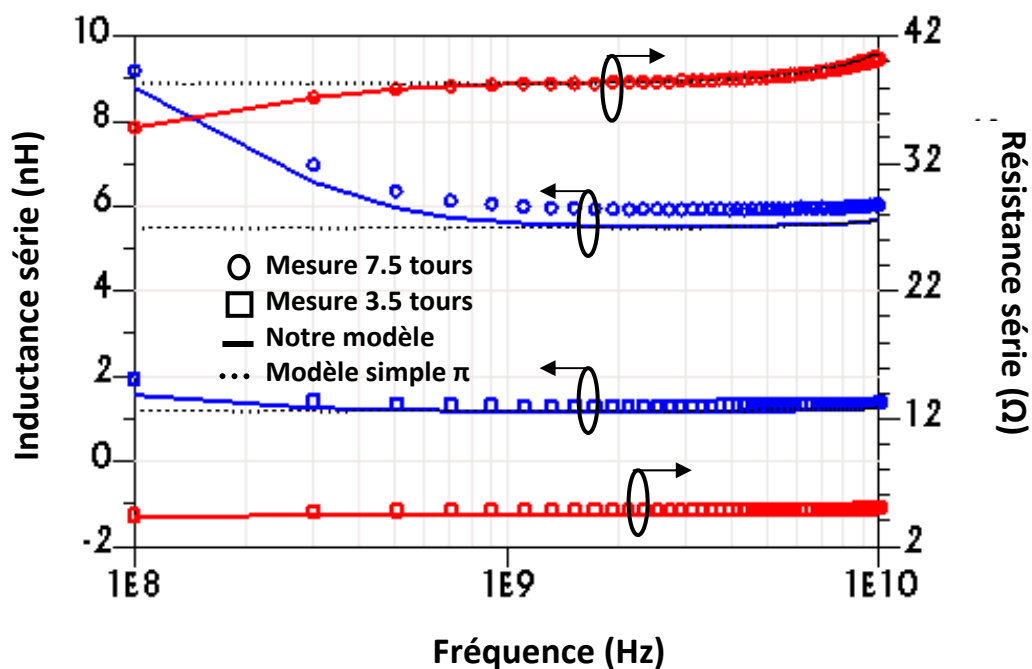


Fig.5-15 - Comparaison entre données mesurées et modélisées à partir du modèle d'échelle développé et celui précédemment proposé par [134]) pour l'inductance équivalente série  $L_{\text{series}}(\omega)$  et la résistance équivalente série  $R_{\text{series}}(\omega)$  pour des inductances de 7.5 tours, avec  $w=3\mu\text{m}$ ,  $s=2.5\mu\text{m}$  et  $d_{\text{out}}=145\mu\text{m}$ , et 3.5-tours avec  $w=12\mu\text{m}$ ,  $s=2.5\mu\text{m}$  et  $d_{\text{out}}=145\mu\text{m}$ .

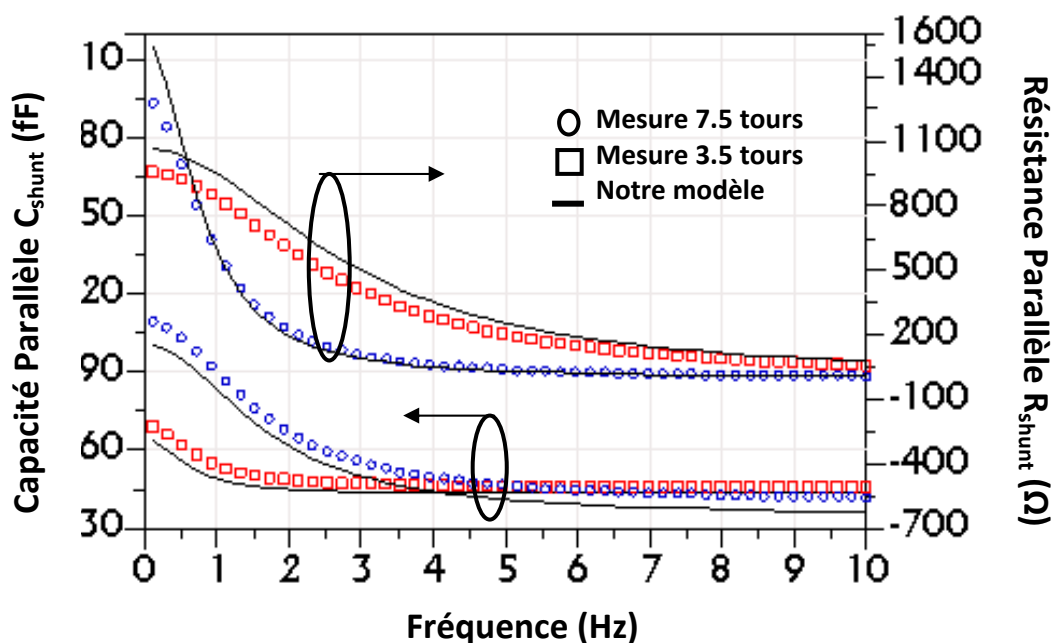


Fig. 5-16 - Comparaison entre données mesurées et modélisées à partir du modèle d'échelle développé et celui précédemment proposé par [134]) pour la capacité équivalente parallèle  $C_{\text{shunt}}(\omega)$  et la résistance équivalente parallèle  $R_{\text{shunt}}(\omega)$  pour des inductances de 7.5 tours avec  $w=3\mu\text{m}$ ,  $s=2.5\mu\text{m}$  et  $d_{\text{out}}=145\mu\text{m}$ , et 3.5-tours avec  $w=12\mu\text{m}$ ,  $s=2.5\mu\text{m}$  and  $d_{\text{out}}=145\mu\text{m}$ .

### **3.2 Validation du modèle par rapport à l'influence des tolérances du processus de fabrication sur un circuit RF générique**

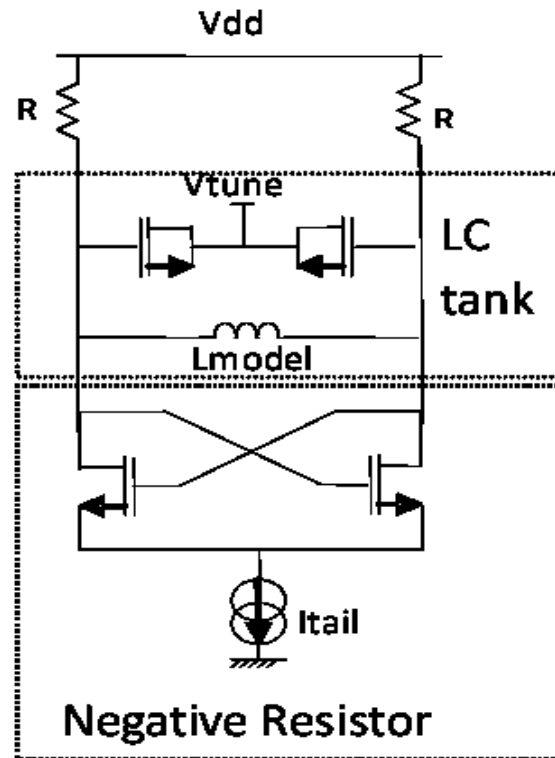
La précision requise pour un modèle d'inductance spirale n'a pas nécessairement besoin d'être supérieure aux variations associées aux tolérances du processus de fabrication. Une modification de la réponse fréquentielle du composant peut en effet provenir des tolérances sur le layout du composant, ou sur les épaisseurs des couches d'oxyde et de métal. De plus, la valeur de l'inductance et les éléments parasites du composant sont très dépendants de l'environnement de la self et de son contexte d'utilisation (par exemple par la présence d'autres composants, de lignes de métal ou de masse à proximité). Dans le processus de fabrication CMOS, plusieurs paramètres technologiques peuvent affecter la caractéristique en fréquence du composant [162]. Nous pouvons par exemple citer l'épaisseur de diélectrique entre les niveaux de métal, ou encore l'épaisseur de la couche de passivation déposée au dessus du composant. Enfin, les tolérances associées aux largeurs et aux épaisseurs des lignes de métal peuvent aussi modifier la caractéristique fréquentielle de l'inductance.

Nous proposons dans cette section de valider que la précision d'estimation des paramètres de notre modèle peut-être suffisante pour la conception de dispositifs RF. Nous allons pour cela mettre en évidence que les écarts des caractéristiques induits par le processus de fabrication peuvent être supérieurs à ceux observés entre les données mesurées et modélisées.

L'analyse est effectuée à partir d'un oscillateur contrôlé en tension fonctionnant dans la bande 1.9-2.2GHz, qui a été conçu à partir du logiciel ADS. Cet oscillateur utilise une inductance de 7.5 tours, qui présente une largeur de ligne  $w=12\mu\text{m}$ , un espace inter-lignes  $s=4\mu\text{m}$ , et un diamètre extérieur  $d_{\text{out}}=300\mu\text{m}$ . Les paramètres variables du processus de fabrication considéré sont l'épaisseur d'oxyde se trouvant sous l'inductance, qui peut elle varier entre 1.6 et  $1.8\mu\text{m}$  et l'épaisseur de la couche de passivation qui elle peut varier de 1.8 à  $2.4\mu\text{m}$ . Enfin, nous considérons une variation maximale de  $\pm 5\%$  sur les largeurs de lignes de métal. Des inductances spirales prenant en compte les déviations maximales de ces paramètres ont été simulées à partir du logiciel 3D HFSS. Les résultats de simulation et ceux du modèle ont tous été implantés dans la simulation circuit du VCO afin d'observer les écarts en sortie du dispositif.

Le schéma électrique du VCO utilisé dans cette étude est présenté sur la Fig. 5-17, il est basé sur une architecture différentielle à base de résistance négative construite avec deux transistors MOS ayant leurs grilles et drains interconnectés entre eux [163]. Ces deux transistors, s'ils sont associés à un circuit résonant, permettent de générer une résistance négative d'amplitude suffisante pour autoriser les oscillations. Enfin, le circuit résonant est composé de l'inductance spirale qui nous intéresse et d'une capacité variable formée grâce aux capacités de déplétion de deux transistors MOS dont le drain et la source sont en court-circuit.





**Fig. 5-17 – VCO différentiel à base de résistance négative simulé pour valider la faisabilité d'utiliser le modèle d'échelle pour la conception de RFIC.**

Le VCO a été conçu en technologie CMOS 0.5 $\mu$ m et fonctionne avec une tension d'alimentation de 2.2V. La tension de commande des MOSFETs du circuit résonant est de 1.75V à 2.15V. Le courant de référence ( $I_{tail}$ ) doit être de 6mA pour que les conditions d'oscillation soient respectées. Les longueurs de grilles des transistors  $L$  et largeurs  $W$  des transistors de la résistance négative sont respectivement de 0.8 $\mu$ m et 64 $\mu$ m. Les transistors MOSFETs utilisés dans le circuit résonant LC parallèle ont eux des dimensions  $L=5\mu$ m et  $W=55\mu$ m. Le VCO simulé sous ADS utilise les modèles Bsim3v3 disponibles de la technologie CMOS 0.5 $\mu$ m. La réponse de référence de l'oscillateur comprend à la fois celle utilisant les données mesurées et modélisées de l'inductance de 7.5tours, et cela sans considérer les tolérances qui peuvent être associées à la fabrication des circuits actifs ou des interconnexions. Les paramètres de sortie du VCO que nous considérons ici sont l'amplitude maximale du signal de sortie (Fig.5-18), la puissance de l'harmonique d'ordre 3 (Fig.5-19), et enfin le bruit de phase de l'oscillateur à 1MHz (Fig.5-20). Nous pouvons observer sur ces trois figures que la réponse du VCO obtenue à partir du modèle se positionne globalement bien dans la gamme de valeurs extrêmes induite par les variations des dimensions de l'inductance. Aussi, ces résultats démontrent la faisabilité d'utiliser un modèle d'échelle pour les premières phases de conception de RFIC et ce, bien que les équations analytiques soient déduites de nombreuses approximations.

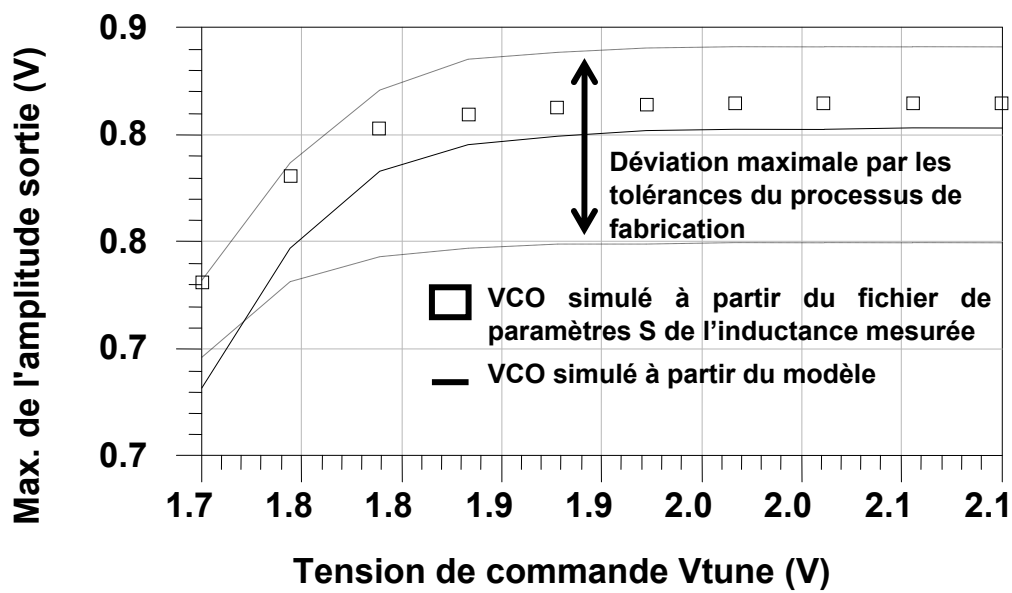


Fig.5-18 - Amplitude de sortie maximale simulée des VCOs avec : comme référence la réponse du VCO implantée à partir des fichiers de paramètres S mesurés, modélisés, et ceux des inductances simulées en 3D et qui tiennent compte des variations maximales induites par le processus de fabrication

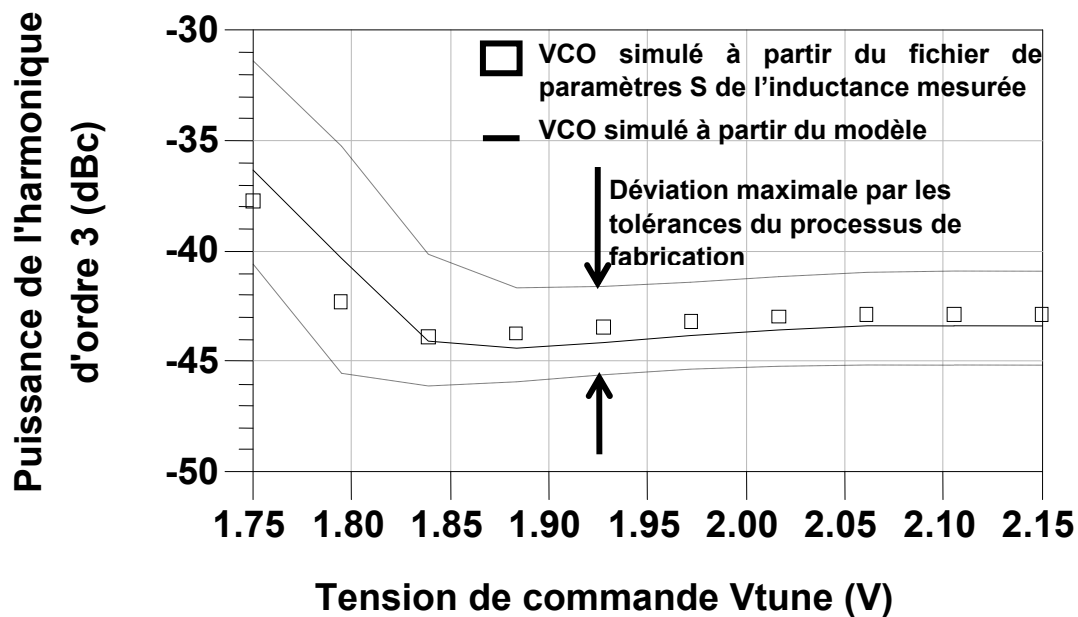
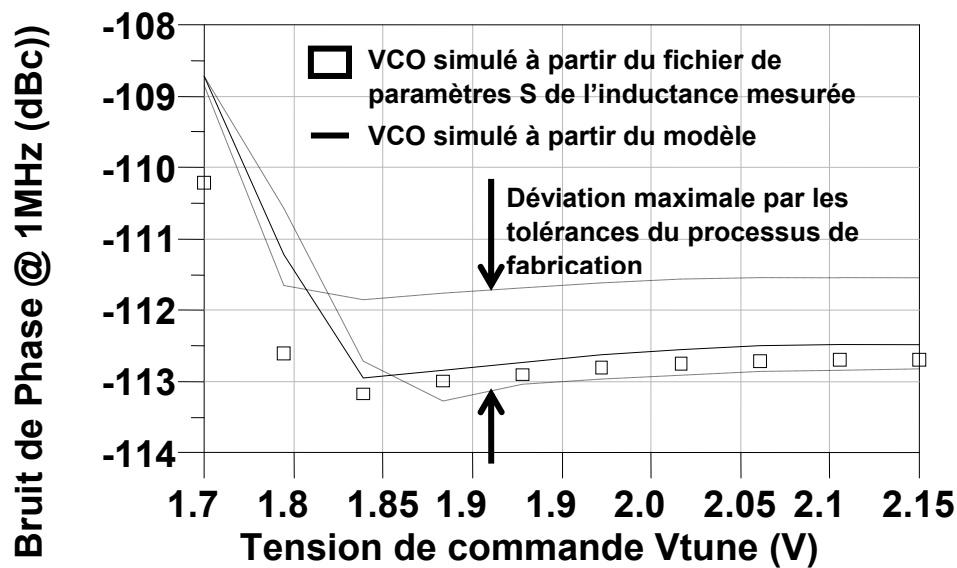


Fig.5-19 – Puissance de l'harmonique d'ordre 3 simulée des VCOs avec : comme référence la réponse du VCO implantée à partir des fichiers de paramètres S mesurés, modélisé, et ceux des inductances simulées en 3D qui tiennent compte des variations maximales induites par le processus de fabrication



**Fig.5-20 – Bruit de phase à 1MHz simulé des VCOs avec : comme référence la réponse du VCO implanté à partir des fichiers de paramètres S mesurés, modélisés, et ceux des inductances simulées en 3D qui tiennent compte des variations maximales induites par le processus de fabrication**

#### 4. Conclusion

Dans ce chapitre, nous avons présenté une des dernières phases de développement de la technologie de passifs intégrés, qui consiste à mettre en œuvre des modèles électriques des composants. Cette étape est illustrée à travers le développement d'un modèle d'échelle d'inductances spirales intégrées en technologies CMOS. A partir de l'interprétation et l'approximation des différents phénomènes électromagnétiques présents dans le composant, des équations analytiques linéaires de chaque paramètre du modèle sont déduites. Le modèle a été validé dans la bande 100MHz-10GHz. Son intérêt pour être utilisé lors des premières phases de conception de circuits RFIC a été mis en évidence dans le cas particulier d'un oscillateur contrôlé en tension. Cette approche de modélisation analytique d'échelle a été effectuée à partir d'une topologie de circuit simple et compacte, facilitant son implantation pour la réalisation de kits de conception. De plus, ce modèle permet de prédire simplement et rapidement, la dépendance des paramètres électriques de l'inductance à la géométrie du composant et aux caractéristiques de la technologie. Ceci permet au fabricant de la technologie de proposer aux concepteurs de circuits un outil d'analyse qui peut servir notamment à définir les dimensions optimales du composant.

Les perspectives à ce travail sont d'abord la validation du modèle dans le cadre d'autres géométries d'inductances spirales (circulaires, octogonales ou hexagonale). De plus, une extension du modèle peut être effectuée afin d'être appliquée à la modélisation d'inductances spirales réalisées avec un plan de masse en grille. Cette approche par modèle d'échelle physique et linéaire s'applique à tout autre type de dispositif passif, dans le but de proposer des modèles comme kit de conception par les fondeurs de circuits.





# Conclusion Générale

Ce travail de thèse cherche à démontrer la faisabilité d'intégrer des composants passifs dans les niveaux de métallisation d'une filière technologique industrielle CMOS 0.5 $\mu$ m. La réalisation de composants passifs de forte densité dans des filières technologiques relativement anciennes et bas coûts a pour objectif d'éviter le recours à un saut technologique et permettre d'améliorer les performances d'intégration. La démarche générale adoptée pour le développement des composants passifs en couches minces repose sur l'utilisation des architectures classiques et planaires de composants passifs afin d'effectuer un report des contraintes en performances sur les propriétés des matériaux utilisés. Nous avons présenté, dans ce document nos travaux à différents niveaux du développement de la technologie de composants passifs intégrées en couches minces. C'est-à-dire au niveau des propriétés intrinsèques des matériaux, à l'interface matériau composant (pour l'intégration des couches minces), et enfin au niveau du composant et de sa représentation. Chaque niveau d'analyse est focalisé et illustré sur un type de passif donné soit condensateurs, résistances et inductances.

Les performances électriques des composants étant reportées sur les propriétés des matériaux en couches minces, la formation et la caractérisation électrique de couches minces optimisées constitue la première étape du développement de la technologie. Ce premier niveau d'analyse, concentré sur les propriétés électriques des matériaux en couches minces est appliqué au cas du diélectrique High- $\kappa$  pour la réalisation de condensateurs MIM de forte densité. Des couches minces d'oxyde de titane et de tantale ont été développées par voie physique et caractérisées électriquement à partir de capacités MOS (Métal Oxyde Silicium). Le choix de ce diélectrique High- $\kappa$  a été motivé pour ses performances électriques prometteuses, ainsi que pour sa compatibilité à être intégré dans la filière CMOS. La structure MOS a quant à elle d'abord été sélectionnée pour sa simplicité de réalisation et également pour la grande sensibilité de sa réponse électrique aux propriétés du diélectrique. Notre contribution dans cette partie a consisté en l'analyse des propriétés des couches d'oxyde de titane et de tantale développées, et de composition  $\text{Ti}_{0,28}\text{Ta}_{0,19}\text{O}$ . Une analyse similaire du  $\text{TiTaO}$  à partir de la caractérisation électrique de capacités MOS n'a, en notre sens, pas été à ce jour reportées dans la littérature. Des paramètres intrinsèques du matériau, non reportés à notre connaissance, sont extraits afin de juger de la qualité du diélectrique, tels que la densité de pièges, ou encore la charge effective du  $\text{TiTaO}$ . Les films développés disposent d'une permittivité  $\epsilon_r=40$  extraite indépendamment de l'épaisseur déposée en s'affranchissant des effets d'interfaces susceptibles de dégrader la permittivité déduite d'une mesure classique de capacité. L'influence de l'épaisseur du diélectrique sur sa densité de pièges et sa résistivité a été démontrée, et les effets de charges piégées à l'interface ou dans le volume, distingués. La conduction du courant dans le diélectrique a été identifiée comme étant un mécanisme limité par charge d'espace. Le courant transporté est piloté par les propriétés volumiques du diélectrique et les performances en terme de fuite sont notamment dépendantes de la quantité de pièges de charge dans le diélectrique.

Les perspectives de ce travail consistent à valider dans un premier temps les propriétés du matériau en terme de linéarité en tension et en température. Cette validation nécessite de réaliser et caractériser des capacités MIM. Un choix judicieux des électrodes doit être effectué

avec la recherche du meilleur compromis entre performances électriques et faisabilité d'intégration dans le BEOL de la filière CMOS 0.5 $\mu$ m. Une optimisation des propriétés du diélectrique doit aussi être entreprise afin de réduire la densité de courant de fuite. Cette optimisation doit s'effectuer à partir de modifications sur les conditions de dépôt et également par l'analyse de l'influence d'un recuit sur les qualités isolantes des couches déposées. L'objectif est à la fois d'augmenter la résistivité du diélectrique (ce qui revient à réduire sa densité de charges libres) et de réduire conjointement la densité de pièges.

A partir de la sélection du matériau idéal et de l'analyse des propriétés électriques de la couche mince considérée, l'intégration du matériau dans la filière technologique doit-être effectuée. Nous appliquons cette phase du développement de la technologie au cas de résistances intégrées construites en oxynitride de titane ( $\text{TiN}_x\text{O}_y$ ). Nos travaux présentés à ce niveau de l'analyse permettent d'identifier dans un premier temps les verrous technologiques à la formation des résistances dans le BEOL de la filière technologique CMOS 0.5 $\mu$ m. Un schéma d'intégration est ensuite proposé, pour permettre de s'affranchir des problèmes liés à la formation des interconnexions de la résistance. En effet, les approches classiques de prises de contact sont susceptibles de dégrader le film résistif. Le schéma d'intégration proposé a été validé expérimentalement. La présence d'une interface diélectrique formée lors de l'interconnexion des films de  $\text{TiN}_x\text{O}_y$ , et dégradant les caractéristiques électrique des résistances, a été mise en évidence. Cette interface a été identifiée à partir de mesures électriques, et confirmée par des caractérisations physiques. Aussi, une fois le problème d'interface résolu par une optimisation du processus de formation des vias sous la résistance, nous avons pu démontrer la faisabilité de couvrir une très large gamme de valeurs de résistance par carrée (de 500 $\Omega/\square$  à 800M $\Omega/\square$ ). La densité obtenue est étroitement liée à la composition des films considérés, et nous avons illustré l'influence de cette même composition sur les performances des résistances en termes de linéarité en tension et température. L'influence non négligeable des étapes succédant le dépôt du film résistif et en particulier des budgets thermiques associés a été constatée au cas de la formation de la couche de passivation. Enfin, nous avons illustré la démarche permettant de définir quelques règles de dessins à partir de tests qui mettent en évidence l'influence, de la géométrie des motifs de résistance, et celle du nombre de prise de contacts, sur les caractéristiques électriques du composant. A partir de ces tests, quelques critères permettant de garantir les performances électriques des résistances par rapport au cahier des charges ont été posées. Cette analyse nous a aussi permis de démontrer que la linéarité en tension des résistances est très dépendante à la fois de la géométrie des composants et de la composition du film de  $\text{TiN}_x\text{O}_y$ , alors que la linéarité en température est elle plutôt dépendante de la composition du film. Enfin, nos travaux ont permis de démontrer, pour la première fois, la faisabilité d'intégrer des couches minces résistives de  $\text{TiN}_x\text{O}_y$  dans une filière CMOS industrielle afin de réaliser des résistances de fortes valeurs, et un brevet sur le processus d'intégration des films résistifs dans le BEOL a été soumis.

Les perspectives de ce travail consistent d'une part à optimiser les coefficients de linéarité en température, jugés encore trop élevés par rapport aux objectifs industriels. Aussi, une optimisation des conditions de dépôts avec la recherche des paramètres optimaux doit-être entreprise, sachant que l'obtention de TCR très faible a été démontrée lors de travaux antérieurs présentés dans l'étude bibliographique sur les résistances en  $\text{TiN}_x\text{O}_y$ . Ensuite, une

caractérisation électrique quantitative du véhicule de test conçu est à effectuer pour définir le jeu complet de règles de dessins qui sera ensuite à disposition des concepteurs de circuits.

Le dernier niveau d'analyse considéré se place à l'échelle du composant. En effet, lorsque celui-ci est intégré dans la filière technologique, ses propriétés électriques validées et les règles de dessins définies, il est nécessaire d'en développer un modèle électrique afin qu'il puisse être utilisé pour la conception de circuits. La définition et la validation de modèles électriques constituent une des étapes finales du développement de la technologie de passifs intégrés. Nous avons appliqué cette phase de l'étude au cas des inductances spirales intégrées et avons fait le choix de développer un modèle électrique d'échelle localisé. De cette manière, la réponse des inductances spirales peut-être aisément prédite en fonction des dimensions géométriques (largeur des lignes de métallisation, espaces inter-lignes et nombre de tours) et des caractéristiques de la technologie (permittivité des oxydes, résistivité du substrat, épaisseur des diélectriques et des métaux). Nous avons présenté un quadripôle en  $\pi$  particulier (appelé  $\pi$ -amélioré), qui est construit par une association de résistances, condensateurs, et inductances élémentaires, chacun attribués à la représentation d'un phénomène physique donné. Pour chacun des éléments de ce quadripôle, nous avons défini des équations analytiques qui permettent de prédire les valeurs des entités élémentaires du modèle. Les équations sont déduites de l'interprétation des phénomènes électromagnétiques du composant sous approximation quasi-statique. Nous pouvons de cette manière prédire aisément la réponse de l'inductance dans la bande 100MHz – 10GHz. Certes, la simplicité du modèle a pour effet de dégrader la précision obtenue par rapport à des modèles de complexité supérieure ; toutefois, notre objectif est de proposer un modèle physique d'échelle simple qui facilite, d'une part, l'interprétation des contributions des phénomènes parasites et, d'autre part, la prédiction rapide de la réponse fréquentielle de l'inductance. Cette approche permet à la fois de faciliter la conception d'un premier set de test d'inductances, et d'optimiser le choix des conditions de simulations électromagnétiques qui peuvent être coûteuses en temps et en ressources. Enfin le modèle développé est à notre connaissance le premier modèle d'échelle physique et analytique d'inductances spirales intégrées en technologie CMOS, qui permette de prendre en compte des phénomènes parasites propres aux technologies silicium, comme le couplage entre l'entrée et la sortie du composant via le substrat semi-conducteur.

Les perspectives de ce travail de modélisation sont d'abord le développement de modèles similaires pour les condensateurs et résistances, afin de proposer un kit de conception complet pour les composants passifs intégrés de la technologie CMOS 0.5 $\mu$ m. Ensuite, l'approche adoptée et le modèle associé doivent-être validés au cas des inductances spirales circulaires, octogonales, et hexagonales. Une extension du modèle peut-être envisagée pour représenter des inductances spirales utilisant un plan de masse en grille formé en polysilicium, ou encore pour représenter des inductances différentielles. Ainsi, nous disposerons de modèles physiques et analytiques pour l'ensemble des types d'inductances pouvant-être réalisées actuellement dans une filière CMOS standard.



Nous avons dans cette thèse posé les bases du développement d'une technologie monolithique de composants passifs intégrés dans une filière CMOS 0.5 $\mu$ m. Notre contribution met l'accent sur l'analyse des propriétés diélectriques d'un matériau High- $\kappa$  particulier à partir de caractérisations électriques de capacités MOS. Nous avons défini et validé un schéma d'intégration permettant de réaliser des résistances intégrées de grande densité dans le BEOL de la filière CMOS. Enfin un modèle d'échelle physique et analytique d'inductances spirales a été développé et permet de prédire la réponse fréquentielle du composant et de juger de l'influence des éléments parasites propres à la géométrie de l'inductance et aux caractéristiques de la technologie.

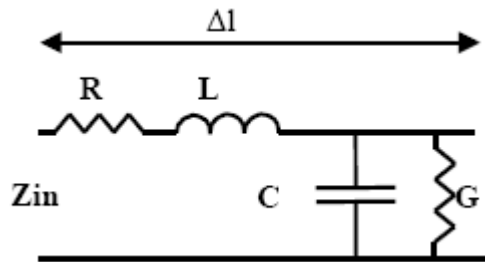
Le développement de la technologie a ainsi été illustré à partir de trois niveaux d'analyse, appliqué chacun à un type de composant passif. Toutefois, une étape indispensable au développement d'une technologie industrielle n'a pas été abordée dans ce travail et consiste à valider de façon quantitative la reproductibilité et la fiabilité de chacun des composants. Cette dernière étape est en quelque sorte la phase d'industrialisation de la technologie qui reste évidemment incontournable pour proposer un produit commercial.

# **ANNEXES**



## **ANNEXE 1 : Méthode d'extraction de paramètres de composants passifs à partir d'un modèle de ligne de transmission**

Les modèles circuits distribués de composants sont très généralement construits à partir du modèle « ligne de transmission » représenté sur la Fig. A1-.



**Fig. A1-1 - Modèle circuit d'une ligne de transmission**

Ce modèle générique est adapté à toute géométrie de propagation TEM ou quasi TEM car il prend en compte les phénomènes physiques liés à la propagation, et qui sont modélisés par les composants RGLC. A partir de ceux-ci, les deux paramètres essentiels pour la conception de circuits que sont l'impédance caractéristique  $Z_0$  et la constante de propagation  $\gamma$  peuvent être exprimés comme indiqué ci dessous [<sup>164</sup>]:

$$Z_0 = \sqrt{\frac{(R + j\omega L)}{(G + j\omega C)}} \quad (18)$$

$$\gamma = \sqrt{(R + j\omega L)(G + j\omega C)} = \alpha + j\beta \quad (19)$$

avec  $\alpha$  et  $\beta$  les constantes d'atténuation et de phase de la ligne.

L'impédance caractéristique de la ligne est une représentation circuit des champs associés qui se propagent sur une ligne de longueur infinie (ou chargée par cette impédance caractéristique). La constante de propagation prend en compte les phénomènes de pertes à travers le coefficient  $\alpha$  et les phénomènes d'évolution de la phase des signaux transportés par  $\beta$ . Ainsi, une ligne sans pertes  $R=G=0$  aura une constante de propagation imaginaire pure  $\alpha = 0$  soit  $\gamma = j\beta = j\omega\sqrt{LC}$ .

L'utilisation de modèles distribués de composants passifs tels que la ligne de transmission est nécessaire lorsque les composants sont utilisés à des fréquences pour lesquelles la longueur d'onde se trouve être du même ordre que les dimensions du composant. De plus, pour la modélisation de passifs sur de très larges bandes (plusieurs dizaines de GHz), les modèles circuits distribués deviennent alors incontournables. Selon cette approche nous pouvons, par exemple, citer la méthode développée dans [<sup>165</sup>], qui permet de déduire un circuit équivalent basé sur un réseau en  $\pi$ , et d'extraire les paramètres associés à partir d'une mesure de leurs paramètres S.

Le principe de cette méthode est basé sur deux hypothèses :

- la validité d'un modèle en  $\pi$  (Fig.A1-2) pour modéliser le comportement électrique du composant intégré.

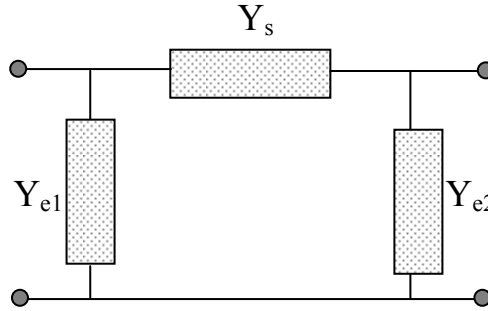


Fig. A1-2 - Structure en  $\Pi$

- la validité du modèle de ligne de transmission sur chacune des impédances ou admittances du modèle  $Z_s=1/Y_s$ ,  $Y_{e1}$  et  $Y_{e2}$ . Ce dernier point nécessite que le composant soit de dimensions géométriques très inférieures à la longueur d'onde.

A partir des paramètres  $[S]$  mesurés, les équations suivantes donnent l'expression des éléments ABCD de la matrice de chaîne du réseau en  $\pi$ :

$$\begin{aligned} A &= \frac{(1 + S_{11}).(1 - S_{22}) - S_{12}.S_{21}}{2.S_{21}} \\ B &= Z_0. \frac{(1 + S_{11}).(1 + S_{22}) - S_{12}.S_{21}}{2.S_{21}} \\ C &= \frac{1}{Z_0}. \frac{(1 - S_{11}).(1 - S_{22}) - S_{12}.S_{21}}{2.S_{21}} \\ D &= \frac{(1 - S_{11}).(1 + S_{22}) + S_{12}.S_{21}}{2.S_{21}} \end{aligned} \quad (20)$$

Ou  $Z_0$  représente l'impédance de charge de la ligne ( $50\Omega$ ). La matrice  $[ABCD]$  d'un réseau en  $\pi$  s'écrit comme suit :

$$[ABCD] = \begin{bmatrix} 1 + \frac{Y_{e2}}{Y_s} & \frac{1}{Y_s} \\ Y_{e1} + Y_{e2} + \frac{Y_{e1}Y_{e2}}{Y_s} & 1 + \frac{Y_{e1}}{Y_{e2}} \end{bmatrix} \quad (21)$$

La connaissance des paramètres ABCD extraits à partir de la mesure des paramètres S permet d'écrire les éléments du réseau en  $\pi$  en fonction des paramètres de la matrice de chaîne.

$$Z_s = \frac{1}{Y_s} = B \quad Y_{e1} = \frac{D-1}{B} \quad Y_{e2} = \frac{A-1}{B} \quad (22)$$

Chacune des impédances ou admittances de la structure ayant été identifiées, il s'agit maintenant de pouvoir en déduire des circuits équivalents et extraire les valeurs des différents éléments des modèles.

A partir de l'équation de l'impédance d'entrée  $Z_{in}$  d'une ligne de transmission, de longueur  $l$ , d'impédance caractéristique  $Z_0$  et chargée par une impédance  $Z_L$  (Fig. A1-3):

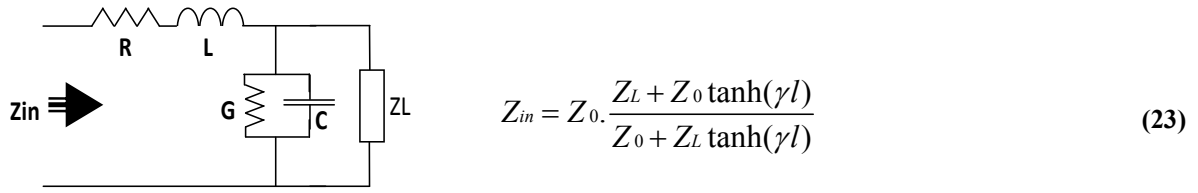


Fig. A1-3 - Impédance d'entrée d'une ligne de transmission

L'hypothèse est de considérer (ou approximer) un condensateur comme une ligne de transmission terminée par un circuit ouvert  $Z_L = \infty$ , et une inductance ou résistance, comme une ligne terminée par un court circuit  $Z_L = 0$ . Ainsi l'expression de l'impédance d'entrée devient :

$$\text{Résistances et Inductances : } Z_{ind, res} = Z_s(ind, res) = Z_0 \tanh(\gamma l) \quad (24)$$

$$\text{Condensateurs : } Y_{cap} = Y_s(cap) = Y_0 \tanh(\gamma l) \quad (25)$$

Avec  $Z_0$  et  $\gamma$  tel que définis dans les équations (18) et (19).

En approximant l'expression de  $\tanh(\gamma l)$  à l'ordre un, deux, ou trois, en fonction soit de la bande de fréquence devant être couverte, soit de la précision requise pour le modèle, il sera possible de déduire des circuits équivalents :

$$\tanh(\gamma l) = \frac{\gamma l}{1 + \frac{(\gamma l)^2}{3 + \frac{(\gamma l)^2}{5 + \dots}}} \quad (26)$$

A partir des équations de  $\gamma$ ,  $Z_0$  et  $Z_{ind}$  ou  $Y_{cap}$ , des expressions de  $Z_{ind, res}$  et  $Y_{cap}$  en fonction des paramètres du modèle électrique de la ligne de transmission sont déduits. De ces équations, un circuit électrique équivalent est déterminé (Fig. A1-). Les équations et modèles ci-dessous sont celles relatives à une approximation du second ordre

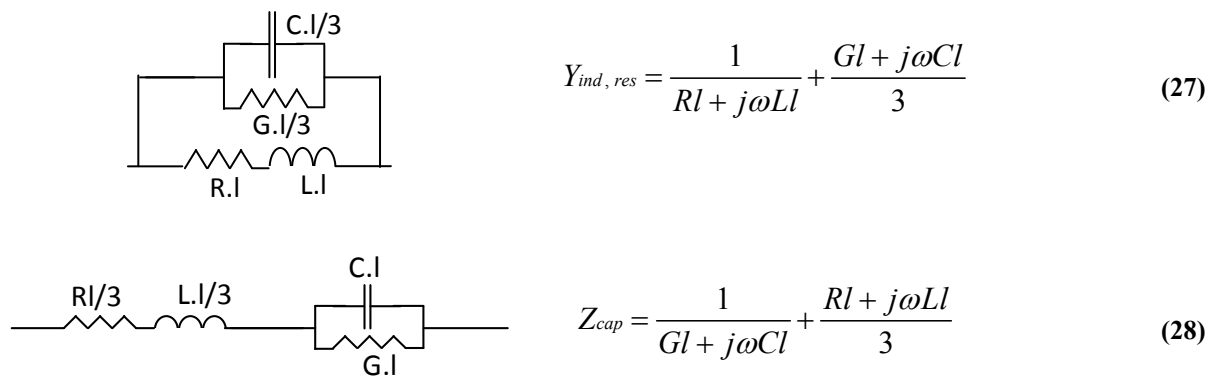


Fig. A1-4 - Circuits équivalents du second ordre pour inductances/résistances et condensateurs

En général pour des circuits intégrés, les admittances parallèles ( $Y_{e1}$  et  $Y_{e2}$ ) sont dominées par des phénomènes de couplage électrique entre les métallisations du composant et les plans de

masses, et elles peuvent se modéliser comme des condensateurs. Si l'on considère un modèle de condensateur pour l'impédance série ( $Z_{cap}$ ), en posant  $R_d=3/G.l$  ;  $L_{cap}=L.l/3$  ;  $R_c=R.l$  ;  $C_{cap}=C.l$ , alors l'équation de  $Z_{cap}$  peut s'écrire en partie réelle et imaginaire comme suit :

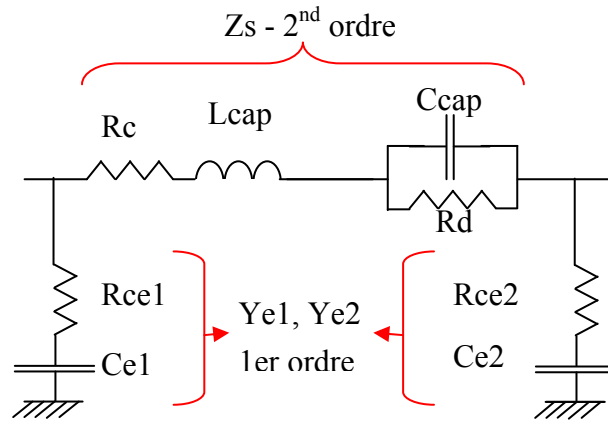
$$\text{Re}(Z_{cap}) \approx \frac{1}{R_d C_{cap}} \cdot \frac{1}{\omega^2} + R_c \quad (29)$$

$$\frac{\text{Im}(Z_{cap})}{\omega} \approx -\frac{1}{C_{cap}} \cdot \frac{1}{\omega^2} + L_{cap} \quad (30)$$

$$\text{et avec } (\omega R_d C_{cap})^2 \gg 1 \quad (31)$$

Ces deux équations sont linéaires en  $1/\omega^2$ , il suffit donc d'interpoler les caractéristiques de  $Z_{cap}$  mesurées afin d'extraire les valeurs des paramètres du modèle.

L'extraction complète de tous les paramètres permet d'obtenir le circuit équivalent de la Fig. A1-5 (un modèle du second ordre pour l'impédance série et un modèle du premier ordre pour les admittances parallèles sont utilisés):



**Fig. A1-5 - Circuit équivalent du second ordre (impédances séries) et du premier ordre (impédances parallèles) d'un condensateur MIM**

A priori, cette méthode d'extraction permet d'obtenir un modèle cohérent physiquement pour des ordres d'extraction relativement faibles. Dans le cas d'une extraction sur des modèles d'ordres supérieurs à 3, la méthode permet de reproduire la réponse du circuit sans pour autant déduire un schéma électrique qui soit forcément cohérent avec les phénomènes physiques du composant, et des valeurs négatives de certains paramètres peuvent même être obtenues.

Enfin, cette méthode d'extraction suppose que les réponses d'ordre deux soient linéaires en  $1/\omega^2$ . Cependant, ce dernier point ne peut se vérifier que sur une gamme de fréquences données, généralement pour des fréquences élevées et supérieures au GHz, et ce qui reste toutefois cohérent avec une approche de modélisation par circuit distribués.

**ANNEXE 2 : Comparaison entre mesures  $I$ - $V$  de résistances intégrés en  $\text{TiN}_x\text{O}_y$  effectuée à partir de structures classiques et Kelvins**

CONFIDENTIEL



CONFIDENTIEL

**ANNEXE 3 : Développement du schéma d'intégration de  
couches minces résistives dans le BEOL de la filière CMOS**

CONFIDENTIEL

CONFIDENTIEL

CONFIDENTIEL

CONFIDENTIEL

CONFIDENTIEL

## **ANNEXE 4 : Présentation du véhicule de test des résistances intégrées conçu en technologie CMOS 0.5µm**

### **MODULE T1 – SQUARE SIZE AND NUMBER OF CONTACT INFLUENCE**

Purpose:

- Test of square resistance for different size of thin film material
- Test of resistances for a W/L ratio smaller than one square
- Test of resistance connected with different number of contact.

Description:

- For each square size, structures are duplicated with a change of the number of contact
- Structures smaller than one square are define and are not included in the contact number test influence

### **MODULE T2 – SHAPE AND SQUARE SIZE INFLUENCE 1**

Purpose:

- Test of resistance composed of 3 squares, for different shape and square size.
- Test of resistances for a W/L ratio smaller than one square

Description:

- For each square size, 3 squares structures are duplicated with a change of the shape
- Size of structures smaller than one square are not included in the shape analysis influence

### **Module T3 - SHAPES AND SQUARE SIZE INFLUENCE 2**

Purpose:

- Test of resistance composed of 7 squares of 5µmx5µm to 20µmx20µm, for different shape and square size
- Test of resistance composed of 10 squares of 5µmx5µm to 20µmx20µm for different shape

Description:

- For 7 square resistors, 5 resistors are tested with a change of shape
- For 10 square resistors, 4 resistors are tested with a change of shape

### **MODULE T4 – SHAPES AND SQUARE SIZE INFLUENCE 3**

Purpose:

- Test of resistance composed of 7 squares and influence of shape and square size (5µmx5µm and 10µmx10µm)

Description:

- Five different shape tested and rotated of 90° and 180°

## **MODULE T5 – SHAPES INFLUENCE**

### Purpose:

- Test of resistance composed of 10 squares, for variable shape

### Description

- Resistance composed of 10 square of with square size of 20µm x20µm, with the shape reference similar to module T4

## **MODULE T6 – CONTACT POSITION INFLUENCE**

### Purpose:

- Contact position effect on resistance parameters

### Description:

- 3 square resistances, with different shape and contact position
- Shape rotated of 0° and 90°
- The complete test set of the contact position on resistance parameters is composed of both module T6 and some shape in module T2

## **Module T7 – DESIGN RULES MIN WIDTH AND SPACING**

### Purpose:

- Design rules test
- Minimum width of thin film resistors
- Minimum spacing between two thin film resistors

### Description:

- 7 resistances with 6squares and various W/L
- 8 couple of 30 squares (W/L 2.5/2.5 and 5/5µm) resistors face to face, one factice and one connected
- The test spacing between the two resistors is 1, 2, 5, 10µm.
- Other test of spacing effect between two resistor can be found in Module T8

## **Module T8 - DESIGN RULES MIN SPACING – KELVIN RESISTORS 1**

### Purpose:

- Design rules test
- Minimum spacing between two thin film resistors, tested from 1µm to 10µm
- Kelvin Resistors

### Description:

- 4 couple of 15 squares (W/L 10/10) resistors face to face, one factice and one connected. The test spacing between the two resistors is 1, 2, 5, 10µm.
- Kelvin resistors composed of 80, 40, 20 square with W/L=10/10 µm, and 727square with W/L=1.1/1.1 µm
- V – Voltage connection
- I – Current connection



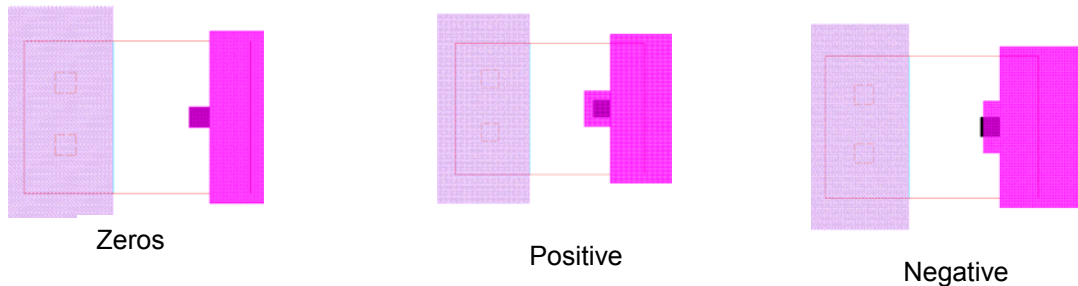
## Module T9 – DESIGN RULES MIN OVERLAP – KELVINS RESISTORS

### Purpose:

- Design rules definition
- Overlap thin film resistor layer and vias under resistive thin film
- Overlap between thin film resistor layer Metal 1 layer
- Test of Meander Kelvin resistor

### Description:

- Overlap tested from  $-0.9\mu\text{m}$  to  $0.5\mu\text{m}$
- 1 square resistor with  $W/L=5\mu\text{m}$  and different overlap on the viaRes contact, as shown in following figure for zero, positive and negative overlap
- Similar approach used to define the minimum overlap between thin film resistive layer and M1 layer. Overlap tested from  $0.1\mu\text{m}$  to  $1\mu\text{m}$
- Meander Kelvin resistor of 80squares of  $10\mu\text{m} \times 10\mu\text{m}$  and 40squares of  $20\mu\text{m} \times 20\mu\text{m}$



## Module T10 – DESIGN RULES MIN SPACING OVERLAP

### Purpose:

- Design Rules definition
- Minimum spacing between thin film resistive layer and Via1 layer (between Metal1 and Metal2 layers)
- Overlap of thin film resistive layer on vias connected to the thin film resistive layer (as define in T9)
- Overlap of Metal1 on vias connected to the thin film resistive layer

### Description:

- Spacing between Metal1/Metal2 vias and resistive thin films for  $W/L=10/5\mu\text{m}$  resistor. Spacing tests from  $0.1\mu\text{m}$  to  $2\mu\text{m}$
- Spacing between Metal1/Metal2 vias and the resistive thin film material for  $W/L=20/10\mu\text{m}$  resistor. Spacing tests from  $0.1\mu\text{m}$  to  $2\mu\text{m}$
- Overlap of resistive thin film material on contact vias connected to the resistive thin film for  $W/L=20/20\mu\text{m}$  resistor. Overlap tested from  $-0.75\mu\text{m}$  to  $0.5\mu\text{m}$
- Overlap of Metal M1 on contact vias connected to the resistive thin film for  $W/L=20/20\mu\text{m}$  resistor. Overlap tested from  $0.1\mu\text{m}$  to  $1\mu\text{m}$

### Module T11 – REFERENCE RESISTORS

#### Purpose:

- Reference resistors for comparison with modules T12, T13, T14 and T15

#### Description:

- Linear and meander shapes of 9, 10 and 5 squares with  $W/L=5/5\text{ }\mu\text{m}$ ,  $W/L=10/10\text{ }\mu\text{m}$  and  $20/20\text{ }\mu\text{m}$
- Tested for 9 squares resistors
- Tested for 10 squares resistors
- Tested for 5 squares resistors

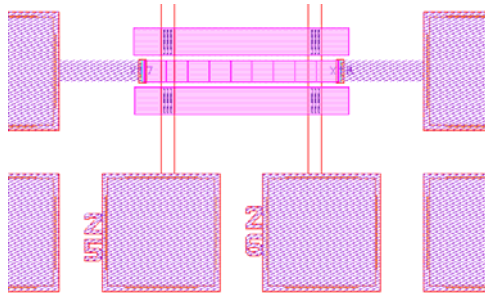
### Module T12 – RESISTIVE THIN FILM NEARBY RESISTORS

#### Purpose

- Shapes of module T11 are duplicated with resistive thin film factice/connected nearby resistors

#### Description

- Tested resistor with thin film resistive nearby is shown on following figure
- Spacing between thin resistive films are  $5\mu\text{m}$  and  $10\mu\text{m}$



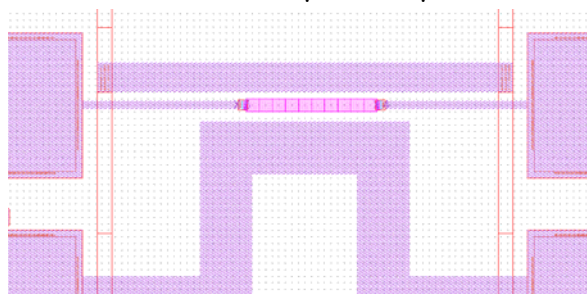
### Module T13 – METAL NEARBY RESISTORS

#### Purpose

- Shapes of module T11 are duplicated with metal M2 factice or connected nearby resistors

#### Description

- Tested resistor with metal M2 nearby is shown on following figure
- Spacing between thin resistive films are  $5\mu\text{m}$  to  $30\mu\text{m}$



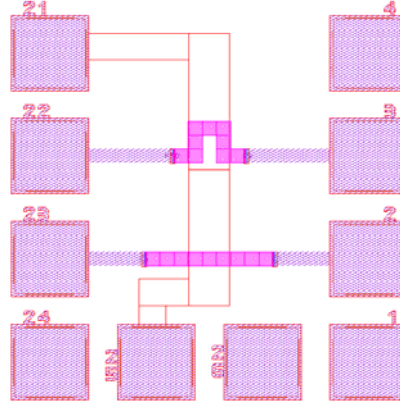
### Module T14 – METAL UNDER RESISTORS

#### Purpose

- Shapes of module T11 are duplicated with connected/factice metal M1 under resistors

#### Description

- Tested resistor with under metal M1 is shown on following figure



### Module T15 – METAL ABOVE RESISTORS

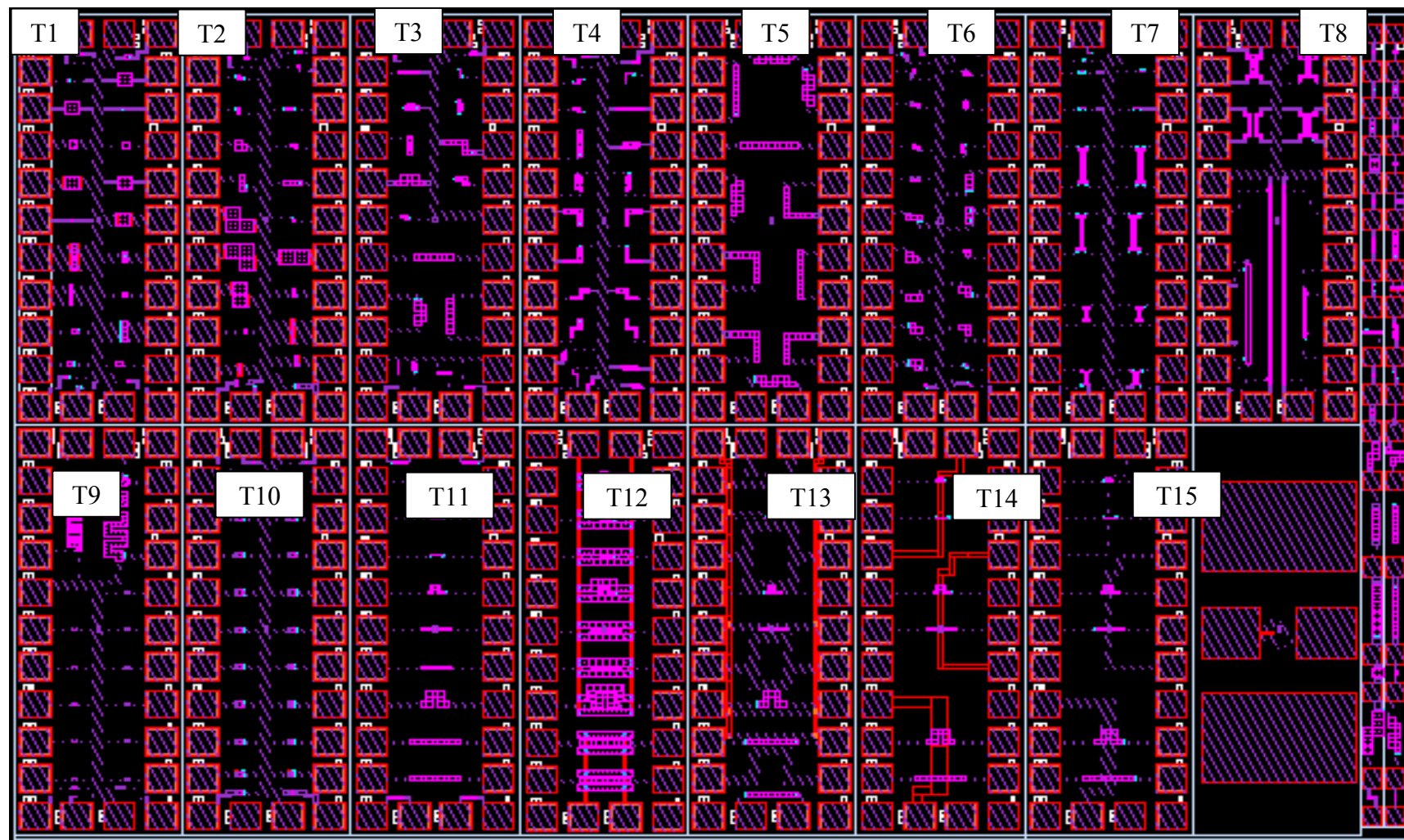
#### Purpose

- Shapes of module T11 are duplicated with connected/factice metal M2 above resistors

#### Description

- Similar approach than module T14 with metal above

LAYOUT DU VEHICULE DE TEST DE RESISTANCES INTEGREES EN COUCHES MINCES



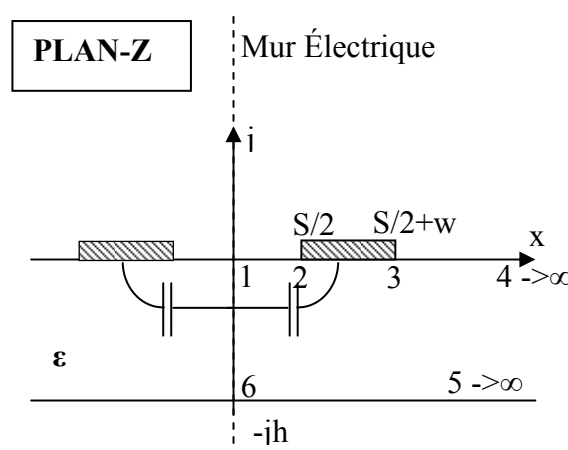
## **ANNEXE 5 : Calcul de la capacité d'une ligne coplanaire sur substrat d'épaisseur finie par transformation conforme**

Le calcul de la capacité linéique d'une ligne coplanaire sur substrat monocouche ou bicouche s'effectue en approximation quasi statique par transformation conforme de la structure de propagation.

L'objectif de la transformation conforme est d'effectuer une transformation géométrique de la ligne coplanaire en conservant les angles et les distances afin que les lignes de champ électrique deviennent rectilignes et qu'elles soient confinées dans un espace fermé. De cette manière, le calcul de la capacité de la ligne s'effectue de façon similaire au calcul de la capacité d'un condensateur plan.

### **Substrat Monocouche**

La ligne coplanaire considérée sur un substrat monocouche est représentée sur la figure suivante :



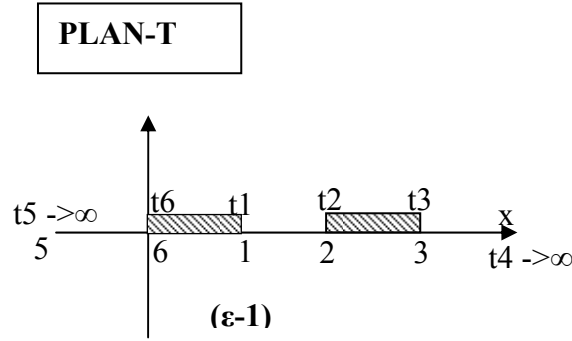
**Fig. A5.1 – Représentation de la ligne coplanaire sur substrat monocouche dans le plan-Z**

Le substrat a une permittivité diélectrique  $\epsilon$  et une épaisseur  $h$ . Les lignes ont une largeur  $w$ , et  $s$  est l'espace entre les lignes. En considérant la structure en mode quasi-TEM, la capacité totale se déduit de la somme des capacités d'une ligne coplanaire dans un espace supérieur libre, et de la capacité dans la couche de diélectrique dans l'espace inférieur. Dans le calcul des capacités, les interfaces air-diélectrique sont remplacées par des murs magnétiques et une permittivité équivalente du substrat égale à  $\epsilon-1$  est considérée <sup>[160]</sup>,<sup>[166]</sup>. La symétrie de la structure coplanaire nous autorise de plus à considérer l'axe des ordonnées tel un mur électrique. La capacité entre les lignes de métal équivaut ainsi à la mise en série des capacités entre la ligne et le mur électrique comme cela est représenté sur la figure ci-dessus pour les capacités de substrat.

Dans un premier temps, la structure représentée ci-dessus dans le plan-Z est transformée dans un plan-T à partir de la transformation géométrique suivante :

$$T = \cosh^2\left(\frac{\pi Z}{2h}\right) \quad (32)$$

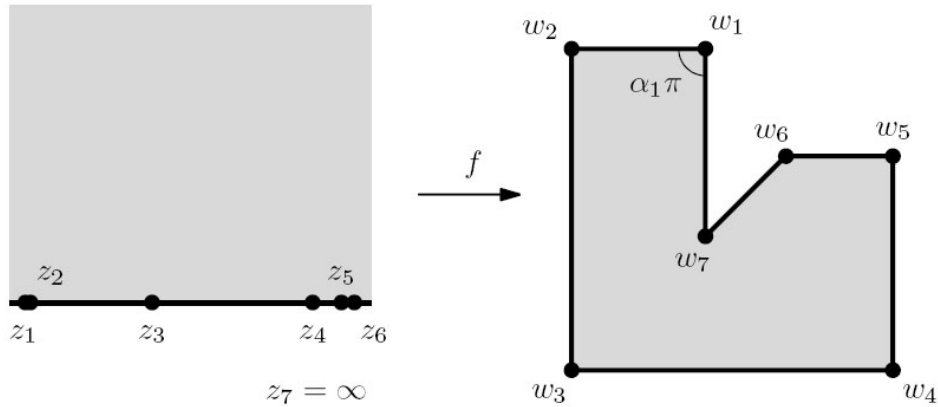
Cette transformation modifie les coordonnées des points 1 à 6 tout en conservant les dimensions de la structure géométrique initiale :



$$t_1=1 ; t_2=\cosh^2(\pi s/4h) ; t_3=\cosh^2(\pi(w+s/2)/2h) ; t_4=t_5=\infty ; t_6=0$$

**Fig.A5. 2 – Représentation de la ligne coplanaire sur substrat monocouche dans le plan-T**

Ensuite, la partie inférieure du plan-T est transformée dans le plan-W à partir de la transformation de Schwarz-Christoffel. L'équation de Schwarz-Christoffel (équation (33)) transforme un demi-plan infini en un polygone de surface fermé comme représenté ci-dessous [167]:



**Fig. A5.3 - Transformation de Schwarz-Christoffel**

La formule de passage du plan Z au plan W est la suivante :

$$f(z) = A + C \int \prod_{k=1}^{n-1} (\xi - z_k)^{\alpha_k - 1} d\xi \quad (33)$$

Appliquée au cas de la ligne coplanaire, elle transforme le demi plan complexe  $z=x+jy$ , en l'intérieur d'un polygone dans le plan  $w=u+jv$ .

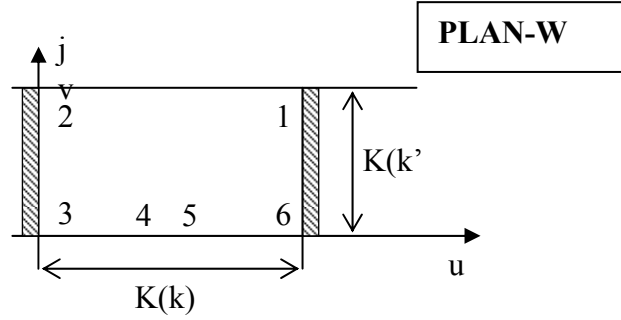


Fig. A5.4 – Représentation de la ligne coplanaire sur substrat monocouche dans le plan-W

Le point 1 a pour coordonnées  $w_1=K(k)+j K(k')$ , avec  $K(k)$  et  $K(k')$  les intégrales elliptiques complètes du premier ordre, et de module  $k$  exprimé comme :

$$k = \frac{\tanh(\frac{\pi s}{4})}{\tanh(\pi \frac{(s/2+w)}{2h})} \text{ et } k' = \sqrt{1-k^2} \quad (34)$$

La capacité résultante s'exprime ainsi de la façon suivante :

$$C = \varepsilon_0(\varepsilon - 1) \frac{K(k')}{K(k)} \quad (35)$$

et la capacité totale dans le substrat, en considérant la ligne dans la partie gauche du plan Z s'exprime finalement :

$$C_{sub} = \varepsilon_0(\varepsilon - 1) \frac{K(k')}{2K(k)} \quad (36)$$

En utilisant cette dernière équation, nous pouvons déduire la capacité partielle produite entre les deux lignes de métal qui résultent des lignes de champs électrique dans l'air. En effet, en remplaçant dans l'équation (34), les éléments suivants  $h=\infty$  et  $\varepsilon-1=1$ , on obtient :

$$C_{air} = \varepsilon_0 \frac{K(k_0')}{K(k_0)}, \text{ avec } k_0 = \frac{s}{s+2w} \text{ et } k_0' = \sqrt{1-k_0^2} \quad (37)$$

Enfin, la capacité totale par unité de longueur de la ligne est  $C=C_{sub}+C_{air}$  et s'exprime par :

$$C = \varepsilon_0 \varepsilon_{eff} \frac{K(k_0')}{K(k_0)} \quad (38)$$

Avec  $\varepsilon_{eff}$  la constante diélectrique effective égale à :

$$\varepsilon_{eff} = 1 + (\varepsilon - 1) \frac{1}{2} \frac{K(k')}{K(k)} \frac{K(k_0)}{K(k_0')} \quad (39)$$

### Substrat Bicouche

Considérons le substrat bicouche représenté sur le schéma suivant :

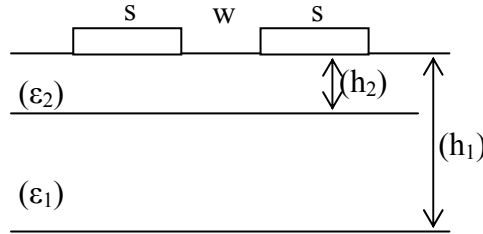


Fig. A5.5 –Ligne coplanaire sur substrat bicouche

De façon similaire à l'analyse du cas monocouche, la capacité totale par unité de longueur de la ligne coplanaire s'exprime en fonction des capacités de l'air, et celles des couches 1 et 2 de diélectriques, soit par  $C = C_{\text{air}} + C_1 + C_2$ , avec  $C_{\text{air}}$  la capacité produite en l'absence de diélectrique, exprimée telle que dans l'équation (37)

Les capacités  $C_1$  et  $C_2$  sont les capacités partielles produites par les deux couches de diélectrique avec une permittivité équivalente respectivement de  $(\epsilon_1 - 1)$  et  $(\epsilon_2 - \epsilon_1)$ , et d'épaisseurs  $h_1$  et  $h_2$ . En utilisant la même procédure que dans le cas du substrat monocouche, qui permet d'aboutir à l'équation (38), la capacité totale par unité de longueur s'exprime par :

$$C = \epsilon_0 \epsilon_{\text{eff}} \frac{K(k_0')}{K(k_0)} \quad (40)$$

avec une constante diélectrique effective  $\epsilon_{\text{eff}} = 1 + (\epsilon_1 - 1)q_1 + (\epsilon_2 - \epsilon_1)q_2$ , des coefficients  $q_i$ , et un module des intégrales elliptiques  $k_i$  exprimés comme:

$$q_{i(=1,2)} = \frac{1}{2} \cdot \frac{K(k_i')}{K(k_i)} \cdot \frac{K(k_0)}{K(k_0')} \quad (41)$$

$$\text{et } k_i' = \sqrt{1 - k_i^2}, \text{ avec } k_i = \tanh\left(\frac{\pi \cdot w}{4 \cdot (t_{\text{ox}} + t_{\text{si}})}\right) / \tanh\left(\frac{\pi(s + w/2)}{2 \cdot (t_{\text{ox}} + t_{\text{si}})}\right) \quad (42)$$





# Références Bibliographiques

---

## Chapitre 1

- [<sup>1</sup>] European Passive Components Industry Association. White Book of the Passive Component Industry in Europe, <http://www.eeca.org/pdf/WhiteBook.pdf> (2002)
- [<sup>2</sup>] C., Rogers, J. Plett, “Radio Frequency Integrated Circuit Design”, Artech House, 2003
- [<sup>3</sup>] S. Becu, « Etudes des non linéarités de permittivité de diélectrique utilisés en microélectronique, application aux capacités MIM », Thèse de Doctorat, Université de Provence, 2006
- [<sup>4</sup>] B. Razavi, “Design of CMOS Analog Integrated Circuits”, *Mc Graw-Hill*, 2001.
- [<sup>5</sup>] R.A. Jaehoon, P.J. Lu, S.S. York, “High Q, tunable thin .lm capacitors and geometrical effects on device performance at microwave frequencies”, 55th Proceedings on Electronic Components and Technology Conference, 31 May-3 June 2005, Vol.1, pp. 776-778.
- [<sup>6</sup>] E.J.Jain, P. Rymaszewski, “Embedded thin film capacitors-theoretical limits”, IEEE Transactions on Advanced Packaging, Vol. 25, No. 3, pp.454.458, Aug. 2002.
- [<sup>7</sup>] R.K.Ulrich and L.W. Schaper, “Integrated Passive Component Technology”, IEEE Press, Wiley Interscience, 2003.
- [<sup>8</sup>] I.Bahl, “Lumped Element for RF and microwave Circuits”, Artech House, 2003.
- [<sup>9</sup>] W.A.Gee, P.E.Allen, “CMOS Integrated Transformer-Feedback Q-Enhanced LC Bandpass Filter for Wireless Receivers”, Proceedings of the 2004 International Symposium on Circuits and Systems, Vol.4, pp.253-256, May 2004.
- [<sup>10</sup>] B.Razavi, “RF Microelectronics”, *Prentice Hall*, 1998, pp.125-128.
- [<sup>11</sup>] L. Liu, J. Wang, L. Feng-Chang “A New Equivalent Circuit Model of MIM Capacitor for RFIC Microwave and Millimeter Wave Technology”, International Conference on ICMMT 2007, pp.1 – 3, April 2007.
- [<sup>12</sup>] D.-L., Xiong Y.-Z. Yu M.-B. Lo G.-Q. Li M.-F. Kwong, “Substrate Effects on Resonant Frequency of Silicon-Based RF On-Chip MIM Capacitor”, IEEE Transactions on Electron Devices, Vol.53, No.11, pp.2839.2842, Nov. 2006.
- [<sup>13</sup>] A. Goni,J.Del Pino, J.Garcia, B.Gonzalez, S.L.Khemchandani, A.Hernandez, “A Physical-based Method for Parameter Extraction of On-Chip Spiral Inductor”, Spanish Conference on Electron Devices, pp 359-363, Jan. 31 2007-Feb. 2, 2007.
- [<sup>14</sup>] R. Murji, M.J.Deen, “Accurate modeling and parameter extraction for meander-line N-well resistors”, IEEE Transactions on Electron Devices, Vol.52, No.7, pp.1364 -1369, July 2005.
- [<sup>15</sup>] R. Murji, M.J.Deen, “A scalable meander-line resistor model for silicon RFICs”, IEEE Transactions on Electron Devices, Vol. 49, No.1, pp.187-190, Jan. 2002.
- [<sup>16</sup>] H.A. Wheeler, “Simple Inductance Formulas for Radio Coils” in Proc. IRE, Vol.16, No.10 pp.1938-1400, Oct. 1928.
- [<sup>17</sup>] S.J. Pan; L.W. L; W.Y. Yin, “Performance Trends of On-Chip Spiral Inductors for RFICS”, Progress In Electromagnetic Research, PIER 45, 123-151, 2004.
- [<sup>18</sup>] G. Stojanovi'c; L. Zivanov; M. Damjanovi, “Optimal Design of Circular Inductors”, in ELEC. ENERG. vol. 18, No. 1, p. 57-70, April 2005.
- [<sup>19</sup>] C.P. Yue; C.Ryu; J.Lau; T.H.Le; S.S. Wong, “A Physical Model For Planar Inductor On Silicon”, in Proc. IEEE International Electron Devices Meeting, pp.155-158, Dec. 1996.

## Chapitre 2

- [<sup>20</sup>] H.K. Chen, Y.C.Hsu, T.Y.Lin, D.C.Chang, Y.Z.Juang, S.S.Lu, « Cmos Wideband LNA Design Using Integrated Passive Device », IEEE MTT-S digest, Vol. , pp. , Boston, June 2009
- [<sup>21</sup>] B.K.Gilbert and G.W. Pan, “MCM Packaging for Present and Next Generation High Clock-Rate Digital and Mixed-Signal Electronic System: Areas for Development”, IEEE Trans. on Microwave Theory and Techniques, Vol.45, No10, pp 1819-1835, Oct.1997.
- [<sup>22</sup>] W.J.Borland and S.Ferguson, “Embedded Passive Components in Printed Wiring Boards, a Technology Review”, DuPont, Advanced Embedded Passive Technology Project ([www.aept.ncms.org](http://www.aept.ncms.org)), January 2001
- [<sup>23</sup>] S.Dalmia, W.Kim, S.H.Min, M.Swaminathan, V.Sundaraman, F.Liu, G.White, R.Tummala, “Design of Embedded High Q-Inductors in MCM-L Technology”, IEEE MTT-S digest, Vol.3, pp 1735-1738, Phoenix, May 2001.
- [<sup>24</sup>] A.Sutono, A.V.H Pham, J.Laskar, W.R.Smith, “RF/microwave characterization of multilayer ceramic-based MCM technology”, IEEE Transactions on Advanced Packaging, Vol.22, No.3, pp.326-331, Aug 1999.
- [<sup>25</sup>] X. Mi, T.Takahashi, S.Ueda, “Integrated Passives on LTCC for Achieving Chip-Sized-Modules”, IEEE 38th European Microwave Conference, 27-31 Oct. 2008.
- [<sup>26</sup>] J.K.Lee, C.S.Yoo, H.C.Jung, W.S.Lee, J.K.Yook, “Design of band pass filter for 900MHz ZigBee application using LTCC high Q inductor”, IEEE Microwave Asia-Pacific Conference Proceedings, Vol.1, pp.4, Dec. 2005.
- [<sup>27</sup>] G.Brzezina, L.Roy, L.MacEachern, “A miniature LTCC bandpass filter using novel resonators for GPS application”, IEEE European Microwave Conference, pp.536-539, Oct. 2007.
- [<sup>28</sup>] H. Veenstra, M. Notten, “Opportunities at mm-Wave frequencies: SiGe or CMOS?” IEEE European Microwave Integrated Circuit Conference, pp.27-28, Oct. 2008.
- [<sup>29</sup>] K.-H. Allers, P. Brenner, M. Schrenk, “Dielectric Reliability and Material Properties of Al<sub>2</sub>O<sub>3</sub> in Metal Insulator Metal capacitors (MIMCAP) for RF Bipolar technologies in comparison to SiO<sub>2</sub>, SiN and Ta<sub>2</sub>O<sub>5</sub>”, Proc. 2003 IEEE Bipolar/BiCMOS Circuits Tech. Meeting (BCTM), pp 35-38, Sept. 2003.
- [<sup>30</sup>] Y.Bo; E. Skafidas, R. Evans, “Design of Integrated Millimetre Wave Microstrip Interdigital Bandpass Filters on CMOS technology, IEEE European Microwave Conference, pp.680 – 683, Oct. 2007.
- [<sup>31</sup>] M.-R. Nezhad-Ahmadi, B. Biglarbegan, H. Mirzaei, S. Safavi-Naieini, “An Optimum Cascode Topology for High Gain Micro/Millimeter Wave CMOS Amplifier Design”, IEEE European Microwave Integrated Circuit Conference, pp.394 – 397, Oct. 2008.
- [<sup>32</sup>] H.Sharifi, T.Y. Choi, S. Mohammadi, “Self-Aligned Wafer-Level Integration Technology With High-Density Interconnects and Embedded Passives”, IEEE Transactions on Advanced Packaging, Vol. 30, No1, pp.11-18, Feb. 2007
- [<sup>33</sup>] M.R. Nezhad-Ahmadi, G. Weale, A. El-Agha, D. Griesdorf, G. Tumbush, A. Hollinger, M. Matthey, H. Meiners, S. Asgaran, “A 2mW 400MHz RF transceiver SoC in 0.18μm CMOS technology for wireless medical applications”, IEEE Radio Frequency Integrated Circuits Symposium, pp. 285-288, June 2008
- [<sup>34</sup>] T. Yamamoto, S.-I. Gotoh, T. Takahashi, K. Irie, K. Ohshima, N.A. Mimura, “Mixed-Signal 0.18-μm CMOS SoC for DVD systems with 432-MSample/s PRML read channel and 16-Mb embedded DRAM, IEEE Journal of Solid-State Circuits, Vol.36, No.11, pp.1785-1794, Nov 2001.
- [<sup>35</sup>] B., Razavi, “Design of CMOS Analog Integrated Circuits.”, Mc Graw-Hill, 2001.

- [<sup>36</sup>] S. Liebus, « Couches minces ferroélectriques appliquées aux dispositifs micro-ondes accordables en fréquence », Rapport de Thèse, Université de Limoge, 2003.
- [<sup>37</sup>] J. Quirk, M. Serda, “Semiconductor Manufacturing Technology”, Prentice Hall, 2001
- [<sup>38</sup>] [web.cnrs-orleans.fr/.../Fr/accueil\\_b-DC.htm](http://web.cnrs-orleans.fr/.../Fr/accueil_b-DC.htm).
- [<sup>39</sup>] <http://www.angstromsciences.com/technology/sputtering-technology/index.html>
- [<sup>40</sup>] Rumelhard, « MMIC - Evolution et technologie », Techniques de l'ingénieur, E1426.
- [<sup>41</sup>] A. Baroncini, M. Scorzoni and P. Placidi, “On the relationship between the temperature coefficient of resistance and the thermal conductance”, Sensors and Actuators A: Physical, Vol. 116, No.1, pp.137-144, Oct. 2004.
- [<sup>42</sup>] B. Piernas, K. Nishikawa, K. Kamogawa, T. Nakagawa, K. Araki, “High-Q Factor Three-Dimensional Inductors”, IEEE Transaction on Microwave Theory and Techniques, Vol.50, No.8, August 2002.
- [<sup>43</sup>] J.W.Lin, C.C.Chen, Y.T.Cheng, “A Robust High-Q Micromachined RF Inductor for RFIC Applications” IEEE Transactions on Electron devices, Vol.52, No.7, July 2005.
- [<sup>44</sup>] C.P.Yue, S.S.Wong, “On-chip spiral inductors with patterned ground shields for Si-based RF ICs”, IEEE Journal of Solid-State Circuits, Vol. 33, No 5, pp.743 – 752, May 1998.
- [<sup>45</sup>] K.-Hallers, “Reliability of metal insulator metal capacitors”, Proc. Advanced Metallization Conf., p447, 2001

### **Chapitre 3**

- [<sup>46</sup>] C. Hwei Ng, C.S. Ho, S. Fu, S. Chu, and S.C. Sun, “MIM Capacitor Integration for Mixed Signal/RF Applications”, IEEE Transactions on Electron Devices, vol. 52, No. 7, pp. 1399-1407, July 2005
- [<sup>47</sup>] K.-H. Allers, P. Brenner, M. Schrenk “Dielectric Reliability and Material Properties of Al<sub>2</sub>O<sub>3</sub> in Metal Insulator Metal capacitors (MIMCAP) for RF Bipolar technologies in comparison to SiO<sub>2</sub>, SiN and Ta<sub>2</sub>O<sub>5</sub>”, Proc. IEEE Bipolar/BiCMOS Circuits Tech. Meeting (BCTM), pp 35-38, Sept.2003
- [<sup>48</sup>] S. Becu, « Etudes des non linéarités de permittivité de diélectrique utilisés en microélectronique, application aux capacités MIM. », Thèse de Doctorat, Université de Provence, 2006.
- [<sup>49</sup>] S.B. Chen, C.H. Lai, A. Chin, J.C. Hsieh, J. Liu, “High-density MIM capacitors using Al<sub>2</sub>O<sub>3</sub> and AlTiOx dielectrics”, Electron Device Letters, IEEE Vol. 23, No.4, pp.185 – 187, April 2002
- [<sup>50</sup>] J. A. Babcock, S. G. Balster, A. Pinto, C. Dirnecker, P. Steinmann, R. Jumpertz, and B. El-Kareh, “Analog characteristics of metal-insulator-metal capacitors using PECVD nitride dielectrics”, IEEE Electron Device Lett., Vol. 22, pp. 230–232, May 2001.
- [<sup>51</sup>] C. Vallée, C. Durand, C. Dubourdieu, S. Blonkowski, M. Kahn, M. Derivaz, D. Jalabert, P. Holliger, and M. Bonvalot, « Y<sub>2</sub>O<sub>3</sub> MIM Capacitors », AUTRANS SFV 2006
- [<sup>52</sup>] C. Besset, S. Bruyere, F. Monsieur, S. Boret, E. Deloffre, E. Vincent, “Stability of capacitance voltage linearity for High-K MIM capacitor”, IEEE 43d Annual International Reliability Physics Symposium, San Jose, pp.586-587, 17-21 April 2005
- [<sup>53</sup>] C. Durand, C. Vallée, C. Dubourdieu, M. Kahn, M. Derivaz, S. Blonkowski, D. Jalabert, P. Hollinger, Q. Fang, I.W. Boyd, “Electrical property improvements of yttrium oxide based metal-insulator –metal capacitors”, J. Vac. Sci. Technol. A, 24(3), May/June 2006
- [<sup>54</sup>] H. Hu, S.J. Ding, C. Zhu, S.C. Rustagi, Y. Lu, M.F. Li, B. J. Cho, D.S.H. Chan, M.B. Yu, A. Chin, D-L Kwong, “Investigation of PVD HfO<sub>2</sub>/MIM capacitors for Si RF and mixed signal ICs application“ Semiconductor Device Research Symposium, 2003 International, pp.328 – 329, Dec. 2003.

- [<sup>55</sup>] H. Hu, C. Zhu, Y. F. Lu, M. F. Li, B. Jin Cho and W. K. Choi, "A High Performance MIM Capacitor Using HfO<sub>2</sub> Dielectrics", *IEEE electron device letters*, vol.23 No 9, pp 514-516, Sept 2002.
- [<sup>56</sup>] K.C. Chiang, C.H. Lai, A. Chin, T.J. Wang, H.F. Chiu, J.R. Chen, S.P. McAlister, C.C Chi, "Very high-density (23 fF/um<sup>2</sup>) RF MIM capacitors using high-k TaTiO as the dielectric", *IEEE Electron Device Letters*, Vol. 26, No.10, pp.728 – 730, Oct. 2005
- [<sup>57</sup>] K. C. Chiang, J. W. Lin, H. C. Pan, C. N. Hsiao, W. J. Chen, H. L. Kao, I. J. Hsieh, and A. Chin "Very High Density 44fF/um<sup>2</sup> SrTiO<sub>3</sub> MIM Capacitors for RF Applications" *Journal of The Electrochemical Society*, 154 (3) 2007.
- [<sup>58</sup>] M. Thomas, A. Farcy, N. Gaillard, C. Perrot, M. Gros-Jean, I. Matko, M. Cordeau, W. Saikaly, M. Proust, P. Caubet, E. Deloffre S. Cremer S. Bruyere B. Chenevier, J. Torres, "Integration of a high density Ta<sub>2</sub>O<sub>5</sub> MIM capacitor following 3D damascene architecture compatible with copper interconnects", *Microelectronic Engineering*, Vol. 83, pp.2163–2168, 2006
- [<sup>59</sup>] H. Hu, S.J. Ding, H.F. Lim, C. Zhu, M.F. Li., S.J. Kim, X.F. Yu, J.H. Chen, Y.F. Yong, B. J. Cho, D.S.H. Chan, S. C. Rustag, C.H. Tung, A. Du, D. My, P.D. Foo, A. Chin, D.L. Kwong, "High Performance ALD HfO<sub>2</sub>-Al<sub>2</sub>O<sub>3</sub> Laminate MIM Capacitors for RF and Mixed Signal IC Applications" *IEEE Electron Device Letters*, Vol. 24, No. 12, pp. December 2003
- [<sup>60</sup>] S. J. Kim, B. J. Cho, M. F. Li, X. Yu, C. Zhu, A. Chin, and D.L. Kwong, " PVD HfO<sub>2</sub> for High-Precision MIM Capacitor Applications", *IEEE Electron Device Letters*, Vol. 24, No. 6, pp.387-389, June 2003
- [<sup>61</sup>] K.C.Chiang, C.C.Huang, G.L.Chen, J.C.Wen, H.L.Kao, W.Yung-Hsien, A.Chin, S.P.McAlister, "High-Performance SrTiO<sub>3</sub> MIM Capacitors for Analog Applications", *IEEE Transactions on Electron Devices*, Vol.53, No.9, pp.2312 - 2319, Sept.2006
- [<sup>62</sup>] T. Rummel, R. Ramprasad, J. Walls, "Leakage behaviour and reliability assessment of tantalum oxide dielectric MIM capacitors",  
[http://www.freescale.com/files/technology\\_manufacturing/doc/IRPS2003\\_TOM\\_REMMEL.pdf?fsrch=1](http://www.freescale.com/files/technology_manufacturing/doc/IRPS2003_TOM_REMMEL.pdf?fsrch=1)
- [<sup>63</sup>] P. Collier, T. B. Hee, H. Zuoqi, "Process Integration For Thin Film Passive Component", *IEEE Electronics Packaging Technology Conference 5<sup>th</sup>*, pp.538-543, 2003
- [<sup>64</sup>] E. Deloffre, L. Montès, G. Ghibaudo, S. Bruyère, S. Blonkowski, S. Bécu, M. Gros-Jean and S. Crémer, Electrical properties in low temperature range (5 K–300 K) of Tantalum Oxide dielectric MIM capacitors *Microelectronics and Reliability*, 13th Workshop on Dielectrics in Microelectronics Volume 45, Issues 5-6, May-June 2005, Pages 925-928
- [<sup>65</sup>] T. Ishikawa, D. Kodama, Y. Matsui, M. Hiratani, T. Furusawa, D. Hisamoto, "High-Capacitance Cu/Ta<sub>2</sub>O<sub>5</sub>/Cu MIM Structure for SoC Applications Featuring a Single-Mask Add-on Process", *IEEE Electron. Dev. Meeting Dig.*, pp. 940-942, Dec. 2002
- [<sup>66</sup>] F. Mondon, S. Blonkowski, "Electrical characterisation and reliability of HfO<sub>2</sub> and Al<sub>2</sub>O<sub>3</sub>–HfO<sub>2</sub> MIM capacitors", *Microelectronics Reliability*, Vol.43, pp.1259–1266, 2003
- [<sup>67</sup>] X. Yu, C. Zhu, H. Hu, A. Chin, M. F. Li, B. Jin Cho, D.L. Kwong, P. D. Foo, and M. B. Yu, "A High-Density MIM Capacitor (13fF/um<sup>2</sup>) Using ALD HfO<sub>2</sub> Dielectrics", *IEEE Electron Device letters*, Vol. 24, No. 2, Feb. 2003
- [<sup>68</sup>] S.Y. Lee, H. Kim, and P. C. McIntyre, C. Krishna, J.S. Saraswat, "Atomic layer deposition of ZrO<sub>2</sub> on W for metal–insulator–metal capacitor application", *Applied Physics Letters*, Vol.82, No. 17, April 2003.
- [<sup>69</sup>] A. Berthelot, C. Caillat, V. Huard, S. Barnola, B. Boeck, H. Del-Puppo, N. Emonet, F. Lalanne, "Highly Reliable TiN/ZrO<sub>2</sub>/TiN 3D Stacked Capacitors for 45 nm Embedded DRAM Technologies", *Freescale Semiconductor, Inc.*, 2006.

[www.freescale.com/files/technology\\_publications/doc/Papers/Eintell5347.pdf](http://www.freescale.com/files/technology_publications/doc/Papers/Eintell5347.pdf)

- [<sup>70</sup>] C. Durand, C. Vallée, V. Loup, O. Salicio, C. Dubourdieu, S. Blonkowski, M. Bonvalot, P. Holliger, O. Joubert “Metal-Insulator-Metal capacitors using Y2O3 dielectric grown by pulsed-injection plasma enhanced metalorganic chemical vapour deposition”, *J. Vac. Sci. Technol.*, Vol. A22, No.3, May/June 2004
- [<sup>71</sup>] M. Y. Yang, D. S. Yu, and A. Chin, “High-Density RF MIM Capacitors Using High-k La2O3 Dielectrics”, *Journal of the Electrochemical Society*, Vol. 151 (F162-F165), 2004
- [<sup>72</sup>] N. K. Park, D. K. Kang, B.H. Kim, S. J. Jo, J. S. Ha, “Electrical properties of La2O3 thin films grown on TiN/Si substrates via atomic layer deposition”, *Applied Surface Science* 252 (2006)
- [<sup>73</sup>] Ch. Wenger, J. Daubrowski, P. Zaumseil, R. Sorge, P. Formanek, G. Lippert, H.-J. Mussig, “First investigation of metal–insulator–metal (MIM) capacitor using Pr2O3 dielectrics”, *Materials Science in Semiconductor Processing*, Vol. 7, pp. 227–230, 2004
- [<sup>74</sup>] S.J. Kim, B. J. Cho, M. B. Yu, M.F. Li, Y.Z. Xiong, C. Zhu, A. Chin, and D.L. Kwong, “Metal–Insulator–Metal RF Bypass Capacitor Using Niobium Oxide (Nb2O5) With HfO2/Al2O3 Barriers” *IEEE electron device letters*, vol. 26, No 9, pp 625-627, Sept 2005.
- [<sup>75</sup>] M.D. Stamate, “Dielectric properties of TiO2 thin films deposited by a DC 2 magnetron sputtering system”, *Thin Solid Films*, Vol. 372, pp.246, 249, 2000
- [<sup>76</sup>] F. El Kamel, P. Gonon, F. Jomni, “Electrical properties of low temperature deposited amorphous barium titanate thin films as dielectrics for integrated capacitors”, *Thin Solid Films*, Vol.504, pp201 – 204, 2006
- [<sup>77</sup>] R. Ulrich and L. Schaper, D. Nelms and M. Leftwich, “Comparison of Paraelectric and Ferroelectric Materials for Applications as Dielectrics in Thin Film Integrated Capacitors”, *The International Journal of Microcircuits and Electronic Packaging*, Vol. 23, No. 2, pp172-180, 2000
- [<sup>78</sup>] S.S. Gevorgian, E.L. Kollberg, “Do We Really Need Ferroelectrics in Paraelectric Phase Only in Electrically Controlled Microwave Devices”, *IEEE Transaction on Microwave Theory and Techniques*, Vol. 49, No.11, pp2117-2124, Nov. 2001
- [<sup>79</sup>] S. Horiuchi, K. Matsumoto, M. Sakachi, T. Ooki, H. Nakamura, K. Adachi, M. Shinohara, “A 3.3 fF/μm<sup>2</sup> 40 V BST MIM capacitor suitable for above MMIC integration”, *CS MANTECH Conference*, Canada, 2006, [www.csmantech.org](http://www.csmantech.org)
- [<sup>80</sup>] C.C. Huang, K.C. Chiang, H.L. Kao, A. Chin, W.J. Chen, “RFIC TaN/SrTiO3/TaN MIM Capacitors With 35fF/μm<sup>2</sup> Capacitance Density”, *IEEE Microwave and Wireless Components Letters*, Vol.16, No.9, pp.493 – 495, Sept. 2006.
- [<sup>81</sup>] K.C. Chiang, C.H. Cheng, H.C. Pan, C.N. Hsiao, C.P. Chou, A. Chin, H.L. Hwang, “High-Temperature Leakage Improvement in Metal–Insulator–Metal Capacitors by Work–Function Tuning”, *IEEE Electron Device Letters*, Vol. 28, No. 3, pp.235 – 237, March 2007.
- [<sup>82</sup>] S. J. Kim, B. J. Cho, M.-F. Li, C. Zhu, A. Chin, D.-L. Kwong “HfO2 and lanthanide-doped HfO2 MIM capacitors for RF/mixed IC applications”, *Dig. Symposium on VLSI Tech.*, pp 77-78, June 2003
- [<sup>83</sup>] V. Mikhelashvili, G. Eisenstein, and A. Lahav, “High capacitance density metal-insulator-metal structure based on Al2O3–HfTiO nanolaminate stacks”, *Applied Physics Letters*, Vol.90, 2007
- [<sup>84</sup>] B.Y. Jang, B.-J. Kim, S.-J. Lee, K.-J. Lee, H.J. Sun, H. J. Lee, “BaTi4O9 thin films for high performance MIM capacitors”, *Applied Physics Letters*, Vol. 87, 2005
- [<sup>85</sup>] J. B. Lim, Y. H. Jeong, K. P. Hong, S. Nahm, H. J. Sun, H. J. Lee, “Investigation on the Electrical Properties of the Ba2Ti9O20 Thin Films for Metal-Insulator-Metal Capacitor Application”, *Journal of The Electrochemical Society*, Vol. 154, No.5, 2007
- [<sup>86</sup>] Y. H. Jeong, J. B. Lim, S. Nahm, H.J. Sun, and H.J. Lee, “High-Performance Metal–Insulator–Metal Capacitors Using Amorphous BaSm2Ti4O12 Thin Film”, *IEEE Electron Device Letters*, Vol. 28, No. 1, pp17-20, Jan. 2007



- 
- [<sup>87</sup>] Y. H. Jeong, J. C. Kim, J. B. Lim, K. P. Hong, and S. Nahm, H. J. Sun T. H. Ghong and Y. D. Kim H. J. Lee, "Electrical properties of the Sm<sub>2</sub>Ti<sub>2</sub>O<sub>7</sub> thin films for metal insulator metal capacitor", *Journal of Applied Physics*, Vol.101, 2007
- [<sup>88</sup>] D. Brassard, L. Ouellet, M.A.E. Khakani, "Room-Temperature Deposited Titanium Silicate Thin Films for MIM Capacitor Applications", *IEEE Electron Device Letters*, Vol. 28, No.4, pp.261 – 265, April 2007
- [<sup>89</sup>] L. Goux, H. Vander Meeren, and D. J. Wouters, "Metallorganic Chemical Vapor Deposition of Sr-Ta-O and Bi-Ta-O Films for Backend Integration of High-k Capacitors", *Journal of The Electrochemical Society*, Vol. 153, No. 7, pp.132-136, 2006
- [<sup>90</sup>] S.B. Chen, C.H. Lai, A. Chin, J.C. Hsieh, J. Liu, "High-density MIM capacitors using Al<sub>2</sub>O<sub>3</sub> and AlTiO<sub>x</sub> dielectrics", *IEE Electron Device Letters*, Vol. 23, No. 4, pp.185 – 187, April 2002
- [<sup>91</sup>] M.Y. Yang, C.H. Huang, A. Chin, Z. Chunxiang, M.F. Li, D. L. Kwong, "High-density MIM capacitors using AlTaO<sub>x</sub> dielectrics", *IEEE Electron Device Letters*, Vol. 24, No. 5, pp.306 – 308, May 2003
- [<sup>92</sup>] K.C. Chiang, C.H. Lai, A. Chin, H.L. Kao, S.P. McAlister, C.C Chi, "Very high density RF MIM capacitor compatible with VLSI", *IEEE MTT-S International Symposium Digest*, Jun. 2005
- [<sup>93</sup>] K.C. Chiang, A. Chin, C.H. Lai, W.J. Chen, C.R. Cheng, B.R.Hung, C.C. Liao, "Very high K and high density TiTaO MIM capacitors for analog and RF applications", *Symposium on VLSI Technology, Digest of Technical Papers*, pp.62 – 63, Jun. 2005
- [<sup>94</sup>] K.C. Chiang, C.C. Huang, A. Chin, W. J. Chen, S. P. McAlister, H. F. Chiu, J.-R. Chen, and C. C. Chi, "High-K Ir/TiTaO/TaN Capacitors Suitable for Analog IC Applications", *IEEE Electron Device Letters*, Vol. 26, No. 7, pp504-506, Jul. 2005
- [<sup>95</sup>] K.C. Chiang, C.H. Lai, A. Chin, T.J. Wang, H.F. Chiu, J. R. Chen, S. P. McAlister, C.C. Chi, "Very high-density (23fF/um<sup>2</sup>) RF MIM capacitors using high-k TaTiO as the dielectric", *IEEE Electron Device Letters*, Vol. 26, No. 10, pp.728 – 730, Oct. 2005.
- [<sup>96</sup>] N. Inoue, H. Ohtake, L. Kume, N. Furutake, T. Onodera, S. Saito, A. Tanabe, M. Tagami, M. Tada, M. Hayashi, "High Performance High-K MIM Capacitors with Plug-in Plate (PiP) for Power Delivery Line High-Speed MPUs", *International Interconnect Technology Conference*, pp.63-65, 2006
- [<sup>97</sup>]M.K. Hota, C. Mahata, S. Mallik, B. Majhi, T. Das, C.K. Sarkar, C.K. Maiti, "Characterization of RF sputter deposited HfAlO<sub>x</sub> dielectrics for MIM capacitor applications", *IEDST '09, 2nd International Workshop on Electron Devices and Semiconductor Technology*, pp.1-4,1-2 June 2009
- [<sup>98</sup>] H.H. Hsu; C.H. Cheng; B.Y. Tsui, "High performance metal/insulator/metal capacitors using HfTiO as dielectric", *International Symposium on VLSI Technology, Systems, and Applications*, pp. 67-68, Apr. 2009
- [<sup>99</sup>] Y. S. Chung, K. S. Kim, Y. S. Ryu, D. Lee, S. B. Hwang, C.-S. Shin, S. K. Park, and J. G. Lee "TiN/Ta<sub>2</sub>O<sub>5</sub>/PE–SiN/TiN metal-insulator-metal capacitor for radio frequency and mixed signal integrated circuit applications", *J. Vac. Sci. Technol.*, Vol. A 23, No.4, 2005
- [<sup>100</sup>] S.J. Ding, H.Hu, Z. Chunxiang, S.J. Kim, M.F. Li, B.J. Cho, B.J. A. Chin, D.L. Kwong, "A comparison study of high-density MIM capacitors with ALD HfO<sub>2</sub>-Al<sub>2</sub>O<sub>3</sub> laminated, sandwiched and stacked dielectrics", *Proceedings.7th International Conference on Solid-State and Integrated Circuits Technology*, Vol. 1, pp.403 – 406, 2004
- [<sup>101</sup>] S.-J.Ding, C. Zhu, M.F Li, D.W. Zhang, "Atomic-layer-deposited Al<sub>2</sub>O<sub>3</sub>–HfO<sub>2</sub>–Al<sub>2</sub>O<sub>3</sub> dielectrics for metal-insulator-metal capacitor applications", *Applied Physics Letters*, Vol. 87, 2005
- [<sup>102</sup>] P. K. Park, E. S. Cha, S.W. Kang,"Interface effect on dielectric constant HfO<sub>2</sub>-Al<sub>2</sub>O<sub>3</sub> nanolaminate films deposited by plasma enhanced atomic layer deposition", *Applied Physics Letters*, Vol.90, 2007

- [<sup>103</sup>] H.J. Cho, Y.D. Kim, D.S. Park, E. Lee, C.H. Park, J.S. Jang, K.B. Lee, H.W. Kim, S.J. Chae, Y.J. Ki, I.K. Han, Y.W. Song, "New TIT Capacitor with ZrO<sub>2</sub>/Al<sub>2</sub>O<sub>3</sub>/ZrO<sub>2</sub> dielectrics for 60nm and below DRAMs", *Proceeding of the 36th European Solid-State Device Research Conference*, pp.146-149, Sept. 2006
- [<sup>104</sup>] D.H. Kuo, W.R. Chen, "Growth and properties of amorphous thin films of the Al<sub>2</sub>O<sub>3</sub>-Y<sub>2</sub>O<sub>3</sub> system", *Thin Solid Films*, Vol. 497, pp.65 – 71, 2006
- [<sup>105</sup>] S. J. Kim, B. J. Cho, M.F. Li, S.J. Ding, C. Zhu, M. B. Yu, B. Narayanan, A. Chin, D.L. Kwong, "Improvement of Voltage Linearity in High-K MIM Capacitors Using HfO<sub>2</sub>-SiO<sub>2</sub> Stacked Dielectric", *IEEE Electron Device Letters*, Vol. 25, No. 8, pp.538-540, Aug. 2004
- [<sup>106</sup>] M. Kahn, C. Vallée, E. Defay, C. Dubourdieu, M. Bonvalot, S. Blonkowski, J.-R. Plaussy, P. Garrec, T. Baron, "Improved electrical properties using SrTiO<sub>3</sub>/Y<sub>2</sub>O<sub>3</sub> bilayer dielectrics for MIM capacitor applications", *Microelectronics Reliability*, Vol. 47, pp.773-776, 2007
- [<sup>107</sup>] J.J. Yang, J.D. Chen, R. Wise, P. Steinmann, M.B. Yu, D. L. Kwong, M.F. Li, Y.C. Yeo, C. Zhu, "Effective Modulation of Quadratic Voltage Coefficient of Capacitance in MIM Capacitors Using Sm<sub>2</sub>O<sub>3</sub>/SiO<sub>2</sub> Dielectric Stack", *IEEE Electron Device Letters*, Vol. 30, No. 5, pp.460-462, May 2009
- [<sup>108</sup>] H.-J. Kima, J.-S. Song, I.S. Kimb, S.-S. Kim, Electrical characteristics of Ti-OyTa<sub>2</sub>O<sub>5</sub> thin film sputtered on TayTiyAl<sub>2</sub>O<sub>3</sub> substrate, *Thin Solid Films*, Vol.446, pp.124-127, 2004
- [<sup>109</sup>] H.J.Cho, Y.D.Kim, D.S.Park,E.Lee, C.H.Park,J.S.Jang,K.B.Lee,H.W.Kim,S.J. Chae, Y.J.Ki, I.K.Han, Y.W.Song, n New TIT Capacitor with ZrO<sub>2</sub>/Al<sub>2</sub>O<sub>3</sub>/ZrO<sub>2</sub> dielectrics for 60nm and below DRAMs, *Proceeding of the 36th European Solid-State Device Research Conference(ESSDERC)*, pp.146 - 149, Sept. 2006
- [<sup>110</sup>] S. H. Lin, K. C. Chiang, Albert Chin, and F. S. Yeh, "High-Density and Low-Leakage-Current MIM Capacitor Using Stacked TiO<sub>2</sub>/ZrO<sub>2</sub> Insulators", *IEEE Electron Device Letters*, Vol. 30, No. 7, pp.715-717, July 2009
- [<sup>111</sup>] G. Barbotin and A. Vapaille, « Instabilities In Silicon Devices », *Elsevier Science Publisher*, 1989.
- [<sup>112</sup>] B.E. Deal, "Standardized terminology for oxide charges associated with thermally oxidized silicon", *IEEE Transactions on Electron Devices*, Vol.27, No.3, pp.606-608, Mar 1980
- [<sup>113</sup>] F. Seigneur, 'Adaptation des méthodes de caractérisation électrique au cas des structures MOS à oxide très mince: Application à l'étude des dégradations sur les capacités à oxyde de grille nitruré', *Thèse de Doctorat, Institut National des Sciences Appliquées de Lyon*, 1995.
- [<sup>114</sup>] D. Goghero, « Propriétés Structurales et Electriques de Couches d'Oxyde de Silicium Elaborées par Plasma Basse Température d'Oxygène/Tetraethoxysilane sur des Alliages Silicium-Germanium », *Thèse de Doctorat, Université de Nantes*, 2001
- [<sup>115</sup>] E.H. Nicollian, J.R. Brews, « MOS Physics and Technology », John Wiley & Sons, pp.779-793, 1982.
- [<sup>116</sup>] E.Halova, S. Alexandrova, A. Szekeres, "Fixed oxide charge, interface traps and border traps in MOS structures, grown on plasma hydrogenated (100)-pSi", *Journal of Optoelectronics and Advanced Materials*, Vol. 11, No. 10, p. 1498 – 1501 Oct. 2009.
- [<sup>117</sup>] L.A. Dissado, J.C. Fothergill, "Electrical degradation and breakdown in polymers", *IEE materials and devices series*, Peter Peregrinus, cop., pp.228-232, 1992
- [<sup>118</sup>] M.J. Deen, W.D. Brown, K.B. Sundaram, S.I. Raider, "Silicon Nitride and Silicon Dioxide Thin Insulating Films", *Proceeding of The Electrochemical Society*, pp. 7-19, 1997
- [<sup>119</sup>] A. Laha, S.B. Krupanidhi, "Leakage current conduction of pulsed excimer laser ablated BaBi<sub>2</sub>Nb<sub>2</sub>O<sub>9</sub> thin films", *Journal of applied physics*, Vol. 92, No.1, pp.415-420, 2002



## **Chapitre 4**

- [<sup>120</sup>] J. Clouser, K.D. Wang, R. Hilburn, “Power Dissipation of Embedded Resistors”, *IPC Printed Circuits Expo Long Beach CA*, March 2003.
- [<sup>121</sup>] J.E. Fan, W. Morris, “Integration issues of CrSiO on-chip resistors”, *Electronic Components and Technology Conference*, Proceedings. 55<sup>th</sup>, Vol. 2, pp1659-1663, 2005
- [<sup>122</sup>] M. Henderson, R. Zurcher, P. Duvallet, A. Happ, C. Petras, M. Raymond, M. Remmel, T. Roberts, D. Steimle, B. Straub, S. Sparks, T. Tarabbia, M. Miller, “Tantalum nitride thin film resistors for integration into copper metallization based RF-CMOS and BiCMOS technology platforms”, *Topical Meeting on Silicon Monolithic Integrated Circuits in RF Systems*, pp-71.74, Sept. 2001
- [<sup>123</sup>] Li, Lee T. Watson K. Fen Chen Gill J. Harmon D. Sullivan T. Baozhen, “Characterization and reliability of TaN thin film resistors”, *42nd Annual IEEE International Reliability Physics Symposium Proceedings*, pp.502-508, April 2004.
- [<sup>124</sup>] R.K., Ulrich and Schaper L.W, “*Integrated Passive Component Technology*”, Wiley Interscience, 2003.
- [<sup>125</sup>] Cheng P.L. Law T.W. Liu C.K. Chong I.T. Lam, “Quantitative analysis of resistance of printed resistors”, *IEEE POLYTRONIC 2nd International Conference on Polymers and Adhesives in Microelectronics and Photonics*. pp205.210, June 2002.
- [<sup>126</sup>] A. Shibuya, K. Matsui, K. Takahashi, and A. Kawatani, “Embedded TiN<sub>x</sub>O<sub>y</sub> Thin-Film Resistors in a Build-Up CSP for 10 Gbps Optical Transmitter and Receiver Modules”, *IEEE Transaction on Advanced Packaging*, Vol.25, No.3, pp 448-453, Aug. 2002
- [<sup>127</sup>] N. D. Cuong, D.-J. Kim, B.-D. Kang, C. S. Kim, S.-G. Yoon, “Characterizations of high resistivity TiN<sub>x</sub>O<sub>y</sub> thin films for applications in thin film resistors”, *Microelectronics Reliability, 14th Workshop on Dielectrics in Microelectronics (WoDiM 2006)*, Vol. 47, No. 4-5, pp.752-754, April-May 2007
- [<sup>128</sup>] F. Vaz, P. Cerqueira, L. Rebouta, S.M.C. Nascimento, E. Alves, Ph. Goudeau, J.P. Rivière, “Preparation of magnetron sputtered TiN<sub>x</sub>O<sub>y</sub> thin films”, *Surface and Coatings Technology, Proceedings of the Eight International Conference on Plasma Surface Engineering*, Vol. 174-175, pp.197-203, Sept-Oct. 2003
- [<sup>129</sup>] N. D. Cuong, D.-J. Kim, B.-D. Kang, S.-G. Yoon, “Structural and Electrical Properties of TiN<sub>x</sub>O<sub>y</sub> Thin-Film Resistors for 30 dB Applications of Pi-type Attenuator”, *Journal of The Electrochemical Society*, No.153, Vol.9, pp.856-859, 2006
- [<sup>130</sup>] J.Guillot, « Couches minces d'oxynitride de titane : la réactivité comme moyen original de caractérisation physico-chimique », *Thèse de doctorat* — Université de Bourgogne, 2002
- [<sup>131</sup>] B.R. Gregoire, U-K. Moon, “Process-Independent Resistor Temperature-Coefficients using Series/Parallel and Parallel/Series Composite Resistors”, *IEEE International Symposium on Circuits and Systems, ISCAS 2007*, pp.2826-2829, May 2007

## **Chapitre 5**

- [<sup>132</sup>] H. S. Bennett, R. Brederlow, J.C. Costa, P. E. Cottrell, W.M. Huang, A.A. Immorlica, J.-E. Mueller, M. Racanelli, H.Shichijo, C.E.Weitzel, C. Bin Zhao, “Device and technology evolution for Si-based RF integrated circuits”, *IEEE Trans. On Electron Devices*, vol.52, pp. 1235- 1258, Jul. 2005.
- [<sup>133</sup>] N. Talwalkar, “Integrated CMOS Transmit-Receive Switch Using On-Chip Spiral Inductors”, Ph.D. dissertation, Dept. Elect. Eng., Stanford Univ., San Francisco, 2003.
- [<sup>134</sup>] C. P. Yue and S. S. Wong, “Physical modeling of spiral inductors on silicon,” *IEEE Trans. Electron Devices*, vol. 47, no. 3, pp. 560–568, Mar. 2000.

- 
- [<sup>135</sup>] E.-S.A.M Hasaneen, "Compact Circuit Simulation Model for On-Chip Inductor and Transformer for RF Integrated Circuits", *2nd International Design and Test Workshop*, 16-18, pp. 265-269, Dec. 2007.
- [<sup>136</sup>] A. Goni, J. D. Pino, B. Gonzalez, A. Hernandez, "An Analytical Model of Electric Substrate Losses for Planar Spiral Inductors on Silicon", *IEEE Trans. on Electron Devices*, vol. 54, no. 3, pp. 546-553, Mar. 2007.
- [<sup>137</sup>] J. R. Long and M. A. Copeland, "The modeling, characterization, and design of monolithic inductors for silicon RF ICs," *IEEE J. Solid State, Circuits*, vol. 32, no. 3, pp. 357–369, Mar. 1997.
- [<sup>138</sup>] F. Rotella *et al.*, "A broad-band lumped element analytic model incorporating skin effect and substrate loss for inductor and inductor like components for silicon technology performance assessment and RFIC design," *IEEE Trans. Electron Devices*, vol. 52, no. 7, pp. 1429–1441, Jul. 2005.
- [<sup>139</sup>] J. C. Guo, T. Y. Tan, "A broadband and scalable on-chip inductor model appropriate for operation modes of varying substrate resistivities", *IEEE Radio Freq. Integr. Circuits Symp., Dig.*, pp. 485 – 489, Jun. 2006.
- [<sup>140</sup>] J.-C. Guo and T.-Y. Tan, "A broadband and scalable model for on-chip inductors incorporating substrate and conductor loss effects" *IEEE Trans. Electron Devices*, vol. 53, no. 3, pp. 413–421, Mar. 2006.
- [<sup>141</sup>] W. Gao, Z. Yu "Scalable compact circuit model and synthesis for RF CMOS spiral inductors", *IEEE Trans. on Microwave Theory & Tech.*, Vol. 54, pp. 1055- 1064, Mar. 2006.
- [<sup>142</sup>] F. Huang, J. Lu, N. Jiang, X. Zhang, W. Wu, and Y. Wang, " Frequency-Independent Asymmetric Double- $\pi$  Equivalent Circuit for On Chip Spiral Inductors: Physics-Based Modeling and Parameter Extraction", *IEEE J. Solid State Circuits*, Vol. 41, no. 10, pp. 2272-2283, Oct. 2006.
- [<sup>143</sup>] J. Lu, F. Huang, Y. Chi, "An analytical approach to parameter extraction for on-chip spiral inductors with double- $\pi$  equivalent circuit", *IEEE Radio Freq. Integr. Circuits Symp. Dig.*, pp.220 – 224, Jun. 2006.
- [<sup>144</sup>] Y. Tian, F. Y. Huang, Y. Wang, X. Tang, N. Jiang, "Modeling of on-chip spiral inductors with a center-tap", *IEEE 9th Int. Conf. on Solid-State and Integrated.-Circuit Technology*, pp. 500-503, 2000.
- [<sup>145</sup>] H.H. Chen, H. W. Zhang, S. J. Chung, J. T. Kuo, T. C. Wu, "Accurate Systematic Model-Parameter Extraction for On-Chip Spiral Inductors", *IEEE Trans. on Electron Devices*, Vol. 55, no 11, pp 3267-3273, Nov. 2008.
- [<sup>146</sup>] I.C.H. Lai and M.Fujishima, "A New On-Chip Substrate-Coupled Inductor Model Implemented With Scalable Expressions", *IEEE J. Solid-State Circuits*, Volume 41, no11, pp. 2491 – 2499, Nov.2006.
- [<sup>147</sup>] J. Gil and H. Shin, "A Simple Wide-Band On-Chip Inductor Model for Silicon-Based RF ICs", *IEEE Trans. On Microwave Theory & Tech.*, Vol. 51, no. 9, pp. 2023-2028, Sept. 2003.
- [<sup>148</sup>] Y. F. Zhu, J.X. Lu, Z.J. Wu, L. Zhao, Y. Shen, X. S. Tang, F. Y. Huang, "A Novel Equivalent Circuit and Parameter Extraction for On-Chip Spiral Inductors" *IEEE 7th Int. Conf. on ASIC*, pp1126-1128, 2007
- [<sup>149</sup>] C. Zhen and G. Lihui, "Application of the genetic algorithm in modeling RF on-chip inductors," *IEEE Trans. Microw. Theory Tech.*, vol. 51, no. 2, pp. 342–346, Feb. 2003.
- [<sup>150</sup>] S. K.Mandal, A. De, A. Patra, and S. Sural, "A wide-band lumped element compact CAD model of Si-based planar spiral inductor for RFIC design" in *Proc. 19th Int. Conf. VLSI Design*, pp. 619–624, 2006.

- 
- [<sup>151</sup>] A. C. Watson, D. Melendy, P. Francis, K. Hwang; A. Weisshaar. "A comprehensive compact-modeling methodology for spiral inductors in silicon-based RFICs", *IEEE Trans. on Micro. Theory Tech.*, Vol. 52, no 3, pp. 849-857, Mar. 2004.
- [<sup>152</sup>] M. Kang, J. Gil, S. Hyungcheol, "A simple parameter extraction method of spiral on-chip inductors", *IEEE Trans. on Electron Devices*, Vol. 52, no. 9, pp. 1976 – 1981, Sept. 2005.
- [<sup>153</sup>] F. Y. Huang, J. X. Lu, D. M. Jiang, X. C. Wang, and N. Jiang, "A novel analytical approach to parameter extraction for on-chip spiral inductors taking into account high-order parasitic effect," *Solid State Electron.*, vol. 50, no. 9/10, pp. 1557–1562, Sep./Oct. 2006.
- [<sup>154</sup>] V. Blaschke, J. Victory, "A Scalable Model Methodology for Octagonal Differential and Single-Ended Inductors", *IEEE Cust. Integr. Circuits Conf. Dig.*, pp 717-720, Sept. 2006.
- [<sup>155</sup>] S. Salimy, S. Toutain, A. Rhallabi, A. Goullet, J.C. Saubat, F. Challali, "An Enhanced Physical and Scalable Lumped Model of RF CMOS Spiral Inductors" , *IEEE MTT-S, International Microwave Symposium*, Boston, June 2009, to be published.
- [<sup>156</sup>] E. B. Rosa, "Calculation of the self-inductances of single-layer coils," *Bull. Bureau Standards*, vol. 2, no. 2, pp. 161–187, 1906.
- [<sup>157</sup>] S.S. Mohan; M.d.M. Hershenson; S.P. Boyd; T.H. Lee, "Simple Accurate Expressions for Planar Spiral Inductances", in *IEEE Journal of Solid-State Circuit*, Vol.34,N°10,October 1999
- [<sup>158</sup>] W.B.Kuhn and N.M.Ibrahim, "Approximate analytical modeling of current crowding effects in multi-turn spiral inductors", *IEEE MTT-S International Microwave Symposium Digest.*, 2000 , Vol. 1, no 2000 pp.405 – 408, Jun. 2000.
- [<sup>159</sup>] A. Weisshaar, L. Hai, A. Luoh, "Accurate closed-form expressions for the frequency-dependent line parameters of on-chip interconnects on lossy silicon substrate", *IEEE Trans. on Advanced Packaging*, Vol. 25, no 2, pp. 288 – 296, May 2002.
- [<sup>160</sup>]S. Gevorgian, and H. Berg, "Line capacitance and impedance of coplanar-strip waveguides on substrates with multiple dielectric layers." *Gallium Arsenide Applications Symposium*. GAAS, 24-28 Sept. 2001.
- [<sup>161</sup>] Y. R. Kwon, V. M. Hietala, K. S. Champlin, "Quasi-TEM Analysis of "Slow-Wave" Mode Propagation on Coplanar Microstructure MIS Transmission Lines", *IEEE Trans. On Microwave Theory and Techniques*, Vol. 35, no. 6, pp. 545 – 551, Jun. 1987.
- [<sup>162</sup>] S. J. Pan, W.-Y. Yin, and L.-W. Li, "Performance trends of on-chip spiral inductors for RFICs" *Progress In Electromagnetics Research*, PIER 45, 123-151, 2004.
- [<sup>163</sup>] H. Kim, S. Ryu, Y. Chung, J. Choi, B. Kim, "A Low Phase-Noise CMOS VCO With Harmonic Tuned LC Tank", *IEEE Trans. on Microwave Theory and Technique* , Vol. 54, no. 7, pp. 2917-2924, July 2006.
- [<sup>164</sup>] M.I.Kinayman, N. Aksun, "Modern Microwave Circuits", Artech house, 2005.
- [<sup>165</sup>] K.Y. Lee, S. Mohammadi, P.K. Bhattacharya, and L. P. B. Katehi, "Compact Models Based on Transmission-Line concept for integrated capacitors and inductors", *IEEE Transaction on Microwave Theory and Techniques*, Vol. 54,No. 12, pp. 4141-4148, Dec.2006
- [<sup>166</sup>] G. H. Owing, and R. King, "Complementarity in Study of Transmission Lines", *IRE Trans. Microw. Theory Techn.*, March, pp.172-181, 1960
- [<sup>167</sup>] C. Nguyen, "Analysis Methods for RF, Microwave, and Millimeter-Wave Planar Transmission Line Structures", *John Wiley & Sons, Inc.*, pp. 63-84, 2000

# *Liste des Tableaux*

## **Introduction**

<i>Tab.1 – Cahier des charges des composants passifs à développer.....</i>	<i>14</i>
--	-----------

## **Chapitre 2**

<i>Tab. 2-1– Caractéristiques de résistances et condensateurs en technologie MCM-L.....</i>	<i>48</i>
<i>Tab. 2-2– Caractéristique d'inductance réalisée en technologie MCM-L .....</i>	<i>49</i>
<i>Tab. 2-3– Caractéristiques de condensateurs et résistances en technologie MCM-C. ....</i>	<i>50</i>
<i>Tab. 2-4– Caractéristiques d'inductances en MCM-C. ....</i>	<i>51</i>
<i>Tab. 2-5 – Récapitulatif des performances de résistance standard à la filière CMOS considérée.....</i>	<i>60</i>
<i>Tab. 2-6– Récapitulatif des performances de condensateurs standards à la filière CMOS considérée.....</i>	<i>62</i>

## **Chapitre 3**

<i>Tab. 3-1– Spécifications électriques des condensateurs MIM intégrés .....</i>	<i>71</i>
<i>Tab. 3-2– Propriétés électriques du SiO<sub>2</sub>, Si<sub>3</sub>N<sub>4</sub> et Al<sub>2</sub>O<sub>3</sub> couramment utilisés dans les filières CMOS.....</i>	<i>72</i>
<i>Tab. 3-3- Permittivité, Gap d'énergie et Champs de claquage des Oxydes High-<math>\kappa</math> présentés dans la littérature pour la réalisation de condensateurs MIM .....</i>	<i>73</i>
<i>Tab. 3-4– Caractéristiques électriques des principaux diélectriques High-<math>\kappa</math>.....</i>	<i>74</i>
<i>Tab. 3-5– Récapitulatif des performances électriques des principaux mélanges de diélectriques High-<math>\kappa</math>.....</i>	<i>77</i>
<i>Tab. 3-6– Influence de l'épaisseur d'oxyde d'yttrium sur la densité et le coefficient quadratique des capacités SrTiO<sub>3</sub>/Y<sub>2</sub>O<sub>3</sub>.....</i>	<i>80</i>
<i>Tab. 3-7– Tension de bande plate induite par les états d'interfaces dans les capacités MOS Al/TiTaO/Si.....</i>	<i>92</i>

## **Chapitre 4**

<i>Tab. 4-1 – Objectif de spécifications électriques des résistances intégrées dans la filière CMOS .....</i>	<i>105</i>
---	------------

## **Chapitre 5**

<i>Tab. 5-1– Comparaison entre paramètres calculés à partir des équations analytiques du modèle d'échelle, et résultats obtenus par optimisation, pour des inductances de 7.5, 5.5 et 3.5 tours, avec une longueur de ligne <math>w=12\mu\text{m}</math>, <math>s=4\mu\text{m}</math> et des diamètres extérieurs respectivement <math>d_{\text{out}}=300, 280</math> and <math>160\mu\text{m}</math>.....</i>	<i>142</i>
--	------------

# Liste de Figures

## Introduction

Fig. 1 -. Méthodologie proposée pour le développement de la technologie de composants passifs intégrés .....	19
--	----

## Chapitre 1

Fig. 1-1- Composants RLC idéaux.....	23
Fig. 1-2 – Résistance Polysilicium intégrée.....	24
Fig. 1-3 – Compensation du coefficient de non linéarité en tension.....	27
Fig. 1-4 - Architecture hétérodyne d'un récepteur radiofréquence.....	31
Fig. 1-5 – Filtre du troisième ordre de Tchebychev.....	33
Fig. 1-6 – Réponse du filtre du troisième ordre de Tchebychev pour différentes valeurs du facteur de qualité des résonateurs .....	33
Fig. 1-7 – LNA conçu et simulé pour quantifier l'influence du facteur de qualité de l'inductance sur les performances du dispositif.....	34
Fig. 1-8 – Influence du facteur de qualité de l'inductance connectée à la source du transistor MOS sur le gain et le facteur de bruit du LNA.....	35
Fig. 1-9 – Source de courant et résistance considérés pour l'analyse de stabilité.....	36
Fig. 1-10 – Amplificateur différentiel .....	37
Fig. 1-11 – Variation du gain différentiel .....	37
Fig. 1-12 – Image (a) d'oscillateurs contrôlés en tension et front end IEEE 802.15.4 intégrés en technologie CMOS.....	39
Fig. 1-13 – (a) Réseau en T, (b) simple- $\pi$ .....	40
Fig. 1-14 - Modèle en $\pi$ (a) d'inductances et (b) condensateurs intégrés en technologie CMOS .....	41
Fig. 1-15 - Modèle en T d'un condensateur MIM.....	42
Fig. 1-16 - Structure de résistance en couches minces .....	44
Fig. 1-17 – Définition des paramètres géométriques des inductances spirales intégrées (a) Vue de dessus, (b) Vue en coupe .....	46

## Chapitre 2

Fig. 2-1– Schéma d'un LNA réalisé selon une approche SiP .....	51
Fig. 2-2 - Exemple de circuit LTTC multicouche.....	54
Fig. 2-3– Exemple de circuit SiP avec les passifs intégrées dans la carte mère .....	56

Fig. 2-4 – Exemple de circuit SiP avec les passifs intégrées dans une puce LTCC connectée par Flip Chip à une carte mère en FR4 .....	56
Fig. 2-5 - Système DVD SOC mixte en technologie CMOS .....	57
Fig. 2-6 – Les différentes étapes de la filière technologique CMOS .....	59
Fig. 2-7- Principe de la pulvérisation .....	62
Fig. 2-8 – Schéma de résistances CMOS .....	64
Fig. 2-9 – Schéma de capacités (a) N+/Oxyde/Poly, (b) Poly1/Oxyde/Poly2 et (c) Poly1/Oxyde/Métal.....	65
Fig. 2-10 – Réduction de la résistance série due aux pertes conductrices par duplication des couches de métal .....	66
Fig. 2-11 – Création d'une cavité d'air sous l'inductance afin d'améliorer l'isolation avec le substrat semi-conducteur. ....	67
Fig. 2-12 – Plan de masse en grille en polysilicium placé sous l'inductance spirale [ <sup>43</sup> ]. ....	67
Fig. 2-13- Vue en coupe des FEOL et BEOL d'un circuit CMOS à trois niveaux de métallisation.....	68
Fig. 2-14- Etapes de formation des niveaux de PLUGS 1 et Métal M1 de la filière CMOS 0.5μ .....	69
Fig. 2-15- Etapes de formation des niveaux de PLUGS 2 et de Métal M2 de la filière CMOS 0.5μm.....	70
Fig. 2-16- Planarisation des diélectriques intermétalliques.....	70
Fig. 2-17- Schéma et image MEB en coupe d'un circuit final à deux niveaux de métal .....	71

## **Chapitre 3**

Fig. 3-1- Non linéarités en tension du HfO <sub>2</sub> , du SiO <sub>2</sub> et de l'empilement résultant .....	83
Fig. 3-2: Non linéarités en tension (a) et courant de fuite (b) des structures empilées SrTiO <sub>3</sub> /Y <sub>2</sub> O <sub>3</sub> .....	84
Fig. 3-3 – Schéma des capacités MOS réalisées avec du TiTaO.....	86
Fig. 3-4 - Régime de fonctionnement d'une structure MOS idéale en HF.....	88
Fig. 3-5 – Influence des différents types de charges présentes dans la structure MOS sur la réponse C-V.....	90
Fig. 3-6 - Image MEB (a) Vue en coupe d'une couche de Ti <sub>0,28</sub> Ta <sub>0,19</sub> O de 500nm et (b) Vue de la surface des plots d'aluminium déposés par évaporation.....	92
Fig. 3-7 - Caractéristiques capacité-tension mesurées à 1MHz pour des épaisseurs de (a) 100nm de TiTaO et (b) 320, 100 et 25nm .....	93
Fig. 3-8 - (a) Dépendance de la permittivité effective du diélectrique de la structure MOS en régime d'accumulation et (b) Epaisseur de capacité équivalente en fonction de l'épaisseur physique de TiTaO .....	93
Fig. 3-9 – Image TEM d'une couche de TiTaO de 25nm et mise en évidence de l'interface d'oxyde natif entre le TiTaO et le substrat silicium.....	94
Fig. 3-10 - Influence de l'épaisseur sur la tension de bande plate ( $V_{FBup}$ ) et sur le cycle d'hystérésis ( $\Delta V_{FB}$ ) .....	95

Fig. 3-11 – Minimum de la densité d'états d'interface à la tension de bande plate en fonction de l'épaisseur de TiTaO .....	96
Fig. 3-12 – Charge effective dans le TiTaO en fonction de l'épaisseur .....	97
Fig. 3-13 - Densité de courants dans le TiTaO (a) en fonction du champ électrique (b) en fonction de la tension appliquée, pour des épaisseurs de 25,50, 100, 250 et 320nm. ....	98
Fig. 3-14 – (a) Illustration des régimes de conduction du mécanisme SCLC, (b) Résultat de mesure sur une capacité MOS construite avec 100nm de TiTaO .....	100
Fig. 3-15 - Régime de conduction du courant SCLC dans le TiTaO pour une épaisseur de 50nm, caractéristique I-V mesurée sur une capacité MOS en régime d'accumulation.....	101
Fig. 3-16 - Courant en régime de très forte inversion mesuré à 15V et validation de la dépendance à l'épaisseur selon la loi de Child.....	102
Fig. 3-17 – Résistivité extraite en régime ohmique en fonction de l'épaisseur de TiTaO. ....	102
Fig. 3-18 - Courants de fuite mesurés sur des couches de TiTaO ayant une épaisseur de 100nm entre 25°C et 125°C .....	103
Fig. 3-19 - (a) Dépendance des tensions $V_x$ et $V_{FTL}$ à la température, (b) Effet de la température sur la densité de pièges dans le TiTaO .....	103

## **Chapitre 4**

Fig. 4-1 : Résistivité en fonction de la fraction d'oxygène (x) dans le film .....	110
Fig. 4-2 - Conductivité électrique en fonction de la température de croissance [ <sup>130</sup> ].....	110
Fig. 4-3 : Résistance carrée en fonction de la température pour une durée de recuit de 30mn [ <sup>129</sup> ] .....	110
Fig. 4-4 : TCR et R/Ro en fonction de la température de recuit [ <sup>129</sup> ] .....	111
Fig. 4-5 : TCR en fonction de la pression d'azote .....	112
Fig. 4-6- (a) Résistivité en fonction de la puissance appliquée pour une température de substrat de 350°C et (b) Résistivité en fonction de la température de dépôt pour une puissance de 200W.....	113
Fig. 4-7- (a) Résistivité en fonction du débit d'oxygène (b) Résistivité en fonction du rapport O/N .....	113
Fig. 4-8- Rapport O/N avant et après un recuit sous Oxygène à 450°C pendant 30mn.....	113
Fig. 4-9- (a) Vue en tranche et (b) de la surface d'une couche de $TiN_{0.85}O_{0.68}$ déposée à 350°C .....	114
Fig. 4-10- Résistance intégrée composée de 10 carrés de $20\mu m \times 20\mu m$ en serpentins.....	115
Fig. 4-11- Mesures deux pointes effectuées avant et après claquage de l'interface et mesure 4-pointes Kelvin.....	116
Fig. 4-12- (a) Résistance Kelvin composée de 16 carrés de $10 \times 10\mu m$ , et .....	116
Fig. 4-13- Influence de la composition (ratio O/N) sur la valeur de résistance carrée pour plusieurs types de dépôts.....	118
Fig. 4-14- Influence de la composition (ratio O/N) sur le VCR à 10V des résistances intégrées .....	118

Fig. 4-15- Influence de la composition (ratio O/N) sur le TCR à 125°C des résistances intégrées .....	119
Fig. 4-16- Densité de résistance avant et après l'étape de passivation.....	120
Fig. 4-17- (a) VCR à 10V et (b) TCR à 125°C en fonction de la densité de résistance.....	121
Fig. 4-18- (a) Structure schématique de la zone de contacts intégrés au niveau de la résistance et (b) $R_{\square}$ en fonction du nombre de contacts .....	122
Fig. 4-19- (a) VCR à 10V et (b) TCR à 125°C en fonction du nombre de contacts.....	122
Fig. 4-20- (a) Illustration du test de la taille des carrés et (b) $R_{\square}$ en fonction de la taille des carrés.....	124
Fig. 4-21- (a) VCR à 10V et (b) TCR à 125°C en fonction de la taille des carrés .....	124
Fig. 4-22- (a) Schéma de la structure d'une résistance composée de 1 ou 4 carrés et (b) Valeur de résistance en fonction du nombre de carrés.....	125
Fig. 4-23- (a) VCR à 10V et (b) TCR à 125°C en fonction du nombre de carrés.....	125

## **Chapitre 5**

Fig. 5-1 – Image effectuée au microscope optique d'inductances spirales réalisées en technologie CMOS 0.5 $\mu$ m .....	131
Fig. 5-2 – (a) Réseau en T, (b) simple- $\pi$ , (c) simple- $\pi$ amélioré, (d) double- $\pi$ .....	131
Fig. 5-3 – Réseau (a) simple- $\pi$ et (b) simple- $\pi$ amélioré d'inductances spirales en technologie CMOS.....	133
Fig. 5-4– Définition des paramètres géométriques des inductances spirales intégrées (a) Vue de dessus, (b) Vue en coupe.....	134
Fig. 5-5 – Approximation de l'inductance comme un anneau symétrique formé de conducteurs infiniment plats et parcourus par des courants uniformes.....	134
Fig. 5-6 – Description de l'effet de proximité et distribution de courant associée.....	136
Fig. 5-7 – Représentation des différentes capacités parasites des inductances spirales en technologie CMOS.....	137
Fig. 5-8 – Représentation du plan de masse virtuel formé par les courants induits dans le silicium .....	139
Fig. 5-9 – Vue en coupe de l'inductance et de la capacité parasite associée à la région du pont inférieur.....	140
Fig. 5-10 – Réseau en $\pi$ construit à partir de quatre éléments dépendants de la fréquence et utilisé pour caractériser le comportement fréquentiel des inductances spirales.....	141
Fig. 5-11- Comparaison entre données mesurées et modélisées de l'inductance équivalente série $L_{series}(\omega)$ et de la résistance équivalente série $R_{series}(\omega)$ pour des inductances CMOS de 3.5, 5.5 and 7.5-tours. ....	142
Fig. 5-12 - Comparaison entre données mesurées et modélisées (à partir de notre modèle d'échelle et celui précédemment proposé par [134]) du facteur de qualité et de la résistance équivalente série $R_{series}(\omega)$ de l'inductance spirale CMOS de 7.5-tours. ....	143



Fig.5-13 - Comparaison entre données mesurées et modélisées (à partir du modèle d'échelle que nous avons développé et celui précédemment proposé par [134]) pour la capacité équivalente parallèle $C_{shunt}(\omega)$ des inductances spirales en CMOS de 3.5, 5.5 et 7.5 tours.	144
Fig. 5-14 - Comparaison entre données mesurées et modélisées (à partir du modèle d'échelle que nous avons développé et celui précédemment proposé par [134]) pour la résistance équivalente parallèle $R_{shunt}(\omega)$ pour des inductances spirales en CMOS de 3.5, 5.5 et 7.5 tours.....	144
Fig.5-15 - Comparaison entre données mesurées et modélisées à partir du modèle d'échelle développé et celui précédemment proposé par [134]) pour l'inductance équivalente série $L_{series}(\omega)$ et la résistance équivalente série $R_{series}(\omega)$ pour des inductances de 7.5 tours, avec $w=3\mu m$ , $s=2.5\mu m$ et $d_{out}=145\mu m$ , et 3.5-tours avec $w=12\mu m$ , $s=2.5\mu m$ et $d_{out}=145\mu m$ .....	145
Fig. 5-16 - Comparaison entre données mesurées et modélisées à partir du modèle d'échelle développé et celui précédemment proposé par [134]) pour la capacité équivalente parallèle $C_{shunt}(\omega)$ et la résistance équivalente parallèle $R_{shunt}(\omega)$ pour des inductances de 7.5 tours avec $w=3\mu m$ , $s=2.5\mu m$ et $d_{out}=145\mu m$ , et 3.5-tours avec $w=12\mu m$ , $s=2.5\mu m$ and $d_{out}=145\mu m$ . .....	145
Fig. 5-17 – VCO différentiel à base de résistance négative simulé pour valider la faisabilité d'utiliser le modèle d'échelle pour la conception de RFIC. ....	147
Fig.5-18 - Amplitude de sortie maximale simulée des VCOs avec : comme référence la réponse du VCO implantée à partir des fichiers de paramètres $S$ mesurés, modélisés, et ceux des inductances simulées en 3D et qui tiennent compte des variations maximales induites par le processus de fabrication.....	148
Fig.5-19 – Puissance de l'harmonique d'ordre 3 simulée des VCOs avec : comme référence la réponse du VCO implantée à partir des fichiers de paramètres $S$ mesurés, modélisé, et ceux des inductances simulées en 3D qui tiennent compte des variations maximales induites par le processus de fabrication.....	148
Fig.5-20 – Bruit de phase à 1MHz simulé des VCOs avec : comme référence la réponse du VCO implanté à partir des fichiers de paramètres $S$ mesurés, modélisés, et ceux des inductances simulées en 3D qui tiennent compte des variations maximales induites par le processus de fabrication.....	149

# *Liste des publications*

## **Journal International**

F. Challali, M.P. Besland, D. Benzeggouta, C. Borderon, M.C. Hugon, S. Salimy, J.C. Saubat, D. Averty, A. Goullet, J.P. Landesman, "Investigation of BST thin film deposited by RF magnetron sputtering in pure Argon", *Thin Solid Films*, In Press, Accepted Manuscript, Dec. 2009.

## **Communications Internationales avec actes et comité de lecture**

S.Salimy, F.Challali, A. Goullet, M-P Besland, S. Toutain, A. Rhallabi, D. Averty, J-P. Landesman, J.C. Saubat, A. Charpentier, "*Passive Components Integration in CMOS Technology*", 40<sup>th</sup> European Solid-State Device Research Conference (*ESSDERC*), Seville, Sept. 2010

F.Challali, S.Salimy, M.P.Besland, D. Averty, A. Rhallabi, J.C. Saubat, A. Charpentier, S. Toutain, M. Carette, J.P.Landesman, A. Goullet, "TiTaO thin films deposited by magnetron sputtering for integrated capacitors in CMOS", International Symposium on Integrated Functionalities (ISIF), San Juan, Jun. 2010

S. Salimy, S. Toutain, A. Rhallabi, A. Goullet, F. Challali, J.C. Saubat, "Modeling of RF CMOS Passive Components: from electromagnetic interpretation", *MOS-AK/ESSDERC/ESSCIRC Workshop*, Athens, Sept.2009 (*Invited paper*)

S. Salimy, S. Toutain, A. Rhallabi, A. Goullet, J.C. Saubat, F. Challali, "An Enhanced Physical and Scalable Lumped Model of RF CMOS Spiral Inductors ", *IEEE International Microwave Symposium (IMS)*, Boston, June 2009

Fatiha Challali, M.P. Besland, A. Goullet, A. Rhallabi, J.P. Landesman, D. Benzeggouta, M.C. Hugon, S. Salimy, C. Borderon, D. Averty, S. Toutain, A. Charpentier, J.C. Saubat, G. Gadot, "Investigation of BST thin film deposited by RF magnetron sputtering in pure Argon", *European Material Research Society Symposium E-MRS*, June 2009.

## **Journal National**

S.Salimy, F. Challali, A. Goullet, A. Rhallabi, S.Toutain, M-P. Besland, D. Averty, J-P. Landesman, « Composants Passifs Intégrés en Technologie CMOS pour la Miniaturisation des Circuits RF », *Journal Méditerranéens des Télécommunications*, RMT 2010, *in press*, *accepted to appear, June 2010*.

## **Communications Nationales avec actes et comité de lecture**

F.Challali, S.Salimy, M.-P. Besland, D. Averty, A. Rhallabi, S. Toutain, J.P.Landesman, A. Goullet, « Evaluation des propriétés de films minces de TiTaO pour la réalisation de capacités intégrées en technologie CMOS », *Matériaux 2010*, Oct. 2010, Nantes

S.Salimy, F. Challali, A. Rhallabi, A. Goullet, S.Toutain, « *Composants Passifs Intégrés en Technologie CMOS pour la Miniaturisation des Circuits RF* », Congrès Méditerranéen des Télécommunications, CMT2010, Casablanca, Mar. 2010

S. Salimy, S. Toutain, A. Rhallabi, A. Goullet, J.-C. Saubat, « *Modélisation Physique et Analytique d'Inductances Spirales Intégrées en Technologie CMOS* », Journée Nationale Microonde (JNM), Grenoble, Juin 2009

## **Autres Publications**

S.Salimy, F.Challali, S. Toutain, A. Goullet, A. Rhallabi, D. Averty, « Développement, Intégration et Modélisation de Composants Passifs en Couches Minces dans une Filière CMOS », *GDR Ondes « Interférence d'Ondes »*, Paris, Nov.2009

S.Salimy, S. Toutain, A. Rhallabi, J.C. Saubat, A. Goullet, F. Challali, A. Charpentier, G. Gadot, « Intégration de Composants Passifs dans une Filière CMOS », *GDR Ondes « Interférence d'Ondes »*, Pessac, Nov. 2007

### *Résumé en français :*

Nous proposons dans cette thèse de développer une technologie de composants passifs dans les niveaux de métallisation d'une filière industrielle en effectuant un report des contraintes en performances sur les propriétés des matériaux utilisés en couches minces. Nous présentons la démarche adoptée à travers trois étapes clés du développement des composants passifs intégrés dans une technologie CMOS 0.5 $\mu$ m. Les résultats de chacun de ces niveaux sont présentés et illustrés ici à travers un type de composant passif donné. Le premier niveau se place au plus proche du matériau, et est appliqué au cas des condensateurs MIM. La caractérisation électrique de couches minces diélectriques de  $Ti_xTa_yO$  est effectuée à partir de capacités MOS pour valider les performances du diélectrique avant son intégration dans la filière pour réaliser les condensateurs MIM. Dans un second temps, l'analyse est portée à l'interface entre le matériau et le composant, et nous nous intéressons alors aux résistances intégrées. Un schéma d'intégration des couches minces résistives de  $TiN_xO_y$  dans les niveaux d'interconnexions de la filière CMOS est proposé et testé afin d'évaluer les caractéristiques électriques des résistances. Enfin, le dernier niveau d'analyse met l'accent sur le composant intégré et en particulier sur sa représentation électrique. Dans cette dernière étape, nous développons un modèle d'échelle d'inductances spirales basé sur un circuit localisé, et dont les éléments peuvent-être évalués analytiquement à partir des paramètres géométriques et des caractéristiques de la technologie. Ce travail de recherche cherche donc à fournir une vue d'ensemble sur le développement d'une technologie de composants passifs en CMOS.

### *Titre et résumé en anglais :*

#### **DEVELOPMENT, PROCESS INTEGRATION AND MODELING OF THIN FILMS INTEGRATED PASSIVE COMPONENT IN CMOS TECHNOLOGY**

In this thesis we present the development of a high density integrated passive technology. The aim is to integrate thin film passive components in the Back End of Line of an industrial CMOS technology by introducing limited additional steps. We propose to report all the electrical performance constraints of the components on the material characteristics. The three main steps to develop the integrated passives in 0.5 $\mu$ -CMOS technology are presented. The first level of our study is focused closer to the material, and is applied in the case of MIM capacitors. The electrical characterization of  $Ti_xTa_yO$  dielectrics thin film is performed from MOS capacitors to validate the material electrical performances before starting its process integration to realize the MIM capacitors. Secondly, the interface between the material and the component is studied. Based on the thin film resistors, we propose an integration schema for  $TiN_xO_y$  resistive thin film in the metallization layers of the CMOS technology. The electrical characteristics of the resistors are measured and validated via experiments. The last step of the study is focused on the integrated component level and its electrical modeling. a new scalable, physical and analytical enhanced simple- $\pi$  model of spiral inductors in CMOS technology is proposed. The entire model elements are determined under quasi-static approximations to obtain a fully scalable model from the geometrical and technological properties of the inductors. In this thesis, the bases for the development of integrated passive component in a CMOS technology are presented.

### *Mots-clés :*

Composants passifs, technologie CMOS, circuits intégrés radiofréquence, matériaux en couches minces, caractérisation électrique, modélisation compacte

### *Discipline :* Electronique